

스너버를 고려한 IGBT의 병렬운전 특성해석

김운호, 윤병도, 이장선, 이상섭
 중앙대학교 전기공학과

Analysis for the parallel operation of IGBT considering snubber circuit

Yoon-Ho Kim, Byung-Do Yoon, Jang-Sun Lee, Sang-Sup Lee
 Department of Electrical Engineering, Chung-Ang University

Abstract

An insulated gate bipolar transistor (IGBT) is a MOS gate turn on/off bipolar transistor which combines the attributes of the MOSFET and bipolar transistor. Because of its limitation of power capability compared to thyristor or GTO, some parallel connection of IGBT has been studied to improve the limitation of current capability.

In this paper, the switching effects from the unbalance of internal parameters of IGBT and the turn-off snubber characteristics are investigated using SPICE program.

1. 서론

IGBT는 MOSFET의 고속 스위칭 특성과 전력용 트랜지스터의 고전력 특성을 겸비하고 게이트에 인가되는 전압만으로 스위칭하는 전압제어 소자이므로 전력용 트랜지스터보다 동작한계가 크고, 게이트 구동회로를 간소화 시킨 새로운 소자로서 최근 많이 사용되고 있으나, IGBT는 사이리스터나 GTO에 비해 전력용량 면에서 한계가 있기 때문에 전류용량의 한계를 극복하기 위하여, 여러 개의 IGBT를 병렬로 연결하여 사용하는 연구가 진행되어 왔다.[3][5] 그러나 병렬연결된 IGBT의 각 파라미터들이 모두 일치하는 것은 아니므로, 이로 인해 과도상태의 전력손실 불평형, 소자들 사이의 전류 불평형, 고주파 영역에서의 기생진동 등의 문제점이 제기된다. 따라서 본 논문에서는 병렬운전시 IGBT의 각 파라미터의 불평형이 스위칭 동작에 미치는 영향을 고찰하고, 턴-오프 스너버 부착시의 특성에 대하여도 고찰하고자 한다.

2. 이론적 고찰

2-1. IGBT의 모델링

전력전자 회로의 시뮬레이션에 있어 가장 중요한 점은 소자들의 정적, 동적인 동작을 넓은 범위에서 정확히 나타낼 수 있는 전기적 모델의 표현이다. 그림 1은 IGBT의 기본구조와 등가회로를 나타내고 그림 2에 본 논문에서 SPICE 시뮬레이션을 하기 위한 IGBT의 전기적 모델을 보여준다.

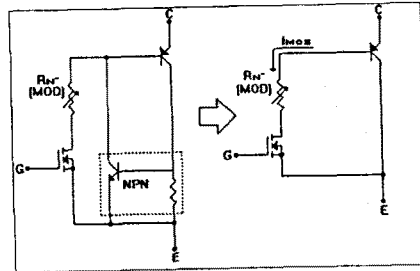
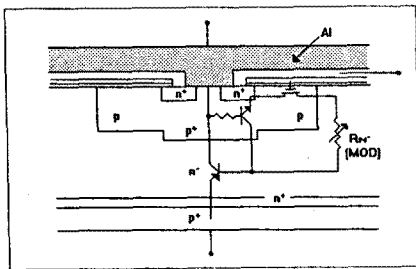


그림 1. IGBT의 기본구조와 등가회로

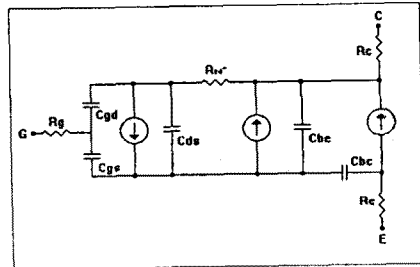


그림 2. IGBT의 전기적 모델

IGBT는 그림 1의 (a)처럼 P⁺-N⁻-P⁻기반으로 구성되어 있고 (b)의 등가회로와 같이 PNP-NPN 트랜지스터 결합에 의한 사이리스터가 형성되거나 NPN 트랜지스터의 베이스와 에미터는 Al배선으로 단락되어 있어 가능한한 동작하지 않도록 설계되어 있으므로 IGBT의 기본동작과는 무관하다. 따라서 IGBT는 MOSFET를 입력단으로, PNP 트랜지스터를 출력단으로 하는 MOS 입력 트랜지스터라 할 수 있다.

2-2. IGBT 운전을 위한 스너버.

전력용 반도체의 적용기술의 신뢰도는 스트레스 경감을 위한 회로 기술에 달려있다. 회로 설계기술에 있어서 이용될 수 있는 방법은 스너버, 전압 클램프, 스트레스 경감 회로등이 있다. 전력용 반도체에 적용되는 스너버 기능을 요약 하면 과전압 억제, 전압 전류 상승률 제어, 노이즈와 전기자기적 간섭 회피등을 포함한다. 또한 스너버 회로의 설계가 트랜지스터의 동작부하곡선 및 동작점을 변화시키고 스위칭 손실의 일부를 분담함으로써 전체 손실에도 영향을 미치기 때문에 본 논문에서는 스너버 회로를 포함한 IGBT회로의 운전에 관하여 고찰하고자 한다.

2-3. SPICE 시뮬레이션 회로도

본 논문에서 사용한 RCD 스너버를 부착하였을 때의 시뮬레이션 회로도들을 그림 3에 표시하였다. 그림 3에서 Lc는 공통 컬렉터 인덕턴스를 나타내고 Le는 회로 인덕턴스로서 권선에 존재하는 기생 인덕턴스를 삽입하여 시뮬레이션의 정확도를 기하였다.

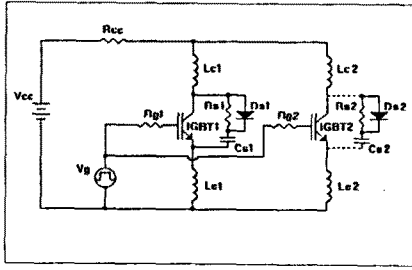


그림 3. 스니버를 포함한 시뮬레이션 회로도

3. 시뮬레이션 결과분석.

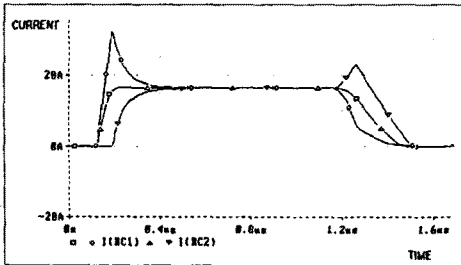
이상적인 경우 동일한 정격의 IGBT의 내부 파라미터는 일치하지만 여러가지 원인에 의해 실제로 정확히 일치하지는 않는다. 파라미터의 불일치에 의한 전류 불평형은 최대전류가 소자의 정격을 초과하여 소자를 파괴시키는 경우도 있으므로 주의가 요구된다.

본 논문에서는 IGBT의 병렬운전시 IGBT1의 파라미터를 고정시키고 IGBT2의 파라미터를 변화시켜 이에따른 각각의 스위칭 특성을 고찰하고 병렬운전시 스니버가 없는 경우와 한쪽에만 스니버를 부착시, 양쪽에 모두 스니버를 부착시 각각의 스위칭 특성을 시뮬레이션 하였다. 스위칭 동작을 결정하는 식들은 매우 비선형적이므로 실제의 경우와 잘 부합되는 SPICE 프로그램을 이용하였다.

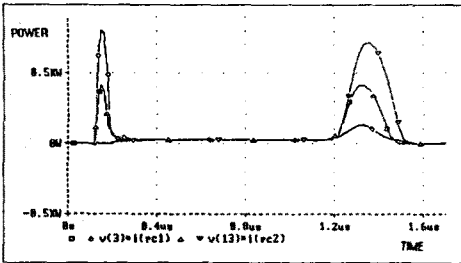
3-1. 병렬운전의 시뮬레이션 결과 분석.

(1) R_g 변화와 영향.

게이트 입력회로는 게이트 저항 R_g 와 입력 커패시턴스 C_{SS} 의 직렬회로로 표현된다. 턴-온시 게이트에 펄스전압을 인가하면 게이트저항 R_g 를 통해 C_{SS} 가 충전되어 문턱전압을 넘을 때까지 컬렉터 전류는 흐르지 않고 역으로 턴-오프시에도 게이트저항 R_g 를 통해 C_{SS} 가 문턱전압 이하로 방전될 때까지 컬렉터 전류는 계속해서 흐르므로 게이트 저항 R_g 가 적은 IGBT이 먼저 턴-온되고 이때의 전력손실은 증가하나 반대로 턴-오프시의 전력손실은 감소-함을 그림 4에서 알수있다. 따라서 게이트 저항 R_g 는 과도상태의 스위칭 동작에 영향을 미치는 중요한 파라미터이며 과도 상태에서의 불평형을 야기시키게 된다.



(a)



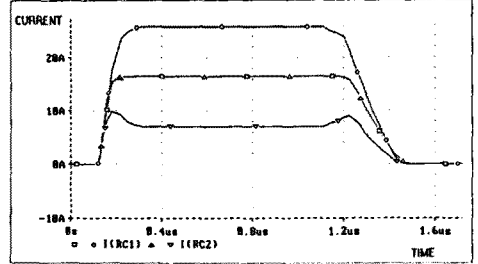
(b)

그림4. 게이트 저항변화시 컬렉터전류 및 전력손실파형

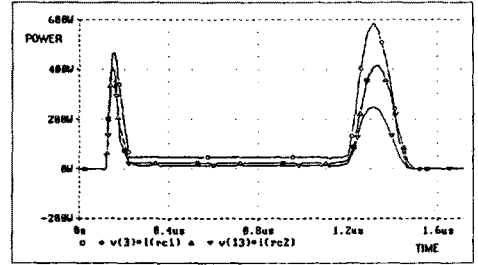
(2) R_E 변화와 영향

에미터 저항 R_E 는 컬렉터 저항 R_C 의 경우와 함께 과도 상태 보다 정상상태의 전류 불평형에 영향을 미치는 파라미터이다.

그림 5-a는 R_E 의 변화에 따른 최대 전류의 변화를, 5-b는 ON, OFF시의 최대 전력 손실을 나타내고 이때 R_E 가 작은 IGBT1의 전력손실은 증가함을 알 수 있다. 이는 IGBT의 에미터저항이 커짐에 따라 충분히 도통상태에 이르지 못하기 때문이고 도통상태에서도 충분히 컬렉터 전류를 흘리지 못한다는 사실로 설명될 수 있다. 또한 게이트 저항 R_g 와는 달리 에미터 저항이 미치는 영향은 부하의 크기에 따라 상대적이며 부하가 작을 경우는 에미터 저항이 미치는 영향은 미약하며 부하가 클 경우는 상대적으로 미치는 영향이 큼을 알 수 있다. 따라서 에미터 저항 R_E 는 정상상태의 스위칭 동작에 영향을 미치는 중요한 파라미터이며 정상 상태에서의 전류 불평형을 가져 온다.



(a)

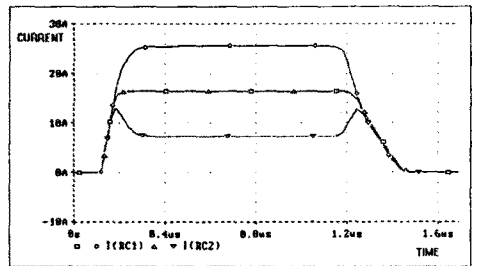


(b)

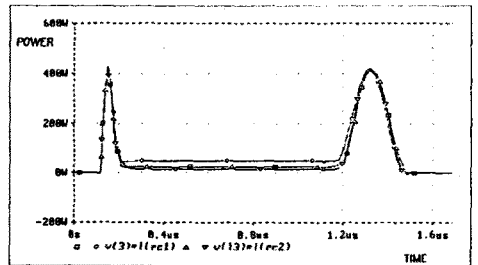
그림 5. 에미터 저항 변화시 컬렉터전류 및 전력손실파형

(3) R_{th} 변화와 영향

표류영역(Drift Region) 저항 R_{th} 은 N-영역의 저항으로 트랜지스터의 에미터로부터 MOSFET의 드레인으로 흐르는 전류 I_{MO} 를 조절한다. 따라서 표류영역 저항 R_{th} 은 정상상태의 스위칭 동작에 영향을 미치는 파라미터임을 알 수 있다.



(a)



(b)

그림6. 표류영역 저항변화시 컬렉터전류 및 전력손실파형

(4) C_{GD} 변화와 영향.

특정전압에서 C_{GD}는 data sheet로부터 다음과 같이 구해진다.

$$C_{GD} = C_{RSS}$$

여기서 C_{SS}=입력 커패시턴스, C_{SS}=역방향 귀환 커패시턴스

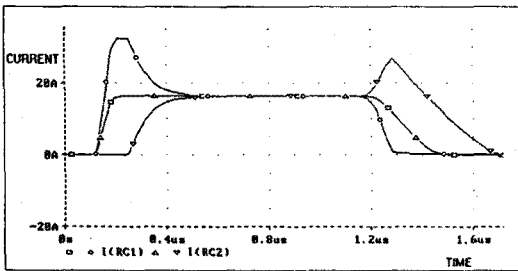
그러나 다른 전압에서 게이트-드레인 커패시턴스 C_{GD}는 여러 가지 파라미터의 함수이다. SPICE 프로그램에서 C_{GD}는 다음과 같이 주어진다.

$$\text{포화영역: } C_{GD} = C_{GD0}$$

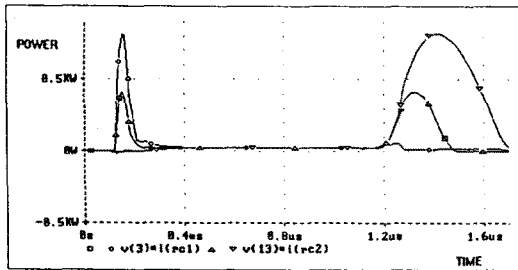
$$\text{선형영역: } C_{GD} = C_{OX} \left[1 - \left[\frac{V_{GS} - V_{ON}}{2(V_{GS} - V_{ON}) - V_{DS}} \right]^2 \right] + C_{GD0} \cdot W$$

여기서 V_{ON} = 문턱전압, W = 채널 폭

그림 7에서 볼 수 있는바와 같이 C_{GD}의 값이 적은 IGBT1이 먼저 턴-온되어 순간적으로 IGBT1으로 전류가 집중되어 턴-온시 전력손실이 증가하나 턴-오프시 전력손실은 감소함을 알 수 있다. 또한 C_{GD}의 값이 상당히 큰 경우 스위칭 횟수가 증가할수록 전류의 상승, 하강시간이 더욱 더 지연되어 스위칭하지 못함을 알 수 있다. 이는 스위칭 주파수에 최대 스위칭 주파수가 영향을 미치는 것을 의미한다. 따라서 C_{GD}는 과도상태의 스위칭 동작에 매우 큰 영향을 미치는 파라미터임을 알 수 있다.



(a)



(b)

그림 7. 게이트-드레인 커패시턴스 변화시 전류, 전력손실 파형

(5) C_{GS} 변화와 영향.

특정전압에서 C_{GS}는 data sheet로부터 다음과 같이 구해진다.

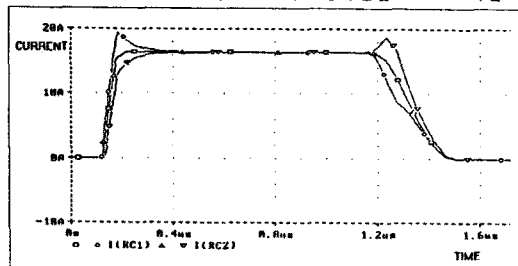
$$C_{GS} = C_{ISS} - C_{RSS}$$

그러나 일반적으로 다른 전압에서 C_{GS}는 여러 가지 파라미터의 함수로 나타내어진다. SPICE 모델에서 C_{GS}는 다음과 같이 게이트-소오스 전압과 다른 파라미터의 함수로 나타낸다.

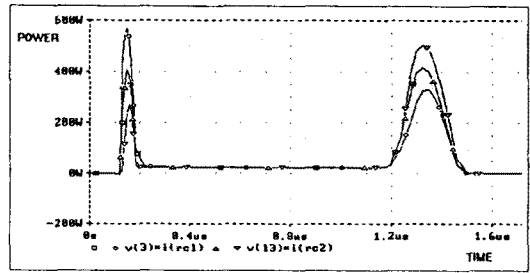
$$\text{포화영역: } C_{GS} = \frac{2}{3} C_{OX} + C_{GS0}$$

$$\text{선형영역: } C_{GS} + C_{OX} \left[1 - \left[\frac{V_{GS} - V_{DS} - V_{ON}}{2(V_{GS} - V_{ON}) - V_{DS}} \right]^2 \right] + C_{GS0} \cdot W$$

여기서 C_{OX}=산화막 커패시턴스, V_{ON}=문턱전압, W = 채널 폭



(a)



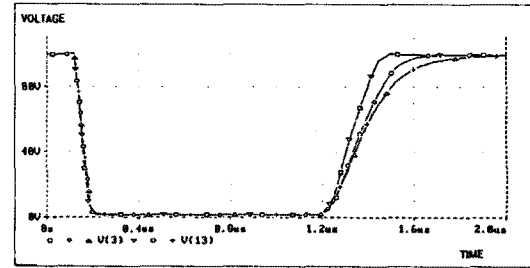
(b)

그림 8. 게이트-소오스 커패시턴스 변화시 전류, 전력손실 파형
C_{GS}는 위의 식에서 비선형적인 값으로 나타나므로 C_{GS}의 영향을 조사하기 위해 C_{GS0}를 변화시켰다.

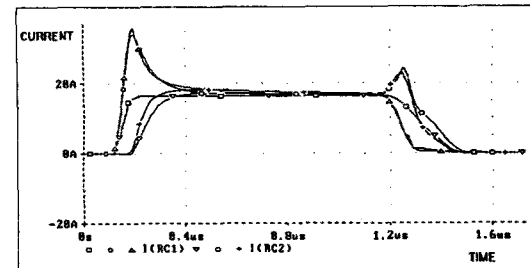
그림 8은 C_{GS}값을 증가시킬 때의 컴퓨터 전류, 전력손실 파형을 나타낸다. 그림에서 알 수 있듯이 C_{GS}를 증가함에 따라 전류의 상승, 하강시간 및 전력손실에 비교적 작은 영향을 미침을 알 수 있다.

3-2. 스너버 부착시의 시뮬레이션 결과 분석

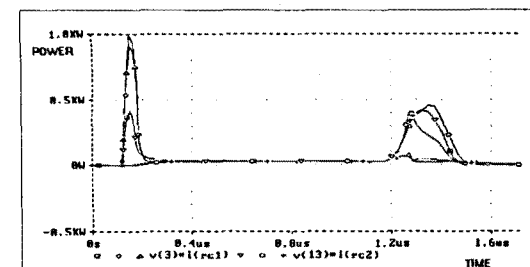
그림 9는 병렬운전시 스너버가 없을 때, 한 곳에만 스너버를 부착했을 때, 양쪽 모두에 스너버를 부착했을 때의 에노드 전류, 에노드-캐소드간 전압과 전력손실을 비교한 파형이다. 그림 9에서 스너버가 부착될 때 마다 턴-온시의 전류의 피크치로 인해 턴-온시의 전력손실은 증가하나 턴-오프시 전압파형의 상승시간이 점차적으로 길어져 $\frac{dv}{dt}$ 가 제어되고 턴-오프시에 전력손실이 더욱 감소됨을 알 수 있다. 따라서 병렬운전시 양쪽 모두에 스너버를 부착하는 것이 더욱 효과적임을 알 수 있다.



(a)



(b)



(c)

그림 9. RCD스너버를 포함한 결렉터전압, 전류, 전력손실 파형

4. 실험결과

본 실험에서는 시뮬레이션 결과의 특성을 확인하기 위해 실제 구동회로를 구성하여 IGBT의 스위칭 특성과 스너버의 영향에 대해 실험하였다. 그림 10은 실제 제작된 실험회로이고 IGBT의 구동회로는 입력의 결연을 위해 내결연성이 좋은 포토 커플러 TLP 557을 사용하였다. 그림 11은 실측파형을 보여준다. 실제 사용된 IGBT는 600V, 23A 정격의 IRGBC30U이다. 그림 11의 (a),(c)에서 볼 수 있듯이 게이트단의 저항 R_G 를 변화시켜도 컬렉터와 에미터간의 전압파형은 변화하지 않지만 그림 11의(b)에서와 같이 저항 R_G 의 변화에 의해 생기는 컬렉터전류의 변화로 인하여 전력손실이 생기게된다. IGBT2의 컬렉터 입력저항 R_G 를 변화시켜보면 컬렉터와 에미터간의 전압파형이 아주 작게 변화함을 그림 11의 (a),(d)를 비교해봄으로서 알 수 있다. 또한 컬렉터와 에미터양단간에 RCD스너버회로를 부착하면 그림 11의(e),(f)와 같이 전압이 제어됨을 알 수 있다. 그림 11의 (a),(f)의 파형을 비교해 볼때 Double RCD스너버회로를 부착할때 전압제어가 더 잘됨을 실험적으로 알 수 있다.

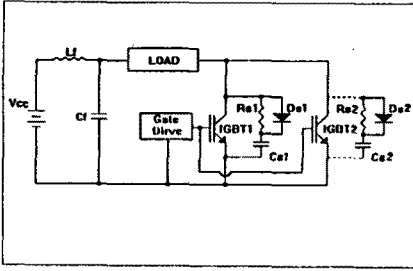


그림 10. IGBT 실험회로

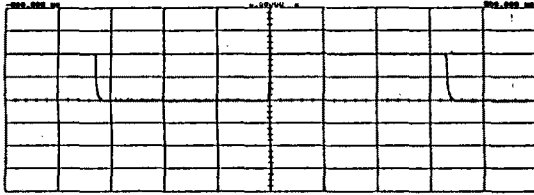


그림 11. a) R_G, R_C 고정시 컬렉터-에미터간 전압파형

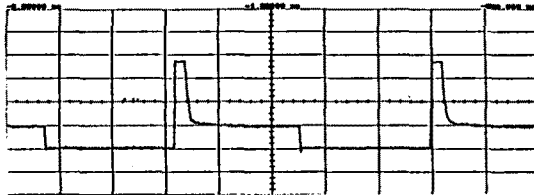


그림 11. b) R_G 변화시 컬렉터 전류파형

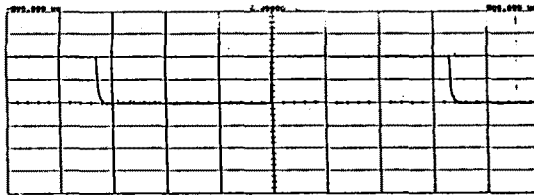


그림 11. c) R_G 변화시 컬렉터-에미터간 전압파형

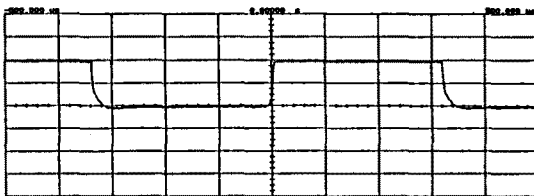


그림 11. d) R_G 변화시 컬렉터-에미터간 전압파형

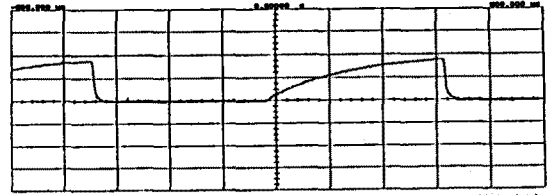


그림 11. e) Single RCD 스너버 일때 컬렉터-에미터간 전압파형

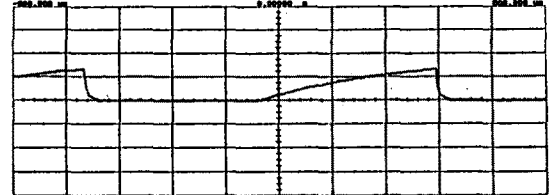


그림 11. f) Double RCD 스너버 일때 컬렉터-에미터간 전압파형

5. 결론

고주파수 영역에서는 최대 전력과 전력손실뿐만 아니라 상승, 하강시간도 매우 중요한 요소이다. 위의 요소들은 여러가지 파라미터의 함수이고, 비선형적이므로 수학적으로 결정하기가 매우 어렵다. 또한 실제로 내부 파라미터를 변화시켜 이를 고찰하는 것은 큰 어려움이 수반된다. 그러므로 본 논문에서는 이러한 요소들은 계산하기 위해 실제의 경우와 잘 일치되는 것으로 알려진 SPICE 프로그램을 이용하여 병렬운전시 IGBT의 내부 파라미터 변화시의 스위칭 특성과 스너버 회로를 시뮬레이션 하였으며 이 때의 영향을 고찰하였다. 또한 게이트 구동회로를 설계하여 변화가 용이한 파라미터와 스너버의 영향에 대해 실험하였다.

본 연구를 통해 게이트 저항 R_G , 게이트 커패시턴스 C_{GS} , C_{GO} 와 컬렉터 커패시턴스 C_{CC} 는 과도상태의 스위칭 동작에 영향을 미치는 파라미터이고, 에미터 저항 R_E 와 표류영역 저항 R_W 는 정상상태의 스위칭 동작에 영향을 미치는 파라미터임을 밝혔다. 따라서 본 연구를 통하여 병렬운전시 내부 파라미터의 불명형이 소자의 스위칭 특성에 미치는 영향을 알수있었고 RCD 스너버 부착시 dv/dt 가 제어되어 턴-오프시 스위칭 손실이 경감됨을 알 수 있었다.

참고문헌

- [1] B. J. Baliga, M. S. Adler, and N. D. Zommer, "The Insulated Gate Transistor: A New Three-Terminal Mos-Controlled Bipolar Power Device," IEEE Trans. Electron Dev., vol. ED-31, pp. 821-828, Jun. 1984.
- [2] H. Yilmaz, W. R. Van Dell, and M. F. Chang, "Insulated Gate Bipolar Transistor Modeling and Optimization," in Tech. Dig. 1984 IEEE Intern. Elec. Dev. Meet., pp. 274-277.
- [3] A. R. Hefner, "Characterization and Modeling of the Power Insulated Gate Bipolar Transistor," Ph. D. Dissertation, Univ. of Maryland, Ann Arbor, MI: University Microfilms International, 1987.
- [4] A. R. Hefner and D. L. Blackburn, "An Analytical Model for the Steady-State and Transient Characteristics of the Power Insulated Gate Bipolar Transistor," Solid-State Electronics.
- [5] A. Ferraro, "An Overview of Low-Loss Snubber Technology for Trnasistor Converters," in Conf. Rec.1982 IEEE Power Elec. Spec. Conf., pp 466-477