

산화전 분위기가 Gate Oxide 특성에 미치는 영향 (Effects of Pre-Oxidation Ambient on the Characteristics of Thin Gate Oxide)

현대 전자 산업 주식 회사, 반도체 연구소
주 문식, 엄 금융, 박 미라, 박 현섭

MOS VLSI IC가 초 고집적화 됨에 따라 100Å 혹은 그 이하의 얇은 Gate 산화막이 요구되고 있고, 그 중요성 또한 더욱 더 강조되고 있는 실정이다. 이러한 요구에 부합한 매우 얇은 Gate 산화막은 종래의 두꺼운 산화막에 비해 산화막을 성장시키기 전에 이미 실리콘 기판 위에 존재하는 자연 산화막의 비중이 점점 커지고 있는 것이 현실이고, 이의 비중을 줄이는 여러 연구[1]가 행하여 졌다. 이 논문에서는 N_2 에 대한 O_2 의 비율을 5%(Split(1)), 2%(Split(2)), 그리고 N_2 100%(Split(3))의 세가지 산화전 분위기하에서 Gate 산화막의 전기적인 특성 변화를 Ramp-Voltage Stress Test[2]와 Constant Current Stress Test(CCST)[3] 등의 경우에 대해 살펴 보았다.

실험 방법

비 저항이 $4 \sim 10 \Omega \cdot \text{cm}$ 이고 (100) 결정 방향을 가진 6 inch 실리콘 단결정 Wafer 위에 LO-COS 공정[4]을 이용하여 4000Å Field Oxide를 형성하였다. 800°C Wet Oxidation으로 100Å Gate 산화막을 성장시킨 후에 N^+ Poly-Gate 전극을 만들었다. 이때 Wet Oxidation 전 산화 분위기는 위의 (1), (2), (3)의 세가지 분위기에 대해 진행하였다. Ramp-Voltage Stress Test는 HP4062를 사용하여 Voltage Ramp Rate는 약 1.0V/sec이고 Current Level이 $-100\mu\text{A}$ 에 도달할 때 Dielectric Strength 값을 읽어 세 Split에 대해 서로 비교하였다. CCST 또한 HP4062B를 사용하여 Gate 전극에 $-100\text{mA}/\text{cm}^2$ 의 전류를 가하여 Breakout이 일어날 때까지의 시간을 기록하였다.

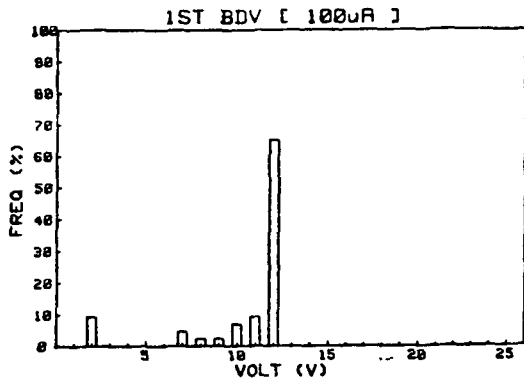
실험 결과

세가지 Split의 산화전 분위기에 대한 Ramp-Voltage Stress Test에서 N_2 에 대한 O_2 의 비가 감소함에 따라 Dielectric Strength 값이 증가하는 경향이 나타났으며, Ramp-Voltage Breakdown Histogram의 분포 상태는 그림 1에 나타나 있다. N_2 에 대한 O_2 의 비가 감소함에 따라 A Mode와 B Mode Fail[5]의 숫자가 감소하고 대부분 Intrinsic breakdown voltage에 몰려 있음을 보여주고 있다. 이는 Wafer 전면에 걸쳐 산화막과 기판 혹은 Poly Gate와의 계면에서 표면 거칠기[6]와 Crystalline Defect[7] 등을 포함한 Weak Area[8]를 통한 전류의 증가로 Fail을 일으키는 Defect Density가 자연 산화막이 적게 성장할 때 줄어듦을 알 수 있다. 그림 2는 세가지 조건에 대한 CCST 결과로서 $200 \times 200 \mu\text{m}^2$ 의 평판 패턴에서 게이트 전극에 $-100\text{mV}/\text{cm}^2$ 의 전류를 가한 후 Fail을 일으키는 평균시간을 t_{50} 로 잡았다. t_{50} 값은 Split (1), (2)의 경우가 조금 낮고 (3)의 경우에는 증가함을 보여준다.

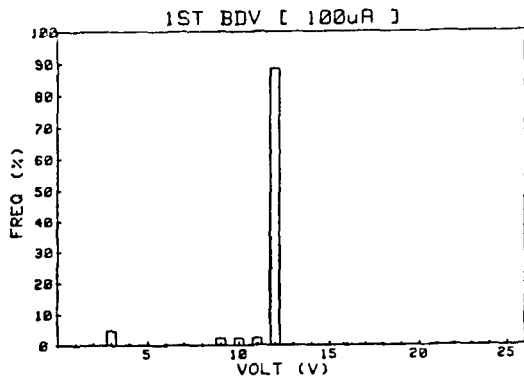
참고 문헌

- 1) J. Ruzyllo, J. Electrochem. Soc., Vol.133, No.8, p.1677, Aug. 1986.
- 2) S. Holland, I.C. Chen, J. Lee, Y. Fong, K.K. Young and C. Hu, in the Proc. of the Symposium on Silicon Dioxide Thin Insulating Films, p.361, 1987.
- 3) I.C. Chen, S. Holland, and C. Hu, IEEE/IRPS, p.24, 1985.
- 4) M. Chezzo, etc., J. Electrochem. Soc., Vol.136, No.7, p.1992, July 1989.
- 5) K. Yamabe and K. Taniguchi, IEEE J. of Solid-State Circuits, Vol.SC-20, No.1, p.343, Feb. 1985.
- 6) A. Bhattacharyya and C. Vorst, J. Electrochem. Soc., Vol.132, No.8, p.1901, Aug. 1986.
- 7) P.S.D. Lin, R.B. Marcus, and T.T. Sheng, J. Electrochem. Soc., Vol.130, No.9, p.1878, Sep. 1983.
- 8) I.C. Chen, S. Holland, IEEE J. of Solid-State Circuits, Vol.SC-20, No.1, p.333, Feb. 1985.

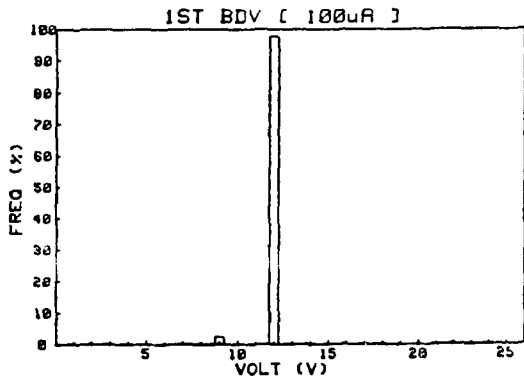
□ /



(a) Split 1



(b) Split 2



(c) Split 3

Fig.1. Ramp-Voltage Breakdown Histogram of the Gate Oxide for three different ambient.

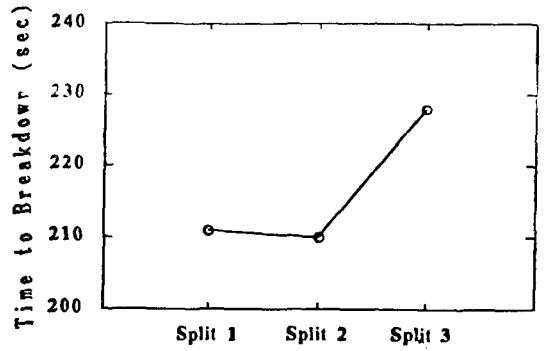


Fig.2. CCST result of the Gate Oxide for three different ambient.