

# Twin-well구조로 제작된 N채널 및 P채널 FET의 특성

## ( Characteristics of N- and P-Channel FETs Fabricated with Twin-Well Structure )

김 동 석	중앙대학교 전기공학과
이 철 인	중앙대학교 전기공학과
서 용 진*	중앙대학교 전기공학과
김 태 형	중앙대학교 전기공학과
김 창 일	중앙대학교 전기공학과
장 의 구	중앙대학교 전기공학과

Dong-Seok Kim	Dept. of Electrical Eng., Chung-Ang Univ.
Cheol-In Lee	Dept. of Electrical Eng., Chung-Ang Univ.
Yong-Jin Seo*	Dept. of Electrical Eng., Chung-Ang Univ.
Tae-Hyung Kim	Dept. of Electrical Eng., Chung-Ang Univ.
Chang-Il Kim	Dept. of Electrical Eng., Chung-Ang Univ.
Eui-Goo Chang	Dept. of Electrical Eng., Chung-Ang Univ.

### ABSTRACT

We have studied the characteristics of n- and p-channel FETs with submicron channel length fabricated by twin-well process. Threshold voltage variation and potential distribution with channel ion implantation conditions and impurity profile of n- and p-channel region were simulated using SUPREM-II and MINIMOS 4.0 simulator. P-channel FET had buried-channel in the depth of 0.15  $\mu\text{m}$  from surface by counter-doped boron ion implantation for threshold voltage adjustment.

As a result of device measurement, we have obtained good drain saturation characteristics for 3.3 [V] operation, minimized short channel effect with threshold voltage shift below 0.2 [V], high punchthrough and breakdown voltage above 10 [V] and low subthreshold value.

### I. 서론

반도체공정기술의 급속한 발전에 따라 반도체 소자는 고 집적화, 소형화, 저전압화, 저소비전력 등 소형화(scale-down) 측면에서 상당한 진전을 보이고 있다. 채널길이의 감소, 게이트 산화막 두께의 감소, 이에 따른 채널도핑의 증가와 소오스/드레인 접합깊이의 감소와 같은 MOS 소형화 이론[1]은 MOS소자의 속도와 전류 구동능력을 향상시키기 위해 채널길이를 감소시킴에 따라 나타나는 짧은 채널효과(short channel effect)를 최소화하기 위한 것이다. 최근 낮은 전력소모 특성때문에 CMOS 회로가 주요한 기술이 되었고 VLSI를 위해 필요한 고속과 낮은 전력소모를 이루기 위해 서브마이크론이하의 채널길이를 갖는 n 채널 FET와 p 채널 FET를 필요로 하게 되었다[2]. 그러나 이러한 서브마이크론 CMOS소자의 디자인과 제작은 불균일하게 도핑된 서로 다른 type의 well 농도[3], n<sup>+</sup> 다결정 실리콘 게이트가 사용되었을 때 문턱전압 조절을 위한 counter-doping에 의해 일어나는 p 채널 소자의 매몰 채널(buried-channel) 특성[2][4], 낮은 면저항값을 갖는 동시에 얇은 소오스/드레인

접합의 형성[5]등이 고려되어야 하므로 NMOS나 PMOS소자보다 더 어렵다.

본 연구에서는 기존의 single-well CMOS보다 공정이 복잡하고 경제성이 낮다는 단점이 있으나, 기판 타입을 트랜지스터의 성능에 무관하게 임의로 선택할 수 있고, 게이트 산화막 아래의 불순물 농도가 조절가능하여 각 소자를 독립적으로 최적화 할 수 있고 재현성이 높으며, 소형화 추세에 따른 서브마이크론 채널 길이를 갖는 소자의 경우 대칭적인 성능을 구현할 수 있는 장점이 있는 twin-well CMOS구조[3][6]를 채택하였다. 1D 공정 시뮬레이터인 SUPREM-II[7]와 2D 소자 시뮬레이터인 MINIMOS 4.0[8]을 사용하여 n 채널과 p 채널 영역에서의 불순물 프로파일과 채널 이온주입 조건에 따른 문턱전압의 변화 및 퍼텐셜 분포를 시뮬레이션 하였고, 제작된 NMOS와 PMOS 소자의 측정 결과를 비교 고찰 하였다. 특히, n<sup>+</sup> 다결정 실리콘 게이트를 갖는 PMOS소자의 경우 문턱 전압 조절을 위한 counter-doping조건에 따른 매몰채널 특성을 강조하였다. II장에서는 소자 제작과정을 III장에서는 시뮬레이션에 의한 소자특성을 보였고, IV장에서는 제작된 NMOS와 PMOS 소자의 측정 결과를 비교하였으며, V장의 결론으로 맺고자 한다.

### II. 소자 제작 과정

그림 1은 twin-well CMOS소자의 개략적인 공정 흐름도이다. 비저항이 2-3  $\Omega\text{-cm}$ 이고 phosphorus가 도핑된 (100) n형 기판위에 300Å의 초기 산화막을 성장한 후 p-well 마스크를 사용하여  $B_{11}^+$ ,  $1.0E13\text{cm}^{-2}$ , 150 KeV로 이온주입하여 p-well을 형성하였다. p-well위에 3600Å의 산화막을 성장시켜 n-well 이온주입을 위한 차폐 산화막형성 및 p-well을 드라이브인(drive-in) 하였고 n-well은  $1.8E12\text{cm}^{-2}$ 의  $P_{31}$  이온을 150keV로 이온주입 하였다. 필드 산화막을 성장한 후 펀치쓰루를 방지하기위해 p-well에만  $B_{11}^+$ ,  $2.5E12\text{cm}^{-2}$ , 120KeV의 깊은 이온주입을 하였으며, 각 소자의 문턱전압을  $0.8\pm 0.1[V]$ 로 조절하기 위해  $B_{11}^+$ ,  $1.3E12\text{cm}^{-2}$ , 20 KeV의 얇은 채널 이온주입을 하였다. 계속해서 200Å의 게이트 산화막을 성장시킨 후 1500Å의 다결

정 실리콘을 LPCVD로 도포하였고  $\text{POCl}_3$ 을 도핑하여  $n^+$  다결정 실리콘 게이트를 형성하였다. 폴리(poly) 마스크를 사용하여 게이트와 확산 영역의 오버랩(overlap)된 커패시턴스를 감소시키고 소오스/드레인의 이온주입동안 얇은 게이트 산화막의 손상을 방지하기 위하여  $n^+$  다결정 실리콘을 산화막으로 보호 하였다.  $n^+$ ,  $p^+$  소오스/드레인은  $\text{As}_{75}$  와  $\text{BF}_2^+$ 를 각각  $6.0\text{E}15\text{cm}^{-2}$ ,  $60\text{KeV}$  와  $3.0\text{E}15\text{cm}^{-2}$ ,  $70\text{KeV}$ 로 이온주입한 후,  $900^\circ\text{C}$ 에서 30분 어닐링하였고 LPCVD로 텅스텐 실리사이드를 형성하였다. 그리고 LTO를 도포한 후 전극을 형성하고 열처리하였다. 그림 2는 제작된 twin-well CMOS 소자의 SEM 단면사진이고, 표1은 대표적인 공정 파라미터를 나타낸 것이다.

### III. 시뮬레이션에 의한 소자특성

MOSFET의 전기적 특성은 실리콘 표면의 불순물 분포에 의해 결정되므로 n 채널과 p 채널 영역에서의 불순물 프로파일을 SUPREM-II에 의해 구해 그림 3과 4에 나타내었다. 이들 시뮬레이션은 산화공정, 어닐링과 같은 연속적인 thermal cycle 동안의 불순물 재분포를 고려한 최종 도판트 프로파일이며 각각의 접합깊이와 면저항값을 그림에 나타내었다. n 채널 영역의 표면근처에서 불순물 농도는 펀치쓰루 방지와 문턱전압 조정을 위한 보론 이온주입으로 인해 약간 증가하였고, p 채널 표면층은 보론의 counter-doping 결과 약  $0.15\ \mu\text{m}$ 까지 p형으로 전환되었다. Well의 벌크 농도는  $10^{16}\text{cm}^{-3}$  정도 이었고  $n^+$ ,  $p^+$  소오스/드레인의 표면 농도는  $10^{20}\text{cm}^{-3}$  이상이였다. 또한 소오스/드레인의 접합깊이는 NMOS소자는  $0.2\ \mu\text{m}$ , PMOS소자는  $0.5\ \mu\text{m}$ 이었는데 SUPREM-II 프로그램에는  $49\text{BF}_2^+$  source가 제공되지 않기 때문에  $11\text{B}^+$  이온에 대한 질량에 따른 equivalent kinetic energy만 고려하고 fluorine이 주는 모든 영향은 무시하였다.

그림 5는 문턱전압 조정을 위한 보론 이온주입 조건에 따른 문턱전압 의존성을 보인 것으로 그림 3과 4에 보인 바와 같은 SUPREM-II의 결과를 소자 시뮬레이터인 MINIMOS 4.0에 적용하여 시뮬레이션한 것이다. NMOS와 PMOS소자의 대칭적인 문턱전압을 만족시킬 수 있는 보론 dose는  $1.3\text{E}12\text{cm}^{-2}$ 로서 공정조건과 잘 일치함을 볼 수 있다.

그림 6은 PMOS 소자의 채널 이온주입량에 따른 채널 깊이방향의 전위분포를 나타낸 것이다.  $V_G = 0\ \text{[V]}$ 에서 최소전위는 표면에서 일어나지 않고 그림 4의 SUPREM-II 시뮬레이션 결과와 마찬가지로 약  $0.1\ \mu\text{m}$ 에서 매물체널이 형성됨을 볼 수 있다. 또한 보론 주입량이 증가함에 따라 채널의 전위는 감소하였고,  $V_G = -1\ \text{[V]}$ 일 경우 전위분포는 주입량 증가에 따라 실리콘 표면으로부터 벌크속으로 이동하였다.

그림 7과 8은 PMOS와 NMOS 소자의 채널 길이방향에 따른 전위분포를 나타낸 것이다. PMOS 소자의 경우는 매물체널이기 때문에 게이트아래 표면에서의 불순물이 반대형으로 도핑된 관계로 채널양단의 전위분포의 차이가 컸으나 NMOS 소자는 균일한 전위분포를 나타내었다. 따라서 전위장벽의 높이를 최소전위(PMOS는 최대전위)와 소오스쪽 전위와의 차이로 정의할 때 드레인 전압이 더 증가하더라도 PMOS 소자 보다는 NMOS소자가 DIBL의 영향이 작을 것으로 예측할 수 있다. 또한  $V_G = \pm 1\ \text{[V]}$ 일 경우에도 그림 7에 보인 PMOS소자 보다는 그림 8의 NMOS소자의 경우가 더 작은 전위장벽의 저하 및 균일한 전위분포를 나타내므로 게이트 전압에 의해 효율적으로 제어될 수 있음을 의미한다.

### IV. 측정 결과 및 고찰

그림 9와 10은 표 1에 보인 바와 같은 공정 파라미터로 제작된 필드 산화막이  $5200\ \text{\AA}$ , 게이트 산화막이  $200\ \text{\AA}$ 이고 채널폭과 길이가  $50/0.9\ \mu\text{m}$ 인 NMOS와 PMOS 소자의 전류-전압 특성을 나타낸 것이다. 그림 9의 NMOS소자의 경우  $6\ \text{[V]}$ 이상의 드레인 전압에서 전자의 높은 충격 이온화율(impact ionization rate)에 기인하여 드레인 전류는 상당히 높았으나  $3.3\ \text{[V]}$  구동에서는 충분한 여유(margin)를 가지고 있다고 볼 수 있다. 또한 게이트전압이 증가함에 따라 브레이크다운 전압은 감소하였다. 그러나 그림 10과 같은 매물체널인 PMOS소자는 충격 이온화에 의한 영향은 나타나지 않았으나 드레인 전류가 포화되지 않고 증가를 보였다. 이는 매물체널 특성을 갖는 PMOS소자는 채널이 표면으로부터 떨어져 있으므로 transversal electric field가 작아지게 되어 표면과의 산란이 적어지므로 정공의 이동도가 커져서 transconductance가 증가하기 때문으로 생각된다.

채널길이의 변화에 따른 문턱전압의 저하량을 비교하기 위해 드레인 전압이  $\pm 3.3\ \text{[V]}$ 일 때 linear extrapolation 방법으로 문턱전압을 측정하여 그림 11에 나타내었다. 채널 길이가 긴 경우는 NMOS와 PMOS소자 모두 문턱전압의 저하가 없었으나, 채널길이가  $0.6\ \mu\text{m}$ 로 짧아질 경우 NMOS소자는  $0.22\ \text{[V]}$ , PMOS소자는  $-0.15\ \text{[V]}$ 의 작은 변화를 보여 짧은 채널 효과가 최소화 되었음을 알 수 있다. 또한 채널폭에 따른 문턱전압의 변화를 그림 12에 보였는데  $W=0.8\ \mu\text{m}$  근처에서 문턱전압의 상당한 증가가 관찰되었다. 이는 well의 측면확산으로 인한 소자영역의 감소에 기인한다고 생각된다.

그림 13은 채널길이에 따른 펀치쓰루 특성을 비교한 것이다. 브레이크다운 전압은 두 공핍층이 서로 만나 과도한 전류가 흐르는 펀치쓰루 현상과 드레인에 걸리는 역방향 전압이 증가함에 따라 드레인 영역의 전계가 증가하여 채널의 전자가 실리콘 격자와 충돌하여 전자와 정공을 발생시키는 현상(avalanche breakdown)에 의해 제한된다. 따라서 채널 길이가  $0.8\ \mu\text{m}$  이상일 때는 드레인 접합의 애발란치 브레이크다운에 의해 결정되고  $0.8\ \mu\text{m}$ 보다 짧아질 때는 펀치쓰루에 의해 전압이 급격히 감소함을 알 수 있다.

표 2는 대표적인 소자 측정 결과를 나타낸 것으로 subthreshold값은 NMOS소자가 PMOS소자보다 컸는데 이는 NMOS소자의 표면채널에서 펀치쓰루가 일어나 누설전류가 증가하였기 때문이며, body factor도 NMOS소자의 높은 채널 농도에 기인하여 NMOS소자가 PMOS소자보다 더 높았다. 또한  $10\ \text{[V]}$ 이상의 높은 펀치쓰루 전압과 브레이크다운 전압을 얻었다.

### V. 결론

본 연구에서 twin-well공정에 의해 제작된 서브마이크론 채널길이를 갖는 NMOS와 PMOS소자의 시뮬레이션 및 측정 결과는 다음과 같다.

1. SUPREM-II 시뮬레이션에 의해 구한 연속적인 thermal cycle동안의 불순물 재분포를 고려한 불순물 프로파일은 제시된 공정 파라미터를 거의 만족하였다.
2.  $0.8\pm 0.1\ \text{[V]}$ 의 대칭적인 문턱전압을 위한 counter-doping dose는 대략  $1.3\text{E}12\text{cm}^{-2}$ 로 시뮬레이션되었으며, 이는 공정 조건과 잘 일치하였다.
3. counter-doped 보론 이온주입에 의해 PMOS소자는 표면에서 약  $0.15\ \mu\text{m}$ 의 깊이에서 매물체널이 형성되었고, NMOS소자가 더 균일한 채널양단의 전위분포를 나타내었다.

4. 소자 측정 결과, 3.3[V]구동을 위한 충분한 여유를 갖는 양호한 드레인 특성과 0.2[V]이하의 문턱전압 Shift를 갖는 최소화된 짧은 채널 효과, 10[V]이상의 높은 펀치쓰루 전압과 브레이크다운 전압, 낮은 Subthreshold값을 얻었다.

참고문헌

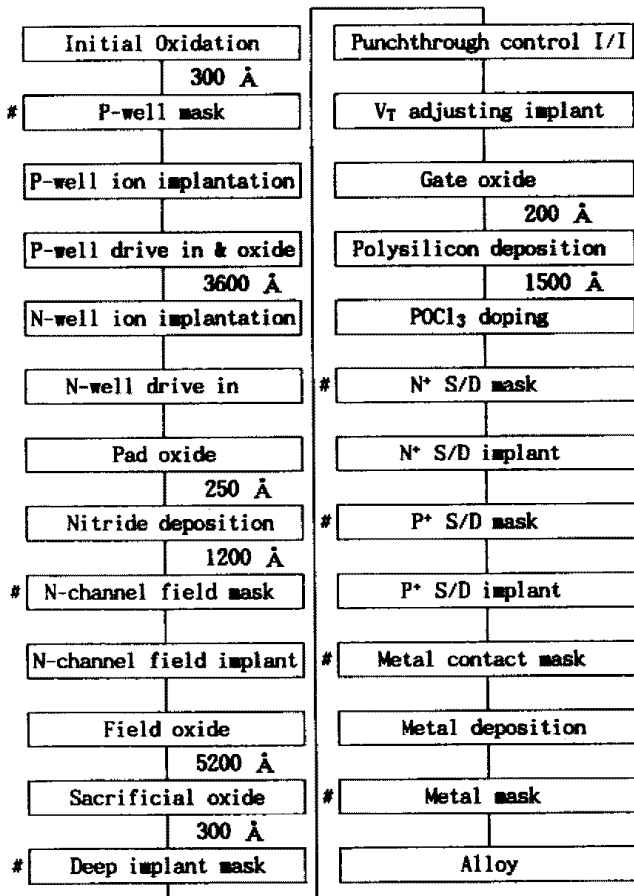
1. J. R. Brews, et al., IEEE Trans. Electron Dev. Lett., Vol. EDL-1, pp. 2-4, 1980.
2. Kit M. Cham and Shang-Yi Chiang, IEEE Trans. Electron Dev., Vol. ED-31, No. 7, pp. 964-968, 1984.
3. Ulrich Schwabe, et al., IEEE Trans. Electron Dev., Vol. ED-30, No. 10, pp. 1339-1344, 1983.
4. Jun Zhu, et al., IEEE Trans. Electron Dev., Vol. ED-35, No. 2, PP. 145-151, 1988.
5. I. W. Wu, Solid State Phenomena Vol. 1&2, pp. 159-168, 1988.
6. S. Wolf, "Silicon Processing for the VLSI Era", Vol. 2, Chap. 6, Lattice Press, 1990.
7. D. A. Antoniadis and R. W. Duttons, IEEE Trans. Electron Dev., Vol. ED-26, No. 4, pp. 490-500, 1979.
8. Siegfried Selberherr, et al., IEEE Trans. Electron Dev., Vol. ED-27, No. 8, pp. 1540-1550, 1980.



그림 2. 제작된 소자의 SEM 단면사진

표 1. 공정 파라미터

Process parameter	Value
Field Oxide Thickness	5200 ± 260 Å
Gate Oxide Thickness	200 ± 10 Å
Poly Silicon Thickness	1500 Å
Substrate Concentration	2E15/cm <sup>3</sup>
Well Concentration	~ 2E16/cm <sup>3</sup>
Well Depth	2.0 - 4.0 μm
N <sup>+</sup> S/D Junction Depth	0.2 - 0.3 μm
P <sup>+</sup> S/D Junction Depth	0.4 - 0.6 μm
N <sup>+</sup> S/D Sheet Resistance	50 Ω/□
P <sup>+</sup> S/D Sheet Resistance	80 Ω/□
Well Sheet Resistance	3.5 KΩ/□



( # : Mask step )

그림 1. 공정 흐름도

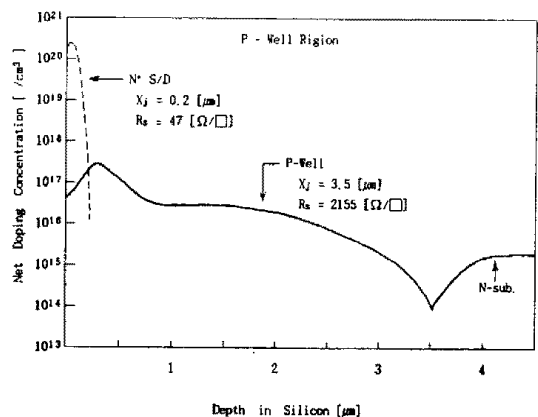


그림 3. NMOS 소자의 시뮬레이션된 불순물 프로파일

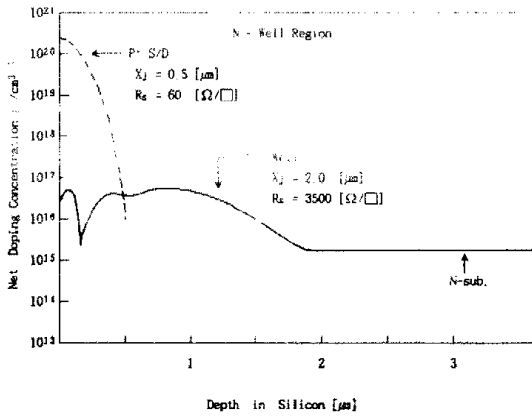


그림 4. PMOS 소자의 시뮬레이션된 불순물 프로파일

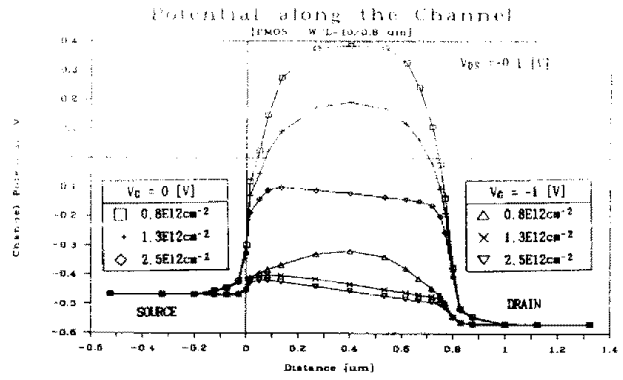


그림 7. PMOS소자의 채널 길이방향의 전위분포

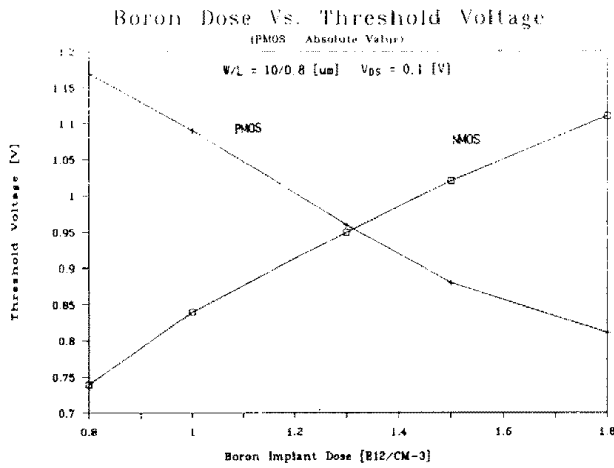


그림 5. 보론 이온주입 조건에 따른 문턱전압의 변화

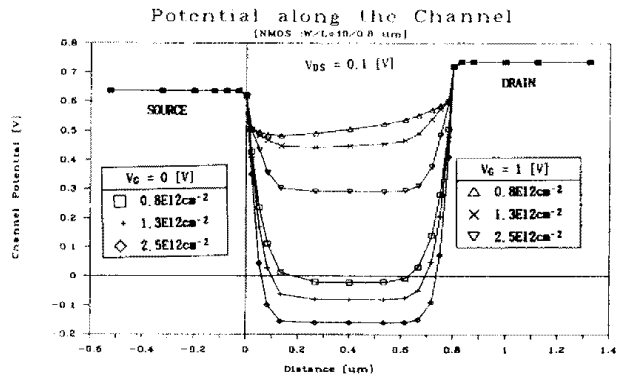


그림 8. NMOS소자의 채널 길이방향의 전위분포

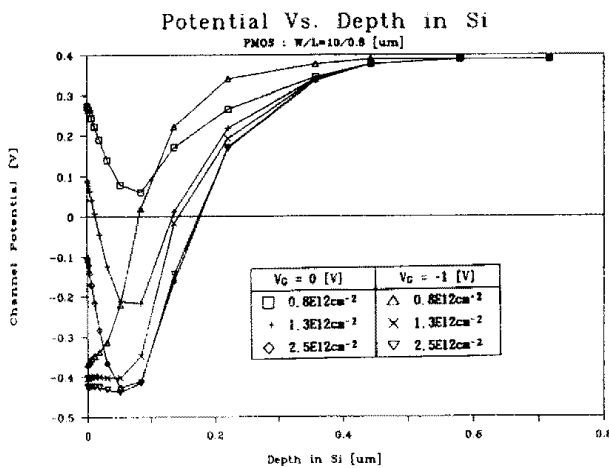


그림 6. PMOS소자의 채널 깊이방향의 전위분포

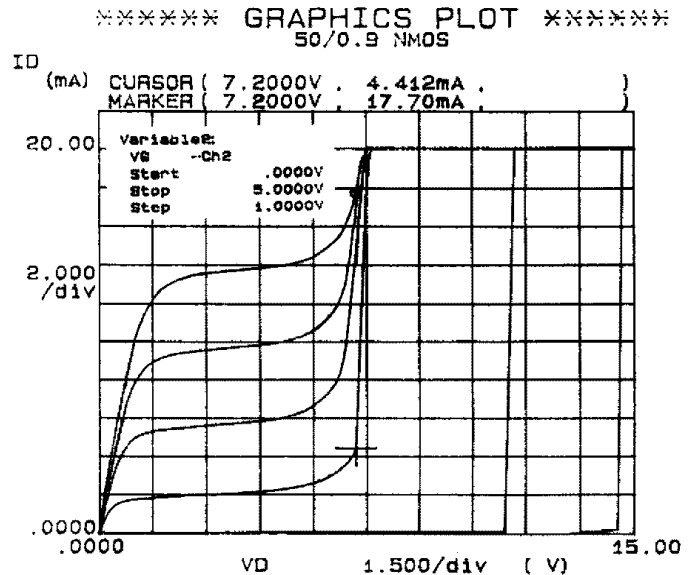


그림 9. NMOS소자의 전류-전압 특성

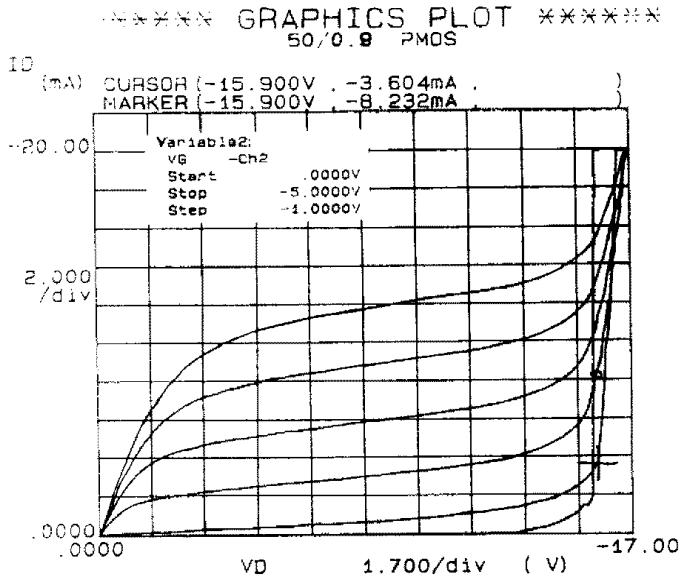


그림 10. PMOS소자의 전류-전압특성

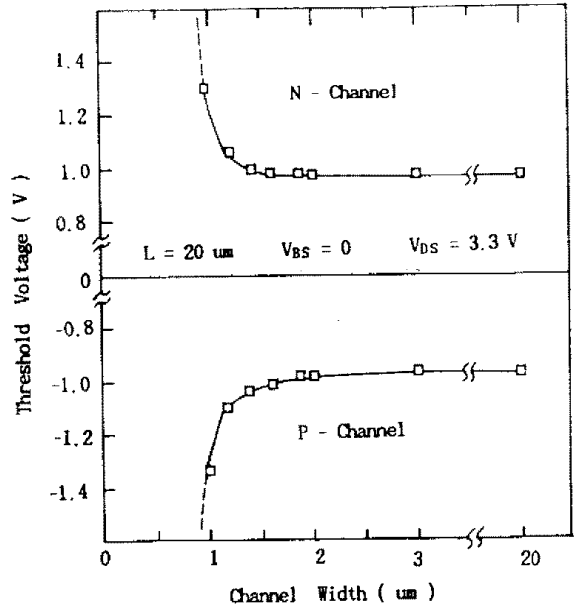


그림 12. 채널폭에 따른 문턱전압의 변화

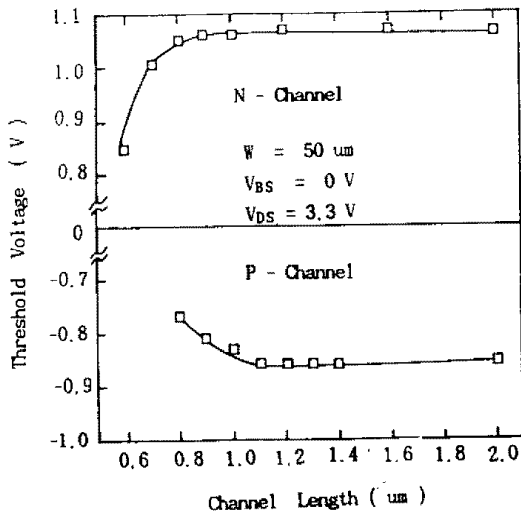


그림 11. 채널길이에 따른 문턱전압의 변화

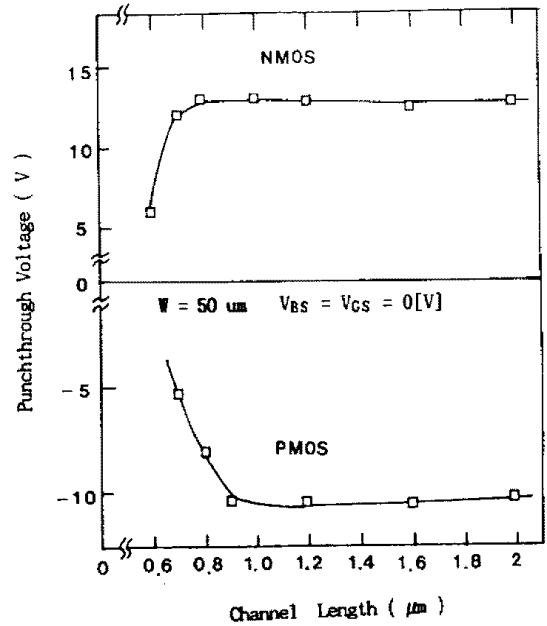


그림 13. 채널길이에 따른 펀치스루 전압

표 2. 대표적인 소자 특성

parameter	Value	
	NMOS(W/L=50/0.9)	PMOS(W/L=50/1.2)
Threshold [V]	0.9-1.0	-0.75 - -0.85
Field Threshold [V]	16	-14
Breakdown Voltage [V]	13	-12
Punchthrough Voltage[V]	13	-12
Subthreshold Slope [mV/decade]	105	80
Body Factor [V <sup>1/2</sup> ]	0.85	0.43
Mobility [cm <sup>2</sup> /v·sec]	360	140