

Charge Pumping 방법을 이용한 비휘발성 SNOS FET기억소자의 Si-SiO₂ 계면상태 특성에 관한 연구 (A Study on the Si-SiO₂ Interface State Characteristics of Nonvolatile SNOS FET Memories using The Charge Pumping Method)

조 성 두*, 이 상 배, 문 동 찬, 서 광 열

(광운대학교 전자재료공학과)

Seong Doo Cho*, Sang-bae Yi, Dong Chan Moon, Kwang Yell Seo

(Dept. of Electronic Materials Eng., Kwangwoon Univ.)

ABSTRACT

In this study, charge pumping method was used to investigate the Si-SiO₂ interface characteristics of the nonvolatile SNOSFET memory devices, fabricated using the CMOS 1 Mbit processes(1.2 μ m design rule), with thin oxide layer of 30 \AA thick and nitride layer of 525 \AA thick on the n-type silicon substrate (p-channel). Charge pumping current characteristics with the pulse base level were measured for various frequencies, falling times and rising times. By means of the charge dynamics in a non-steady state, the average Si-SiO₂ interface state density and capture cross section were determined to be 3.565 x 10¹¹ cm⁻²eV⁻¹ and 4.834 x 10⁻¹⁶ cm², respectively. However Si-SiO₂ interface state densities were distributed 2.8 x 10¹¹ ~ 5.8 x 10¹¹ cm⁻²eV⁻¹ in the upper half of energy gap and 5.6 x 10¹¹ ~ 6 x 10¹¹ cm⁻²eV⁻¹ in the lower half of energy gap.

1. 서론

이중절연막 게이트구조의 MNOS 기억소자가 비휘발성 EEPROM으로 실제 응용될 때 가장 큰 문제점으로 지적되는 사항은 Write/Erase 반복 횟수에 따른 소자의 열화이다. 1), 2) 특히 Si-SiO₂ 계면특성의 열화는 문턱전압의 이동, memory window 크기의 감소, memory window center의 이동, 표면 이동도의 감소, 그리고 기억유지 능력의 약화등 소자의 성능을 극도로 저하시킨다. 이와 같은 Si-SiO₂ 계면특성을 조사하기 위해서는 신뢰성 있는 많은 방법들이 제안되었지만, 그들중 Charge Pumping 방법은 측정장치가 간단하고, 분석이 용이하며, Si-SiO₂ 계면상태밀도를 에너지적, 공간적으로 넓은 범위에 걸쳐서 조사할 수 있을 뿐만 아니라 특히, short channel의 MOSFET에도 직접적으로 적용할 수 있다는 장점 때문에 많은 관심을 끌고 있다. 3)

본 연구는 게이트전극을 금속 대신 다결정실리콘으로 하여 1 Mbit CMOS 제작 공정에 (1.2 μ m design rule) 따라서 제작한, p-channel SNOSFET 기억소자의 Si-SiO₂ 계면특성을 Charge Pumping 방법을 사용하여 조사 하였다.

2. 이론

p-channel SNOSFET 기억소자의 게이트에 돌니파형 펄스전압을 인가하여 반도체표면을 축적상태에서 반전상태로 갑자기 구동시키면 반도체표면은 깊은 공핍상태가 되어 정공이 소오스와 드레인으로부터 채널영역으로 공급되고, 이들 정공중 일부는 Si-SiO₂계면 상태에 트랩된다. 다시 반대 극성의 펄스가 게이트에 인가되어 반전 상태에서 축적 상태로 될 때 채널영역의 이동전하 및 트랩으로부터 방출된 전하들은 소오스와 드레인으로 돌아가고, 트랩된 채 남아있는 정공들은 기판의 다수캐리어(전자)와 재결합하게 된다. 따라서 기판에는 양(+)의 전하로 이루어진 순전류(net current)가 흐르게 되며, 이와같은 전류를 Charge Pumping 전류(I_{cp})라 한다.

Groesneken에 따르면⁴⁾ 게이트에 인가되는 펄스전압의 상승시간 및 하강시간이 10⁻⁷ 초 보다 큰 경우 Charge Pumping 전류는 계면트랩으로부터의 비정상상태 방출 특성에 의해 결정되며, 따라서 정공과 전자에 대한 방출 준위는 다음과 같이 표현 될 수 있다.⁵⁾

$$E_{e,ms}(t_f) = E_i - kT \ln \left[\nu_{th} \sigma_n n_i \frac{|V_{FB} - V_{th}|}{|\Delta V_G|} t_f \right] \quad (1)$$

$$E_{e,mh}(t_r) = E_i + kT \ln \left[\nu_{th} \sigma_p n_i \frac{|V_{FB} - V_{th}|}{|\Delta V_G|} t_r \right] \quad (2)$$

여기서, E_i는 반도체 에너지갭 중앙, k는 볼츠만상수, T

는 절대온도, v_{th} 는 캐리어의 열속도, σ_n 및 σ_p 는 전자 및 정공의 포획단면적, n_i 는 Si 반도체의 전성캐리어 농도, V_{FB} 는 flat band 전압, V_{th} 는 문턱전압, ΔV_G 는 게이트전압이고, t_f 와 t_r 는 톱니파형의 펄스전압의 하강 및 상승시간이다. 또한, Charge Pumping 전류는 다음과 같이 표현할 수 있다.

$$I_{CP} = qA_G \overline{D_{it}} [E_{emh}(t_r) - E_{emo}(t_f)]$$

$$= 2qfA_G \overline{D_{it}} kT \ln \left[v_{th} n_i \sqrt{\sigma_n \sigma_p} \cdot \frac{|V_{FB} - V_{th}|}{|\Delta V_G|} \times \sqrt{t_f t_r} \right] \quad (3)$$

여기서, A_G 는 게이트면적, $\overline{D_{it}}$ 는 평균 계면상태밀도이다. 또한, 단위 펄스당 제결합 전하량은 다음과 같이 표현된다.

$$Q_{SS} = \frac{I_{CP}}{f}$$

$$= 2qA_G \overline{D_{it}} kT \ln \left[v_{th} n_i \sqrt{\sigma_n \sigma_p} \cdot \frac{|V_{FB} - V_{th}|}{|\Delta V_G|} \times \sqrt{t_f t_r} \right] \quad (4)$$

식(4)를 logf로 미분하면 다음 식이 성립된다.

$$\frac{dQ_{SS}}{d \log f} = \frac{2q \overline{D_{it}} kT}{\log e} \cdot A_G \quad (5)$$

또한, 식(4)에서 Q_{SS} 을 영(0)으로 놓으면 다음과 같다.

$$\sigma = \sqrt{\sigma_p \sigma_n} = \frac{1}{v_{th} n_i} \cdot \frac{|\Delta V_G|}{|V_{FB} - V_{th}|} \cdot \frac{f_0}{\sqrt{t_f t_r}} \quad (6)$$

식(1)과 (2)로부터 E_{emh} 및 E_{emo} 는 각각 상승시간 및 하강시간의 함수이므로 t_f 를 상수로 하고 식(4)를 t_r 에 대하여 미분하면 다음과 같다.

$$\frac{dQ_{SS}}{dt_r} = qA_G \overline{D_{it}} (E_{emh}) \cdot \frac{dE_{emh}}{dt_r} \quad (7)$$

식(2)를 t_r 에 대해 미분하면

$$\frac{dE_{emh}}{dt_r} = - \frac{kT}{t_r} \quad (8)$$

식(8)를 식(7)에 대입하여 정리하면 t_r 에 대한 $\overline{D_{it}}$ 관계는 다음식과 같이 표현될 수 있다.

$$\overline{D_{it}}(E_{emh}) = - \frac{t_r}{qA_G kT} \cdot \frac{dQ_{SS}}{dt_r} \quad (9)$$

마찬가지로 t_f 에 대한 $\overline{D_{it}}$ 의 관계는 다음과 같이 쓸 수 있다.

$$\overline{D_{it}}(E_{emo}) = - \frac{t_f}{qA_G kT} \cdot \frac{dQ_{SS}}{dt_f} \quad (10)$$

3. 실험 장치 및 방법

본 연구를 위해서 사용한 비휘발성 SNOSFET 기억소자는 30Å의 산화막과 525Å의 질화막으로 된 이중절연막 게이트구조로써 기존의 CMOS 1 Mbit(1.2μm design rule) 제작공정에 따라 제작하였으며, 채널길이 및 폭이 각각 1.7μm, 15μm인 p-channel이다. SNOSFET 기억소자의 Si-SiO₂계면 상태특성을 조사하기 위한 Charge Pumping 측정장치의 구성도는 그림1과 같다.

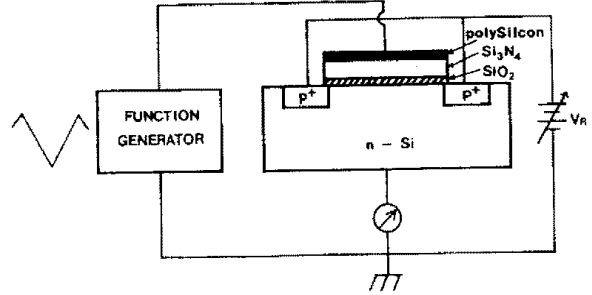


Fig.1. Basic experiment set-up for Charge Pumping current measurements

4. 결과 및 고찰

비휘발성 SNOSFET 기억소자의 초기조건 (초기문턱전압: $V_{thi} = 2.5V$)을 일정하게 하고, 반도체기판에 대해서 $V_r = -0.5V$ 의 역바이어스전압을 소오스 및 드레인에 인가한다. 이와같은 상태에서 duty cycle $\alpha = 0.5$, 주파수 $f = 5KHz$ 인 톱니파형의 펄스전압을 게이트에 인가한다. 이때, 펄스전압의 기준준위(base level)에 따른 기판의 전류(I_{CP})를 여러가지 펄스전압에 대해서 측정하면 그림2와 같은 charge pumping 전류 특성곡선을 얻을 수 있다. 그림으로부터 알 수 있듯이 펄스전압의 기준준위가 증가함에 따라 특성곡선이 거의 포화하는 것으로 보아서 geometric 성분은 무시할 수 있고, 또한 펄스전압의 크기가 증가함에 따라서 I_{CP} 값은 증가하다가 $\Delta V_G = 6V$ 에서 포화하였다. 그러나, $\Delta V_G = 6V$ 가 되었을 때 문턱전압이 이동하기 시작하는 것으로 보아 기억특성이 게이트펄스전압에 의해 영향을 받음을 알 수 있다. 따라서, 기억특

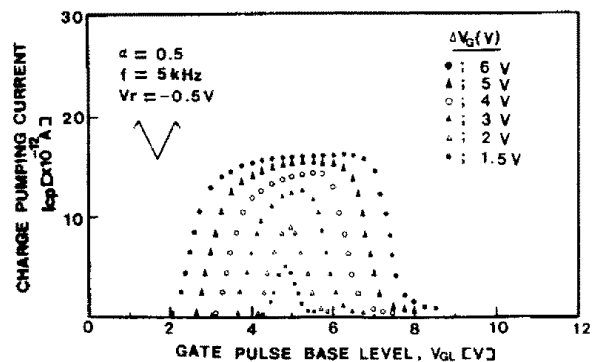


Fig.2. Charge pumping current characteristics curves with various pulse heights

성에 영향을 주지 않고 반도체표면을 측정상태에서 반전 상태로 혹은 그반대로 구동시킬 만큼 충분히 큰 게이트 펄스전압의 크기는 $\Delta V_G=5V$ 임을 알 수 있다.

$V_r=-0.5V$, $\alpha=0.5$, $\Delta V_G=5V$ 인 톱니파형 펄스전압의 주파수를 각각 달리하면서 charge pumping 전류특성곡선을 측정 한 후 주파수에 따른 charge pumping 전류관계를 나타내면 그림3의 'o' 표시와 같다. 식(3)으로부터 예측할 수 있었던 I_{CP} 는 주파수에 따라서 선형적으로 증가하였으며, 이것으로부터 측정된 I_{CP} 는 Si-SiO₂계면트랩을 경우한 charge pumping효과임을 확인할 수 있었다.

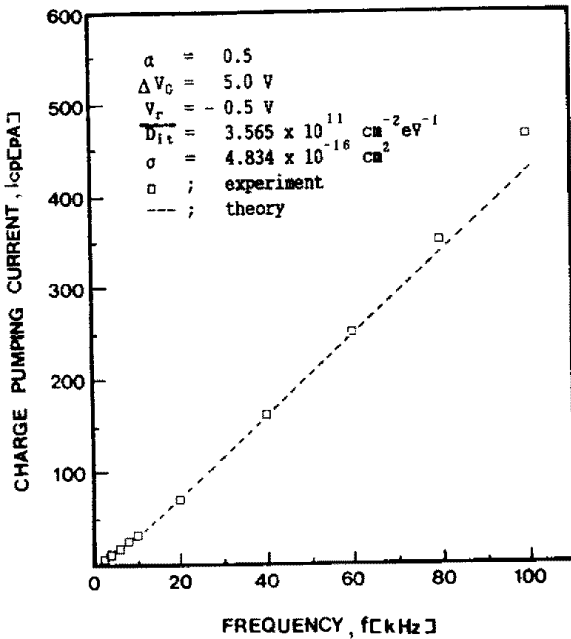


Fig.3. Charge pumping current as a function of frequency

그림4는 평균 계면상태밀도 $\overline{D_{it}}$ 및 포획단면적 σ 를 결정하기 위하여 식(4)를 사용해서 구한 주파수에 따른 단위주파수당 재결합된 전하량 Q_{SS} 의 관계를 나타낸 것이다. 그림으로부터 알 수 있듯이 Q_{SS} 는 주파수에 따라서 대수함수적으로 증가하였다. 최소자승법에 의하여 실험값과 가장 잘 일치하는 직선(그림4의 점선)을 구한 다음, 그 직선의 기울기를 식(5)에 대입하여 $\overline{D_{it}}$ 를 결정하고, 또한 그 직선을 외삽하여 $Q_{SS}=0$ 가 되는 주파수 f_0 를 식(6)에 대입함으로써 $\sqrt{\sigma_p \sigma_n}$ 를 결정하였다. 그 결과 $\overline{D_{it}}=3.565 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 이고, σ_p 와 σ_n 이 같다고 가정한 경우 $\sigma=4.834 \times 10^{-16} \text{ cm}^2$ 이었다. 이렇게 구한 $\overline{D_{it}}$ 와 $\sqrt{\sigma_p \sigma_n}$ 를 식(3)에 대입하여 얻은 이론적인 I_{CP} 와 f 의 관계는 그림2의 점선과 같다. 그림으로부터 이론곡선과 실험곡선이 잘 일치하는 것으로 보아 위에서 결정한 각 트랩 특성 상수값들이 타당함을 알 수 있다.

$V_r=-0.5$, $\Delta V_G=5V$, 펄스전압의 하강시간을 5usec로 고정하고 상승시간에 따른 I_{cp} 를 측정하여 얻은 결과는 그림5의 'o' 표시와 같다. 식(3)로부터 알 수 있듯이 I_{cp} 는 $f \times \ln(\sqrt{t_r})$ 에 비례한다. 따라서, 그림5를 다시 I_{cp} 와 $f \times \ln(\sqrt{t_r})$ 의 관계로 나타내면 그림6의 'o' 표시와 같다. 최소자승법에 의해 실험값과 가장 잘 일치하는 직선을 구한 결과 다음과 같은 직선의 식을 얻을 수 있다.

$$I_{cp} = -7.84 \times 10^{-16} \times f \ln \sqrt{t_r} + 1.11 \times 10^{-12} \quad (11)$$

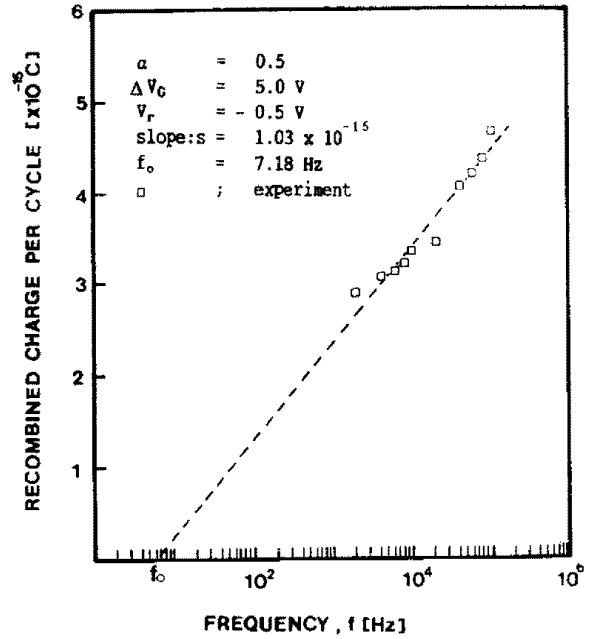


Fig.4. Recombined charge per cycle as a function of frequency

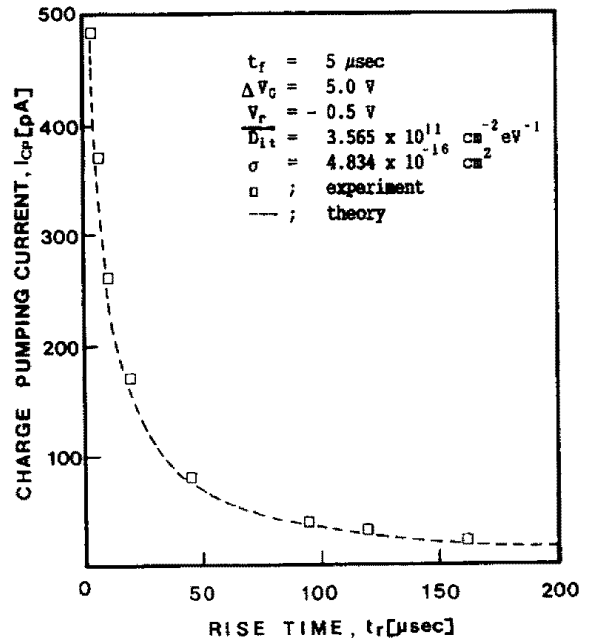


Fig.5. Charge pumping current as a function of rising time

식(11)을 f 로 나누어 Q_{SS} 에 대한 식을 얻고 이렇게 얻은 식을 t_r 에 대해 미분하여 그 결과를 식(9)에 대입함으로써 상승시간에 따른 계면상태밀도 $D_{it}(t_r)$ 를 구하였다. 또한, 식(1)로부터 상승시간에 따른 방출준위 $E_{mh}(t_r)$ 을 구하였다. 같은 값의 t_r 에 대해 $D_{it}(t_r)$ 과 $E_{mh}(t_r)$ 를 서로 대응시키므로써 에너지집 하단부에서의 Si-SiO₂ 계면상태밀도의 에너지분포를 구하였다. 에너지집 상단부에서의 계면상태밀도 분포는 t_r 을 5 μsec 로 고정하고 t_r 에 따른 I_{CP} 값을 측정하여 앞에서와 같은 방법으로 구하였다. 이렇게 하여 구한 에너지집 전 범위에 걸친 Si-SiO₂ 계면상태 밀도의 에너지 분포는 그림7과 같다.

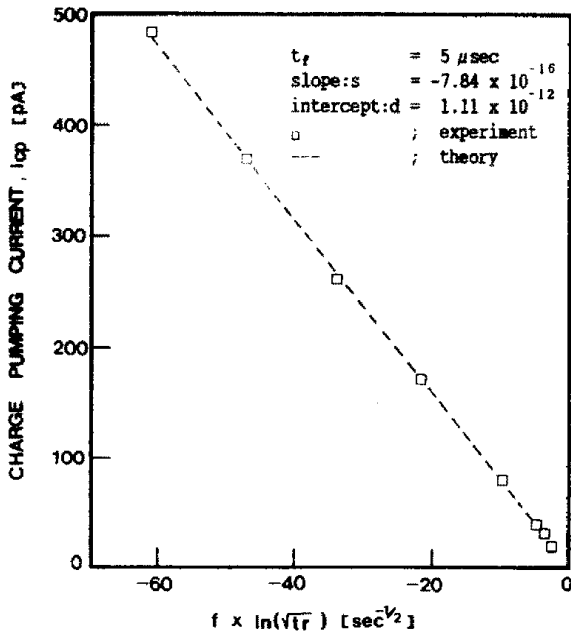


Fig. 6. $f \times \ln t_r$ vs. Charge pumping current plot

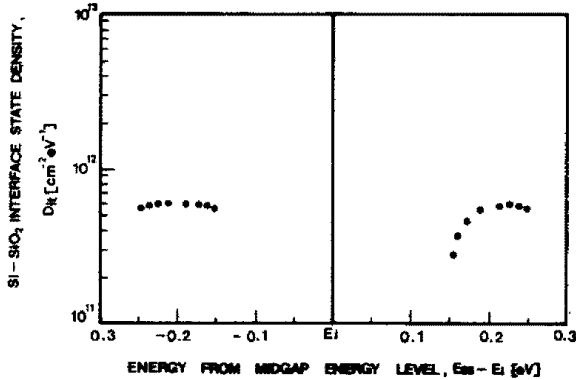


Fig. 7. Energy distribution of Si-SiO₂ interface state density

5. 결론

Charge Pumping 방법을 이용하여 SNOFET 기억소자의 Si-SiO₂ 계면상태 특성을 조사한 결과 다음과 같은 결론을 얻었다.

- 1) 펄스전압의 기준준위에 따른 I_{cp} 특성곡선이 거의 포화하는 것으로 보아 본 연구를 위해 사용한 소자는 geometric 성분이 거의 나타나지 않음을 알 수 있다.
- 2) Charge Pumping 전류 특성은 주파수에 따라서 선형적으로 비례하였고, 이것으로부터 기판의 전류는 계면 트랩을 경유한 charge pumping 효과임을 확인할 수 있었다.
- 3) 평균 계면상태밀도는 $3.565 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ 이고 포획 단면적은 $4.834 \times 10^{-16} \text{cm}^2$ 이었다.
- 4) Si - SiO₂ 계면 상태밀도는 에너지집 증상으로 부터 0.15~0.25eV 떨어진 하단부 및 상단부에 각각 $5.6 \times 10^{11} \sim 6 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$, $2.8 \times 10^{11} \sim 5.8 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ 로 분포함을 알 수 있었다.

6. Reference

- 1) H.A.R. Wegener, U.S. patent 3590337, P. 29, 1971.
- 2) H. Schaur, et al., IEEE Trans, Electron Device Vol. ED-25(8), P. 1037, 1978.
- 3) J.S. Brugler, et al., IEEE Transaction on Electron Device, Vol ED-16, No. 3, 1567.
- 4) A.B.M. Elliot, Solid-state Electron, Vol. 19. P. 241-247. 1976.
- 5) J.G. Simmons, et al., Solid-state Electron., Vol. 16, P. 53, 1973.
- 6) G. Groeseneken, et al., IEEE Transactions on Electron Device, Vol. ED-31, NO. 1, 1984.