

2-D IIR digital filter에 대한 systolic array 구현

김수현, 박노경, 문대철
호서대학교 정보통신공학과

Implementation of systolic array for 2-D IIR digital filters

Soo-Hyeon KIM, Nho-Kyung PARK, Dae-Chul MOON
Dept. of Information & Telecommunications Eng., Hoseo Univ.

ABSTRACT

In this paper, a systolic array structure is derived from the realization of 2-D IIR digital filters directed from the SFG(signal flow graph). After realized the 1-D formed partial systolic array, we implemented the complete systolic array to be cascaded 1-D form. The cascading of partial systolic arrays reduce the storage element which used to delay input signal. 1-D systolic array is derived from that DG is designed through local communication approach and then it mapping to SFG. The derived structure is very simple and has high throughput because during new input sample is supplied, new output is obtained every sampling period. And broadcast input signal is eliminated. Since the systolic array has property of regularity, modularity, local interconnection and highly synchronized multiprocessing, thus is very suitable for VLSI implementation.

1. 서론

2-D 디지털 필터는 image enhancement와 같은 디지털 영상처리 분야에 폭넓게 이용되어지고 있다. 디지털 필터에 대한 시스토크 어레이 구현은 다양한 형태로 접근할 수 있지만 본 논문에서는 2-D IIR 디지털 필터의 반복 알고리즘으로부터 1-D 형태의 알고리즘을 유도하여 1-D IIR 디지털 필터의 시스토크 어레이를 구현하고, 이를 종속연결 하여 완전한 2-D 시스토크 어레이를 구현하였다. 1-D IIR 디지털 필터에 대한 시스토크 어레이는, 신호 흐름도에 기초한 접근을 사

용하였다. 이 접근은 canonical mapping 방법이며, broadcast되는 입력 신호들을 제거시킨다. 또한 이 과정에서는 다양한 구조를 유도할 수 있고, 반복 알고리즘 변수들의 계산상 종속을 정확히 이해할 수 있으므로 가능한 많은 구조중에서 최적의 시스토크 어레이 구현이 가능하다.

1-D IIR 디지털 필터의 시스토크 어레이를 병렬 연결한 2-D IIR 디지털 필터의 시스토크 어레이는 입력 신호들에 대한 각 차수에 비례하는 양만큼의 저장요소를 필요로 하므로 이를 피하기 위해 본 논문에서는 입력 신호를 종속 연결하여 2-D IIR 디지털 필터를 실현하였다. 유도된 구조는 매 입력 주기마다 출력을 얻을 수 있는 높은 처리율을 갖는다.

II. 2-D IIR 디지털 필터 알고리즘

2-D IIR 디지털 필터의 전달함수는 다음과 같다.

$$H(z_1, z_2) = \frac{\sum_{i=0}^N \sum_{j=0}^N a_{ij} z^{-i} z^{-j}}{1 + \sum_{i=0}^N \sum_{j=0}^N b_{ij} z^{-i} z^{-j}} \quad (1)$$

여기에서 a_{ij} , b_{ij} 는 필터 계수이다. 식 (1)을 입력 출력 관계 방정식으로 쓰면 다음과 같다.

$$y(n, m) = \sum_{i=0}^N \sum_{j=0}^N a_{ij} x(n-i, m-j) - \sum_{i=0}^N \sum_{j=0}^N b_{ij} y(n-i, m-j) \quad (2)$$

$$\begin{aligned}
&= \sum_{j=0}^N a_{0j} x(n, m-j) - \sum_{j=1}^N b_{0j} y(n, m-j) \\
&\quad + \sum_{j=0}^N a_{1j} x(n-1, m-j) - \sum_{j=0}^N b_{1j} y(n-1, m-j) \\
&\quad \vdots \\
&\quad + \sum_{j=0}^N a_{Nj} x(n-N, m-j) - \sum_{j=0}^N b_{Nj} y(n-N, m-j) \\
&= \sum_{j=0}^N y_i(n, m) \tag{3}
\end{aligned}$$

$b_{00} = 0$ 라 두면, 식 (3)의 $y_i(n, m)$ 은 다음과 같이 정리된다.

$$y_i(n, m) = \sum_{j=0}^N a_{ij} x(n-i, m-j) - \sum_{j=0}^N b_{ij} y(n-i, m-j) \tag{4}$$

식 (4)는 형태로 보아 i -index와 무관하다. 따라서 1-D 형태로 취급할 수 있기 때문에 다음과 같은 1-D IIR 필터처럼 생각하여 시스토크 어레이의 부분 실현을 위해 식 (4)는 다음과 같이 재 정의를 할 수가 있다.

$$y(n) = \sum_{j=0}^N a_j x(n-j) - \sum_{j=0}^N b_j y(n-j) \tag{5}$$

여기서

$$y(n) = y_i(n, m), \quad a_i = a_{ij}, \quad b_i = b_{ij},$$

$$x(n-i) = x(n-i, m-j), \quad y(n-i) = y(n-i, m-j)$$

III. 시스토크 어레이 설계

2-D IIR 디지털 필터의 반복 알고리즘으로 부터 유도된 식(5)의 1-D 형태 알고리즘으로 1-D IIR 디지털 필터의 시스토크 어레이를 설계하고, 이를 종속연결하여 완전한 2-D 시스토크 어레이를 설계하고 구현하였다.

3.1. 1-D IIR 필터 구현

알고리즘으로 부터 DG(Dependence Graph)를 설계하기 위해서 (5)의 변수들을 단일 할당코드로 변환하여 broadcast되는 모든 입력들을 localized하게 만들고, DG를 설계한 후 이를 사상하여 SFG를 설계한다. 시스

토크 어레이 실현 단계에서 retiming을 거치면 구현하고자 하는 시스토크 어레이가 실현된다.

알고리즘으로 부터 직접 설계된 식 (5)에 대응하는 임시 DG는 그림 1과 같다. 본 연구에서는 계산상의 종속과 설계될 구조의 명확성을 위해 알고리즘의 변수들의 인덱스 매칭과 아크들의 방향을 적절하게 결정하였다. 임시 DG에서 각 노드의 입력들이 broadcast되는 것을 방지하기 위해서 localized하게 설계하였다.

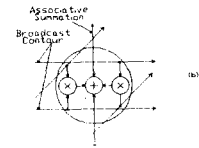
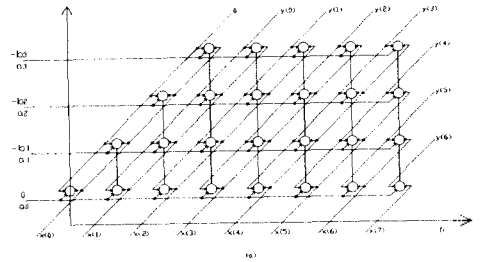


그림 1 식 (5)의 (a) preliminary DG

(b) detail node

그림 1 (a)에서 덧셈에 대한 아크의 방향은 가역적이며 의미는 선택적인 반복식이 가능하다는 것이므로 DG 설계의 첫 단계인 단일할당 코드로의 변환하면 아크의 방향이 결정되고 식 (5)의 반복 알고리즘은 식 (6)과 같이 수정될 수 있다.

$$y_n^i = y_n^{i-1} + a_i \cdot x_{n-i} - b_i \cdot y_{n-i} \tag{6}$$

여기서

$$y(n) = y_n^0, \quad y_n^{N+1} = 0, \quad K = 0, 1, 2, \dots, N$$

식 (6)에서 필터 계수 a_i , b_i 와 $x(n)$, $y(n)$ 은 여전히 broadcast 된다. 따라서 broadcast 형을 지역 아크로 대체하기 위해 다시 입력신호 변수들이 모두 단일 할당코드로 변환된 수정된 반복 알고리즘은 식 (7)과 같다. 그림 2는 식 (7)에 의해서 구현된 DG이다.

$$y_n^i = y_{n-1}^{i+1} + a_n^i x_n^i - b_n^i B_n^i \quad (7)$$

여기서

$$a_n^i = a_{n-1}^i, \quad a_{-1}^i = a_i, \quad b_n^i = b_{n-1}^i, \quad b_{-1}^i = b_i, \quad b_n^0 = 0$$

$$B_n^i = B_{n-1}^i, \quad B_n^0 = y_n^0 \quad \text{그리고} \quad y(n) = y_n^0$$

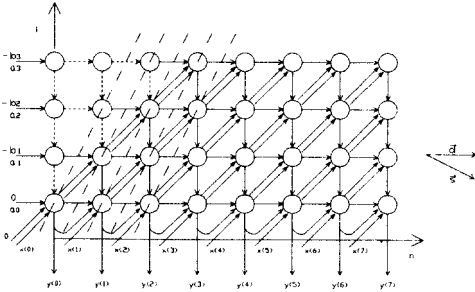


그림 2 완전히 지역화된 DG

DG에서의 한개의 노드에 각각 한개의 PE로 지역 반복 알고리즘에 대한 어레이 구조를 결정하면 비동형적인 PE의 응용화를 이끌게 된다. SFG는 보다 구체적이며 하드웨어 설계에 가까워 얻어질 어레이 형태를 나타낸다.

DG로 부터 SFG(signal flow graph)로의 mapping은 두 단계로 나눌 수 있다. 첫 단계는 규칙적인 processor 배열이다. 즉, 한 직선에서 DG의 노드를 processor 어레이 PE로 부영시키는 projection vector \vec{d} 를 결정하여 모든 노드들을 \vec{d} 와 평행한 직선상의 하나의 processor 배열로 구성한다.

두번째 단계는 규칙적인 processor 배열이 이루어지면 모든 PE의 연산 순서를 설명하는 scheduling을 행하여 SFG 구성을 결정한다. schedule vector \vec{s} 는 DG에서의 평행 hyperplane 노드가 같은 시간 단계에서 처리되도록 결정된다. \vec{s} 는 다음 조건을 만족한다.

$$\begin{aligned} \vec{s} \cdot \vec{e} &> 0 \quad \forall \vec{e} \\ \vec{s} \cdot \vec{d} &> 0 \end{aligned} \quad (8)$$

식 (8)에 만족하도록 결정된 그림 2의 projection vector \vec{d} 와 schedule vector \vec{s} 에 의해 사상하면, 구현되는 SFG는 그림 3과 같다.

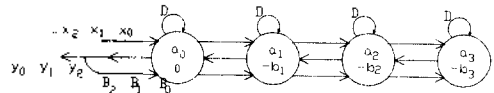


그림 3 SFG 블록도

그림 3에서, 얻어진 SFG는 spatially localized 하지 만 temporally localized 하지는 않다. 즉, DG로 부터 schedule vector에 의해 결정된 timing은 설계될 시스템 어레이의 timing과는 차이가 있다. 이를 해결하기 위해 retiming이 필요하다. 현재, SFG에서는 PE로 입력되는 이크들이 지연을 갖지 않으며 따라서 한 샘플링 주기동안 전송 아크를 통해 마치 broadcast되듯 전 PE로 전송되어야 한다. 이것들이 최소 하나의 지연을 갖도록 하는 것이 retiming이다. 여기서 retiming은 최대 처리율을 갖도록 SFG의 노드 연산과 정에서 유도하였다. 입력되는 필터계수는 전송선로를 가지지 않고 PE내에 저장되어 있어 지연없이 연산시 마다 적절히 공급되면 된다. 따라서 계수를 위한 하나의 저장요소만이 필요하다. 각 부분 입력 신호들은(B와 x) PE로 입력된 후 계수와의 연산을 위해 지연 요소가 필요하다. 이와 같이하여 얻어진 1-D IIR 디지털 필터 시스템의 구조는 그림 4와 같다.

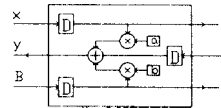
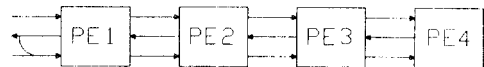


그림 4 1-D IIR 디지털 필터의 시스템적 어레이

3.2. 2-D IIR 필터의 시스템적 어레이

본 연구에서는 그림 5에서 구현된 1-D 시스템적 어레이를 이용하여 구현하고자 하는 완전한 2-D IIR 디지털 필터의 시스템적 어레이를 설계하였다. 이것은 식 (4)로 부터 그림 4의 시스템적 어레이를 병렬연결 시킴으로써 쉽게 2-D IIR 필터의 시스템적 어레이를 설계할 수 있다. 그러나 병렬연결로 설계된 2-D 어레이는 다음 부분 어레이의 입력을 위한 지연소자로 일

력 데이터의 각 행의 크기만큼 저장요소가 입 출력 데이터의 열의 크기 수만큼 필요하다. 따라서 본 연구에서는 종속연결하여 지연소자를 제거하였다. 이의 연결을 위해, 맨 우측 PE로 부터 나온 출력이 다시 입력되는 노드에 모든 차의 출력 합인 최종출력을 연결한다. 이것은 1-order에만 필요하고 나머지는 종속연결된 이전 차수의 어레이로 부터 출력을 입력 받는다. 이와 같은 과정에 의해서 최종 실현된 2-D IIR 디지털 필터의 구현을 그림 5에 나타냈다. 시스토크 어레이의 장점인 modularity로 인해, PE들의 synchronized multiprocessing을 위한 제어장치의 각 제어선로는 모든 order의 어레이에, 그리고 모든 PE에 동일하게 입력된다. 따라서 하드웨어 시스템 설계시에 제어부의 설계 자체도 간단하게 된다.

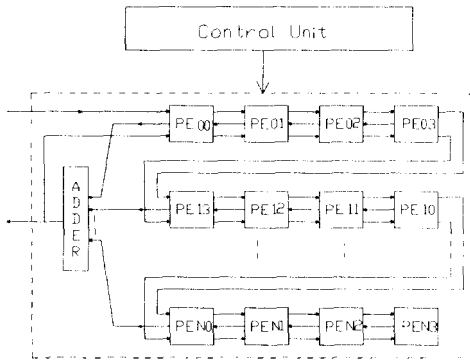


그림 5 2-D IIR 디지털 필터의 시스토크 어레이 구조

IV. 결론

본 논문은 1-D IIR 디지털 필터를 실현한 후에 이를 종속연결하여 2-D IIR 디지털 필터에 대한 시스토크 어레이를 구현하였다. 유도된 구조는 매우 간단하며, 입력 신호의 skew 현상을 피할 수 있도록 모든 입력 데이터들이 localized 하게 전송되고 입력 샘플이 공급되어지면 매 샘플링 주기마다 새로운 출력을 얻는 매우 높은 처리율을 갖는다. 구현한 시스토크 어레이는 규칙적이고, modularity, local interconnection, highly synchronized multiprocessing의 특징을 갖기 때문에 VLSI 실현에 매우 적합하다.

참고문헌

- [1] M.A. Sid-Ahmed, "A Systolic Realization for 2-D Digital Filters", IEEE Trans. Signal processing, vol.37, NO.4, pp. 560-565 Apr. 1989.
- [2] S.Y. Kung, "On Supercomputing with Systolic/Wavefront Array Processors", Invited paper, Proceedings of the IEEE, vol. 72, NO. 7
- [3] M.A.Sid-Ahmed, "Serial Architectures for the Implementation of 2-D Digital Filters and for Template Matching in digital Images", IEEE Trans. Signal processing, vol.38, No.5, pp. 853-857, May 1990.
- [4] Chun-Hsien Chou, "VLSI Architectures for High Speed and Flexible Two-Dimensional Digital Filters", IEEE Trans. Signal processing, Vol.39, NO.11, Nov. 1991
- [5] S.Y. Kung and J.N. Hwang, "Systolic Array designs for Kalman Filtering" IEEE Trans. Signal Processing, Vol. 39, NO.1, Jan.1991.
- [6] S. Y.Kung, VLSI Array Processors, Prentice-Hall, Inc. 1988
- [7] 문대철 외 1인, "실시간 신호 처리용 고속 Multiplier 단일칩화에 관한연구", 한국통신학회, 15권 7호, pp. 628-637, 1990.
- [8] 문대철 외 1인, "Systolic Array를 이용한 2-Dimension Convolution 설계 및 제작에 관한연구", 한국통신학회, 15권 10호, pp. 819-828, 1990.
- [9] 문대철, 차군현, "Digital Filter One-Chip화 및 제작", 대한전자공학회 추계총합 학술대회 논문집, pp. 743-746, 1987.