

ATM 교환 시스템의 최적 설계를 위한 확률 모형

김 제승*, 윤 복식**, 이 창훈*

* : 서울대학교 산업공학과

** : 홍익대학교 기초과학과

< 요약 >

현재 또는 장래에 예견되는 거의 모든 통신 서비스를 통합적으로 제공할 수 있는 B-ISDN 환경하에서 음성통화와 비디오정보, 데이터들이 각기 다른 bit rate와 서비스 요구조건(통화시간, 질등)을 가지고 전송 서비스를 받으려 하기때문에 매우 다양한 서비스들의 조합을 고려하여 교환 시스템을 구현해야 한다. B-ISDN에 적합한 전송 기술로서 ATM(Asynchronous Transfer Mode)이 일반적으로 제안되고 있는데 이미 10여종의 독특한 ATM 시스템들이 이론적, 실험적 연구단계를 거쳐 거의 실용화 단계까지 이르렀다고 주장되고 있다. 본 논문에서는 ATM 교환 시스템의 설계요건과 비교기준을 제시하여 설계 디자인을 주어진 기술제약하에 최적화 할 수 있는 조건을 제시한다. 이때 우선 기본 스위치의 구조를 단단계로 할 것인가 다단계로 할 것인가에 대한 정량적, 확률적인 비교가 행해지고 특히 이미 많은 ATM 스위치에서 채택되고 있는 Banyan형태의 망의 성능 분석을 보다 현실에 근접하게 할 수 있는 이산적 마코프 체인에 의한 모형과 계산 방법이 확립된다. 이를 통해 단위 스위치 내부에 버퍼의 유무, 버퍼를 두는 위치, 또한 버퍼 사이즈에 의한 영향등이 세부적으로 분석된다.

I. 서 론

음성통화와 데이터 전송, 또 비디오 정보를 동시에 처리할 수 있는 B-ISDN(광대역 종합통신망)과 ATM 교환 시스템에 대한 미국, 일본, 유럽등지에서의 연구는 이제 이론과 실험의 단계를 이미 지나서 거의 실용화를 주장할 수 있는 단계에 까지 도달하였다. 이에 비해 우리나라에서는 협대역의 ISDN의 실용화에 노력이 집중되어 B-ISDN의 교환 방식에 대한 연구는 초기단계에서 머물고 있는 형편이다. 그러나 반도체 및 광통신 기술, HDTV, 정보처리 기술등의 세계적인 발달 추세로 볼 때 통신 시스템은 멀지 않은 장래에 필연적으로 광대역의 서비스들을 포괄적으로 처리해야 할 것이고 그에 선행되는 ATM 교환 시스템의 개발은 서둘러 정립되어야 할 중요한 연구 과제이다.

버퍼를 둔 Banyan 망은 Computer 혹은 Communication 내부의 interconnection 망으로 사용되고 있어 최근 성능 분석의 연구가 많이 행해졌다. 다단계 스위치 구조는 주로 2x2 단위 스위치를 기본으로 한 Banyan 망 형태로 이루어 진다. nxn 스위치를 만들기 위해 $\log_2 n$ 의 단계가 필요하며 총 $n \log_2 n / 2$ 개의 단위 스위치가 필요하며 단단계 스위치에 비해 Hardware 복잡성을 줄이고 또 Packet header의 주소 비트에 따라 자동적으로 경로가 설정된다는 장점때문에 많은 ATM(Asynchronous Transfer Mode) 스위치의 기본 구조로 채택되고 있다.

ATM 스위치의 구성은 단위 스위치, 기본 스위치, 전체 스위치의 3단계로 나누어 볼 수 있다. 단위 스위치는 스위치 구성의 최소 단위로 정의 하며 2x2, 혹은 dxd Banyan 망의 스

위치 셀이 여기에 해당된다. 기본 스위치는 이 단위 스위치들을 적당한 형태로 구성하여 self-routing의 성질을 갖도록된 스위치로 정의된다. 전체 스위치는 기본 스위치를 모듈로 하여 형성된 대규모 ATM 스위치로 정의된다.

많은 ATM 스위치에서는 버퍼를 둔 Banyan 망 방식을 따르는데 대표적으로 Turner(1986), Uematsu & watanabe(1988)등을 들 수 있다. ATM cell이 각 입력 링크에 독립적으로 들어오고 목적 출력링크가 균일하게 분포되도록하여 blocking의 가능성을 되도록 줄여야 한다.

먼저 2장에서 ATM 스위치가 갖추어야 할 조건과 성능비교의 기준이 설명되고 버퍼방식의 비교 결과가 요약된다. 3장에서는 단단계 스위치방식과 다단계 스위치 방식의 비교가 행해지며 최적 다단계 방식이 제시된다. 이들 스위치들은 확률적인 분석을 통해서서는 당연한 결과(예를 들면 지연과 수율은 단단계 스위치가 높다 등)만이 얻어 지므로 개별적인 스위치의 분석을 피하고 4장에서 Banyan 망 구조의 성능에 관한모형을 개발하여 향후 종합적인 Banyan 망 성능 분석의 기초를 마련한다.

II. ATM 교환기의 요건

2.1. 설계 요건 및 비교 기준

이 절에서는 ATM 스위치의 설계시 고려해야 할 요건에 대해 생각해 보자.

(1) 링크당 150Mbps정도의 고속 데이터를 처리하기 위하여 초당 수 백만번의 경로 결정이 필요하게 되는데, 중앙 집중 제어 방식을 사용하면 중앙의 프로세서에서의 병목현상으로 인해 용량이 제한되므로 경로 결정은 각 스위치 교점(crosspoint)에서 수행되는 셀프라우팅(self-routing) 방식이 적합할 것이다.

(2) 스위치 내부에서 블락킹이 생길 경우 부가적인 하드웨어가 필요하며 제어가 복잡한 re-routing기법이나 내부 버퍼를 사용해야 하므로 복잡성과 비용을 최소화 하기 위해서는 스위치가 논블락킹(non-blocking) 구조일 필요가 있다.

(3) 여러 채널에서 입력되는 다양한 대역폭의 데이터 처리시 지연으로 인한 에러를 최소화하기 위하여는 지연시간이 작아야 함은 물론 지연 간격이 거의 일정하게 유지되어야 할 것이므로, 경로상에 버퍼 장치의 수가 되도록 작아야 한다.

(4) 가입자의 수나 가입자별 대역폭의 크기 또는 interconnection의 다양성의 증가에 쉽게 대처할 수 있도록 모듈식 확장성이 좋은 구조가 요구된다.

(5) 스위치 설계시 일반적으로 고려되는 스위치 구조물(switching fabric)의 비용과 복잡성(complexity), 유지,보수의 간편성, fault tolerance design등과 같은 요인들도 중요시 되어야 한다.

(6) 우선권(priority) 기능이나 방송(broadcast) 기능 구현이 용이해야 할 것이다.

(7) ATM의 개념에 충실하여 패킷의 순서와 시간 간격등 동기성 유지를 위한 time stamp 같은 특별한 장치에 신경을 쓸 필요가 없는 구조가 바람직할 것이다.

스위치 설계 단계에서 여러가지 다른 구조를 검토할 때, 이러한 요건들의 충족 정도가 의사 결정의 기준이 될 수 있을 것이다. 또한, 모든 설계에서의 성능은 하드웨어 구현 기술 수준에 특수성에 의존하는 경우가 많으므로 가용 기술 수준과 연관시켜 결정을 내려야 할 것이다.

2.2. 버퍼 방식의 비교

스위치의 내부 블라킹은 목적지가 서로 다른 두 개 이상의 입력이 서로 충돌하는 경우에 발생하게 되는 현상으로 다단계 구조에서만 나타나, 출력 충돌은 두 개 이상의 입력이 동시에 같은 출력으로 들어갈 때 생기는 현상으로 모든 공간 스위치의 공통적인 문제이다. 기존의 회선교환에서는 타임 슬롯 교환을 통해 미리 출력충돌을 방지할 수 있지만 시간동기화를 하지 않고 헤더의 정보에 의해 교환을 하는 패킷교환이나 ATM에서는 이러한 장치가 결여되어 있기 때문에 출력충돌은 필연적이다. 출력충돌을 피하기 위해서는 경쟁에서 진 패킷들을 잠시 저장하기 위한 버퍼가 필요하게 되며, 이것이 불규칙적인 지연의 발생 요인이 된다. 따라서 목적지로의 경로를 결정해 주는 본래의 교환기능보다 출력충돌을 해결하는 기능으로 인해 구조가 더욱 복잡해질 수 있으므로, 버퍼의 설계나 운용방법은 스위치 전체의 복잡성(complexity)과 성능에 큰 영향을 미친다.

버퍼의 설계에서 버퍼의 위치는 전체적인 구조에 특히 영향을 주는데, 버퍼를 입력 포트 쪽에 두는 입력버퍼 방식과, 출력 포트쪽에 두는 출력버퍼 방식, 입력과 출력 사이에 두는 중간버퍼 방식, 그리고 매 단위 스위치 마다 버퍼를 두는 접점버퍼(crosspoint)방식으로 분류할 수 있다. 입력버퍼 방식은 선두 패킷이 블라킹되어 뒤따르는 패킷들도 목적지로 갈 수 없게 되는 HOL(head-of-line) 블라킹 현상 때문에, 트래픽과 목적지가 균일하게 분포되어 있고 다른 모든 조건이 같을 때 수율(throughput)이 출력버퍼 방식의 58.6% 정도 밖에 되지 않는다는 단점이 있다[5]. 그러나 HOL 블라킹은 입력 라인에서 demultiplexing을 통해 HOL 뒤에 따라오는 패킷을 먼저 보낼 수 있도록 하는 input smoothing을 통해 어느 정도 해결할 수 있고, 입력버퍼의 구조가 출력버퍼보다 간단하기 때문에 실제 디자인에서 많이 이용되고 있다.

출력버퍼 방식은 throughput이나 지연의 관점에서 모두 최적의 성능을 낼 수 있으나, 모든 입력 포트에서 동시에 하나의 출력으로 들어 갈 수 있도록, 하드웨어를 더 많이 사용하거나 스위치의 내부 속도를 높이는 등의 수단이 전제가 되어야 한다.

중간 버퍼 방식은 버퍼를 완전히 공유하게 함으로써 버퍼 크기를 줄일 수 있고, throughput이나 지연을 출력버퍼 방식만큼 최적화할 수 있다는 장점이 있으나, 스위치의 규모가 메모리의 access 속도에 따라 제약을 받게 된다.

접점 버퍼 방식은 총 버퍼 크기가 커지고 단계마다 지연이 있게되어 지연의 변동이 많아지게 되나, 스위치 전체의 독립적 작동이 가능하기 때문에 많은 다단계 기본스위치의 디자인에서 애용되고 있다.

이상과 같이 살펴볼 때 기술적으로 가능하다면 되도록 출력버퍼를 위주로 설계하는 것이 ATM 스위치의 성능을 높일 수 있을 것이다.

Ⅲ. 단단계 구조와 다단계 구조의 비교

ATM 교환 방식의 설계에서 첫번째로 결정해야 할 것은 기본 스위치를 단단계로 할 것인가 다단계로 할 것인가의 문제이다. 물론 최근 까지 발표된 대부분의 ATM 스위치가 반얀망을 기본으로 하는 다단계 스위치이고 그것의 self-routing의 성질은 확실히 매력적이기는 하지만 다단계 본래적인 단점을 가지고 있기 때문에 주어진 기술 조건을 감안한 신중한 결정이 필요하다.

단단계 구조는 기본적으로 $O(N^2)$ 의 단위 스위치가 필요하고 이를 연결하는 링크의 수도

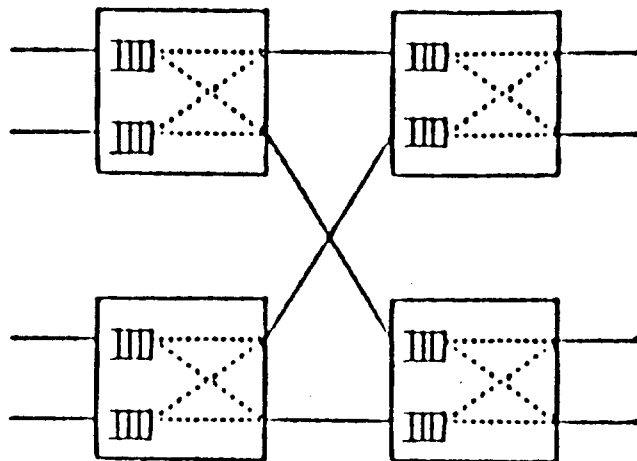
그만큼 많이 필요하게 되므로 하드웨어의 복잡성이 커진다. 그러나 많은 하드웨어가 필요한 대신 스위치 내부의 경로가 짧고 단순하여 스위치 내부에서의 블락킹이 일어나지 않아(물론 2개 이상의 입력이 동시에 같은 출력 포트에 향할 때 생기는 출력 충돌은 피할 수 없다) 버퍼 장치수와 지연을 줄일 수 있고, 기타 모듈식 확장(modular growth)이나 유지 보수가 간편해 질 수 있다는 장점이 있다. 특히 방송구현의 구현이 별도의 장치없이 용이하게 수행될 수 있다는 장점도 지적할 수 있다.

다단계 구조는 최소의 단위 스위치로 기본 스위치를 구현할 수 있고 자동적인 셀프라우팅이 이루어 진다는 장점이 있으나, 각 단위 스위치에서 블락킹이 일어날 수 있기 때문에 이를 해결하는 별도의 방법이 필요하게 된다. 모듈식 확장의 관점에서 보면 단위 스위치들의 interconnection이 바뀌게 되므로 단단계 구조보다 더 어렵다는 단점을 지적할 수 있다. 또 고장의 위치를 발견하는 데 쉽지 않아서 유지 보수에 어려움이 있게 된다는 점도 단점이 될 수 있다. 또한 방송기능의 구현에 별도의 장치와 단계가 필요하게 된다고도 무시할 수 없다. 따라서 다단계 스위치 구조로는 버퍼를 둔 Banyan 망, 스위치의 내부 고속화 및 병렬화 그리고 논블락킹 구조가 가능하나 다단계, 본래적인 단점인 내부 블락킹의 문제와 방송기능 구현의 난점을 모두 간편하게 해결할 수 있는 방식이 보다 우월한 방식이 될 것이다. 이런 관점에서 트리-디코딩과 유사하게 입출력 쌍간에 독자적인 경로를 확보해 주고 출력 버퍼를 두는 방식이 Banyan을 기초로 하는 방식보다 고속, 대용량의 ATM 스위치에 적합할 것이다.

IV. Banyan 망의 분석을 위한 모형

4.1. 입력측에 버퍼가 있는 모형

본 절에서는 ATM 기본 스위치로 많이 쓰이고 Banyan 망에 대한 성능분석을 위한 모형을 제시한다. 각 단위 스위치에서 버퍼를 스위칭이 일어나기전에 두는 입력 버퍼 방식에 대한 성능 분석을 시도한다. 입력측에 이 버퍼를 두는 Banyan 망은 그림 [1]와 같다.



[그림 1] 입력 링크에 버퍼를 둔 $2^2 \times 2^2$ Banyan 망

n단계 Banyan 망에서

$X(s, t)$ = 시간 t 에 단계 s 의 임의의 스위치 링크 버퍼에 대기중인
패킷의 수

$$p_i(s, t) = P\{ X(s, t) = i \}, \quad s=1, 2, \dots, n \quad (1)$$

라고 하자. ATM 셀들이 각 입력링크에 독립적으로 들어오고 목적 출력링크가 균일하게 분포되어 있고, 트래픽이 모든 입력 링크에 균일하게 분산되어 있다고 가정하자. 이 가정하에서

$$\{ X(s, t), \quad s=1, 2, \dots, n, \quad t=0, 1, \dots \}$$

를 n 개의 독립적이고 동일한 확률적 성질을 갖는 Markov chain으로 근사화 할 수 있다. 이 때 전이 확률은 앞뒤 단계의 상태에 따라 정해진다. 본 논문에서는 Jenq[8]와 같이

각 시이클 시간 동안에 먼저 다음단계로 셀을 넘겨주고
다음에 전 단계에서 셀을 넘겨 받는다

고 논리적인 순서에 따라서

$$q(s, t) = P[\text{시간 } t\text{에 전단계로부터 패킷을 받을 확률}]$$

$$r(s, t) = P[\text{시간 } t\text{에 다음 단계로 패킷을 넘겨줄 확률}]$$

를 구하여 이것들로 부터

$$v(i, j) = P[X(s, t+1)=j \mid X(s, t)=i] \quad (2)$$

를 얻은후 초기 분포로부터 반복적으로 전이를 통해 $p_i(s, t)$ 를 구하는 과정을 확립한다. 전이 확률 $v(i, j)$ 는

$$\left. \begin{aligned} v(0, 1) &= q(s, t) \\ v(i, i+1) &= q(s, t)[1-r(s, t)] \quad i=1, 2, \dots, c-1 \\ v(i, i-1) &= [1-q(s, t)]r(s, t) \quad i=1, 2, \dots, c \\ v(0, 0) &= 1-q(s, t) \\ v(i, i) &= q(s, t)r(s, t) + [1-q(s, t)][1-r(s, t)] \quad i=1, 2, \dots, c-1 \\ v(c, c) &= q(s, t)r(s, t) + [1-r(s, t)] \end{aligned} \right\} \quad (3)$$

로 구할 수 있다. 이때

$$q(s, t) = P[\text{시간 } t\text{에 전 단계로부터 패킷을 받을 확률}]$$

$$= 1 - \left[1 - \frac{1 - p_0(s-1, t)}{2} \right]^2 \quad (4)$$

$$r(s, t) = P[\text{시간 } t\text{에 다음 단계로 패킷을 넘겨줄 확률}]$$

$$= P[\text{출력 경쟁에서 승리}] \cdot P[\text{다음 단계가 는 블락킹}]$$

$$= [p_0(s, t) + 0.75[1-p_0(s, t)] \cdot \sum_{i=0}^{c-1} p_i(s+1, t) + p_c(s+1, t) \cdot r(s+1, t)] \quad (5)$$

$$r(n, t) = p_0(n, t) + 0.75[1 - p_0(n, t)] \quad (6)$$

이다.

이제

$$p_i(s, t+1) = p_i(s, t)v(i, i) + p_{i+1}(s, t)v(i+1, i) - p_{i-1}(s, t)v(i-1, i) \quad (7)$$

식 (3)-(7)은 시스템의 상태 전이를 설명하고 있다. 만약 이런 시스템이 안정상태(steady state)라면 $r(s, t)$, $q(s, t)$ 그리고 $p_i(s, t)$ 는 각각 $r(s)$, $q(s)$, 그리고 $p_i(s)$ 로 수렴한다. 그때 정상화시킨 출력률(Normalized Throughput) S 는

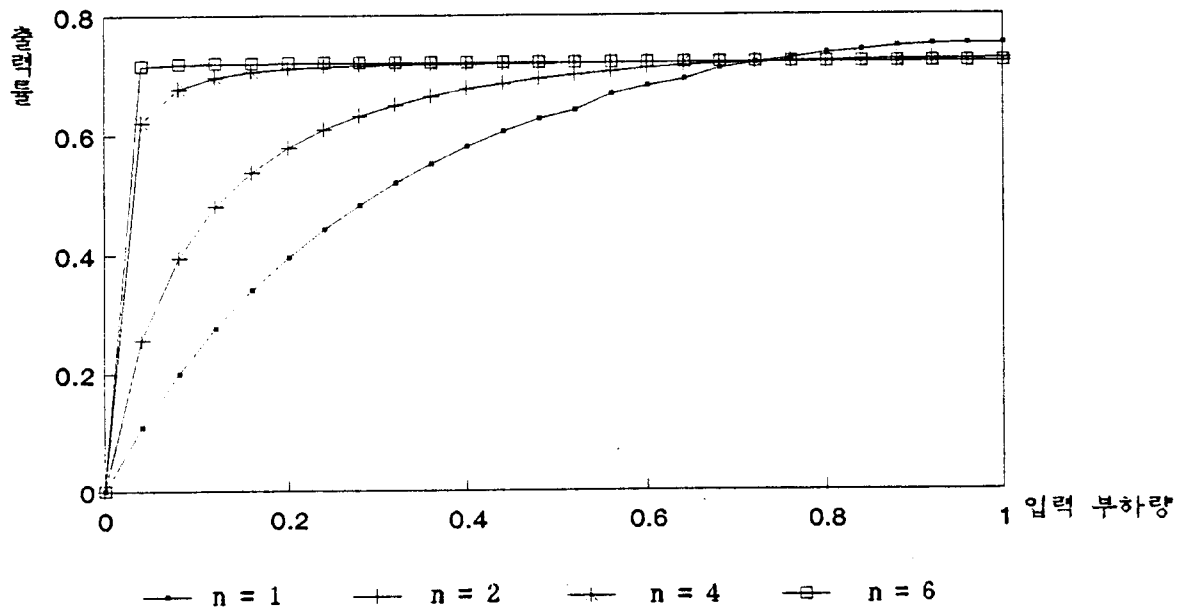
$$S = [1 - p_0(s)] \cdot r(s) \quad (8)$$

이고, 정상화 시킨 지연(Normalized delay) d 는

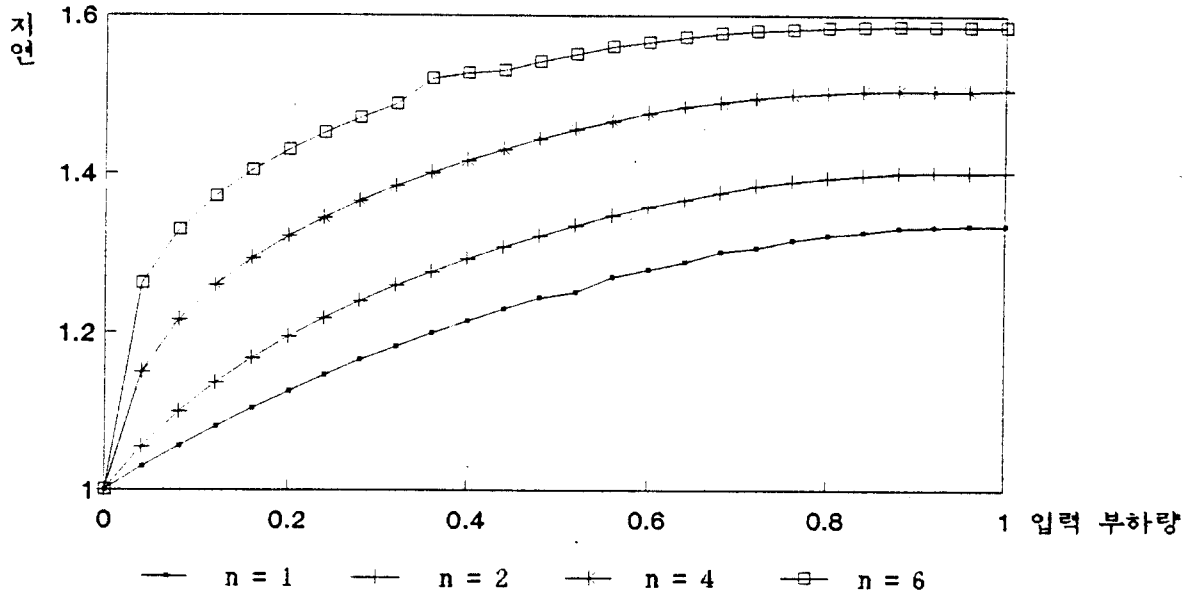
$$d = \frac{1}{n} \sum_{k=1}^n \frac{1}{r(k)} \quad (9)$$

이다.

초기 부하량은 독립적인 입력 변수로 고려하여 안정상태(steady state)식 (3) - (9)을 순차적으로 풀어서 여러 단계에 대한 정상화된 출력률과 지연을 다음 [그림 2] 와 [그림 3]에서 보여준다.



[그림 2] $c=3$ 인 경우 정상화된 출력률



[그림 3] c=3인 경우 정상화된 지연

버퍼의 크기가 1인 경우는 Jenq(7)의 결과와 마찬가지로 초기 부하량이 0.4 보다 적으면 출력률은 거의 비슷한 결과를 보여주고, 부하량이 1인 경우는 단계의 수가 증가함에 따라 출력률이 0.45로 수렴함을 보여준다. 그러나 버퍼의 크기가 3인 경우는 [그림 2]과 [그림 4]의 결과와 마찬가지로 버퍼가 1인 경우보다 같은 부하량에서 출력률이 높음을 보여주나 반대로 지연시간이 길어짐을 보여준다.

4.2. 출력 측에 버퍼가 있는 모형

출력 버퍼 방식은 출력률(throughput)이나 지연의 관점에서 모두 최적의 성능을 낼 수 있으나, 모든 입력 링크에서 동시에 하나의 출력으로 들어 갈 수 있도록, 스위치 내부 속도를 높이든가, 하드웨어를 더 많이 사용하는 등의 수단을 사용해야 한다. 따라서 본 절에서는 각 단위 스위치에서 버퍼를 스위칭이 일어난후에 두는 출력 버퍼 방식에 대한 성능 분석을 시도한다.

$X(s, t)$, $v(i, j)$ 그리고 $p_i(s, t)$ 에 대한 정의는 앞장 정의를 따른다고 하자.

이제

$$\begin{aligned}
 q(s, t, k) &= P[\text{시간 } t \text{에 전단계로부터 패킷을 } k \text{개 받을 확률}] \\
 &= \binom{2}{k} \cdot \left[\frac{1 - p_0(s-1, t)}{2} \right]^k \cdot \left[1 - \frac{1 - p_0(s-1, t)}{2} \right]^{c-k} \\
 & \quad k=0, 1, \dots \quad (10)
 \end{aligned}$$

$$r(s, t) = P[\text{시간 } t \text{에 다음 단계로 패킷을 넘겨줄 확률} | X(s, t)=i]$$

$$\begin{aligned}
&= P[\text{다음 단계가 논 블락킹}] \\
&= \sum_{i=0}^{c-1} p_i(s+1, t) + p_c(s+1, t) \cdot r(s+1, t) \qquad (11)
\end{aligned}$$

$$r(n, t) = p_0(n, t) + 0.75[1 - p_0(n, t)] \qquad (12)$$

c=1. 일때

$$\begin{aligned}
v(0, 0) &= q(s, t, 0) \\
v(0, 1) &= 1 - q(s, t, 0) \\
v(1, 0) &= q(s, t, 0)r(s, t) \\
v(1, 1) &= [1 - q(s, t, 0)] \cdot r(s, t) + [1 - r(s, t)] \qquad (13)
\end{aligned}$$

c ≥ 2 이라면

$$\begin{aligned}
v(0, j) &= q(s, t, j), \quad j=0, 1, 2 \\
v(i, i+j) &= q(s, t, j+1)r(s, t) + q(s, t, j)[1-r(s, t)] \\
&\qquad\qquad\qquad j=1, 2 \\
&\qquad\qquad\qquad i=1, 2, \dots, c-2 \qquad (14) \\
v(c-1, c) &= q(s, t, 2)r(s, t) + [1-q(s, t, 0)][1-r(s, t)] \\
v(i, i-1) &= q(s, t, 0)r(s, t) \quad i=1, 2, \dots, c \\
v(i, i) &= q(s, t, 1)r(s, t) + q(s, t, 0)[1-r(s, t)] \\
&\qquad\qquad\qquad i=1, 2, \dots, c-1 \\
v(c, c) &= [1-q(s, t, 0)]r(s, t) + [1-r(s, t)] = 1 - v(c, c-1)
\end{aligned}$$

이다. 그리고 임의의 단계 s에 버퍼가 i개 있을 확률은

$$\begin{aligned}
p_i(s, t+1) &= p_i(s, t)v(i, i) + p_{i+1}(s, t)v(i+1, i) \\
&\quad + p_{i-1}(s, t)v(i-1, i) + p_{i-2}(s, t)v(i-2, i) \qquad (15)
\end{aligned}$$

로 정의 할 수 있다.

식 (10)-(15)은 시스템의 상태전이를 설명하고 있는데, 만약 이런 시스템이 안정상태 (steady state)라면 $r(s, t), q(s, t, j)$, 그리고 $p_i(s, t)$ 는 각각 $r(s), q(s, j)$, 그리고 $p_i(s)$ 로 수렴한다. 그때 정상화시킨 출력률(Normalized throughput) S는

$$S = [1 - p_0(s)] \cdot r(s) \qquad (16)$$

이고 정상화시킨 지연(normalized delay) d는

$$d = \frac{1}{n} \sum_{k=1}^n \frac{1}{r(k)} \qquad (17)$$

이다.

V. 결 론

본 논문에서는 다중 버퍼를 갖는 Banyan 망에 대한 패킷 스위치의 성능 분석을 보다 현실에 근접될 수 있는 이산적 마코프 체인에 의한 모형과 계산 방법을 확립했다. 다중 버퍼를 갖는 패킷 스위치는 버퍼가 하나인 경우보다 출력률면에서는 같은 외부 부하량에 비해 높다는 사실을 알 수 있다. $c=3$ 인 경우 출력률은 [그림 2]에서 보여주고 있다. 부하량에 관계없이 단계의 수가 증가할수록 거의 일정한 출력률을 갖고, 단위 스위치일 경우 출력률이 떨어짐을 보여준다. 반면 다중 버퍼를 갖는 패킷 스위치가 하나의 버퍼를 갖는 패킷 스위치에 비해 지연은 길어진다. 버퍼의 크기가 같은 경우는 부하량이 증가할수록, 다단계일수록 지연이 길어진다는 것을 [그림 3]에서 보여주고 있다. 따라서 다단계 스위치 구조로는 버퍼를 둔 Banyan 망에서 독자적인 경로를 확보해 주고 출력-버퍼를 두는 방식이 ATM에 적합할 것이다.

참고 문헌

- [1] H. Ahmadi and W.E. Denzel, "A survey of modern high-performance switching techniques," *IEEE J. Select. Areas Commun.* vol.SAC-7, pp.1091-1103, 1989.
- [2] 윤복식, 주성순, 전경표, "광대역 교환기술의 분류 및 비교 연구", 전자통신 12권, 1호, pp.14-23, 1990.
- [3] Y. Yeh, M.G. Michael, G. Hluchyj, and A.S. Acampora, "The Knockout switch: a simple, modular architecture for high performance packet switching," *IEEE J. Select. Areas Commun.* vol.SAC-5, pp.1274-1282, 1987.
- [4] S. Nojima, E. Tsutsui, H. Fukuda, and M. Hashimoto, "Integrated services packet network using bus matrix switch," *IEEE J. Select. Areas Commun.* vol.SAC-5, pp.1284-1291, 1987.
- [5] K.Y. Eng, M.K. Karol, and Chih-Lin I, "A modular broadband (ATM) switch architecture with optimum performance," *Proc. ISS'90*, A5.1.1-6, 1990.
- [6] A. Thomas, J.P. Coudreuse, and M. Servel, "Asynchronous time division techniques: An experimental packet network integrating video communication," *Proc. ISS'84*, paper 32C2, 1984.
- [7] D.M. Dias and J.R. Jump, "Analysis and simulation of buffered delta networks," *IEEE Trans. Comput.*, vol. C-30, pp273-282, 1981.
- [8] Y.C. Jenq, "Performance analysis of a packet switch based on single-buffered Banyan network," *IEEE J. Select. Areas Commun.* vol.SAC-1, pp.1014-1021, 1983.
- [9] T. Szymanski and S. Shaikh, "Markov chain analysis of packet switched Banyans with arbitrary switch sizes, queue sizes, link multiplicities and speedups," *Proc. INFOCOM'89*, pp.960-971, 1989.
- [10] J.S. Turner, "Design of an integrated services packet network," *IEEE J. Select. Areas Commun.* vol.SAC-4, pp.1373-1380, 1986.