

자전 안정화 플랫폼용 위치제어용 퍼지 논리 제어기 설계

유 인 억, 이 상 정
충남대학교 전자공학과

The design of a fuzzy logic controller for the pointing loop of the spin-stabilized platform

Inn Eark Yoo, Sang Joeng Lee
Dept. of Electronics Engineering Chungnam National University

Abstract

In this paper, a fuzzy logic controller(FLC) is designed for the pointing loop of the spin-stabilized platform. For the fuzzy inference, a fuzzy accelerator board using the Togai Infrallogic software and digital fuzzy processor(DFP110FC) is designed, and a validation of an algorithm for fuzzy logic control is also presented.

The pointing loop of the spin-stabilized platform using FLC has better performance of step responses than a proportional controller in case of same loop gain through the software simulation and the experiment of implemented hardware.

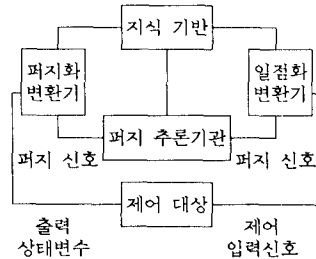


그림 1. 퍼지 논리 제어기의 구조

I. 서론

수학적 모델링이 반드시 요구되는 현대 제어이론과는 달리 퍼지 논리 제어는 수학적인 알고리즘으로 제어하기보다는 운전자의 경험적 지식이나 전문가의 자기발견적 지식을 토대로 제어하기에 적합하다.

1970년대 초 Zadeh의 퍼지 집합론[5]에 근거한 Mamdani[2]가 산업 공정 제어에 적용한 이후부터 Tong에 의해 퍼지 제어이론과 퍼지 궤환 시스템의 특성에 대한 해석적 고찰[3]등, 실제 시스템에 대한 적용을 위한 연구가 활발히 진행되었다. 특히 1980년대 중반부터 일본에서 가전제품, 열차운전, 자동차, 산업용 로봇등에 적용하여 상품화하기 시작하면서 퍼지 논리 제어이론에 대한 새로운 관심과 열기를 불러 일으켰다. 더구나 퍼지 추론기관의 하드웨어 구현, 퍼지 칩[7]의 개발등 퍼지 논리 제어기용 하드웨어 및 소프트웨어의 발전으로 인공지능에 대한 막연한 기대에 부응하여 지능제어의 한 접근방법으로 퍼지 논리 제어가 주목을 받게 되었다.

본 논문에서는 기존의 비례 제어기로 설계된 자전 안정화 플랫폼의 위치 제어를 위해 퍼지 논리 제어기를 설계하였다. 동시에 퍼지 추론을 위한 퍼지 액셀레이터 보드를 디지털 퍼지 프로세서로 설계 및 제작하여 실험함으로써 퍼지 논리 제어기의 실제 구현을 시도하였다. 또한 비례 제어기와 성능비교를 통하여 퍼지 논리 제어기의 실용 가능성을 확인하였으며, 차후의 퍼지 논리 제어기의 설계시 이에 대한 활용이 가능하리라 예상된다.

일반적인 퍼지 제어기는 그림 1에서 보는 바와 같이 입력신호의 퍼지화 변환기, 지식 기반, 퍼지 추론기관, 그리고 일점화 변환기로 나누어진다. [1]

본 논문에서 사용된 퍼지 논리 제어기의 입력변수는 기존 입력신호와 측정된 궤환 위치 신호의 오차신호와 그 오차신호의 변화율로 하였으며, 입력변수에 대한 퍼지 집합은 5개의 언어변수로 정의하고 소속함수는 이등변 삼각형으로 하였다. 9개의 제어 규칙을 사용하여 입력신호에 대한 퍼지 추론결과를 구하고 무게 중심법을 사용한 일점화 과정을 거쳐 제어 입력을 얻었다.

수행된 실험과정은 먼저 비례 제어기를 이용하여 제어 대상의 모델을 구하고 이를 토대로 컴퓨터 시뮬레이션에 의한 퍼지 논리 제어기의 성능을 예측하였으며, 퍼지 액셀레이터 보드를 사용한 실험을 실시하여 그 결과를 비교하였다.

논문의 구성은 II장에서 퍼지 추론을 위한 액셀레이터 보드에 대한 내용을 소개하였으며, III장에서는 제어대상인 자전안정화 플랫폼의 위치 제어루우프의 모델링과 그타당성을 논하였고, IV장에서는 컴퓨터 시뮬레이션과 하드웨어의 실험결과를 비교하였고 마지막으로 결론과 추후 연구 방향에 대하여 논하였다.

II. 퍼지 액셀레이터 보드 설계

퍼지 추론을 위한 액셀레이터 보드의 구성은 퍼지 추론을 위한 디지털 퍼지 프로세서를 중심으로 A/D (Analog to Digital) 및 D/A (Digital to Analog) 회로가 컴퓨터(IBM-PC)의 제어하에 동작되도록 설계하였다. 사용된 디지털 퍼지 프로세서는 Togai Infrallogic사 제품의 FCI10DFP이다. 그리고 컴퓨터는 대상 플랫폼과 퍼지 프로세서간의 정보교환 및 이를 위한 A/D 및 D/A회로의 동작을 제어한다.

1. 퍼지 프로세서 회로

퍼지 프로세서 회로는 A/D회로를 통하여 대상 플랫폼에서 측정되는 출력신호를 컴퓨터로부터 넘겨 받아 이에 필요한 제어 입력신호를 퍼지 추론의 방법으로 계산하여 그 결과를 컴퓨터로 보낸다. 이 회로의 구성은 그림 2에서 보는 바와 같이 컴퓨터와의 정보교환을 위한 address decoder 회로와 디지털 퍼지 프로세서, 그리고 퍼지 추론을 위한 지식기반 메모리(Knowledge Base Memory: KBM)로 이루어져 있다.

퍼지 추론을 위한 입력신호로 대상 플랫폼에서 A/D변환된 신호가 컴퓨터에서 제공되면, 퍼지 프로세서 보드에서는 address decoder를 거쳐 디지털 프로세서 내부의 공유 메모리에 입력된다. 연산의 시작 명령은 컴퓨터에서 제공되고, 연산이 끝나면 종료신호가 다시 컴퓨터로 전달되게 된다.

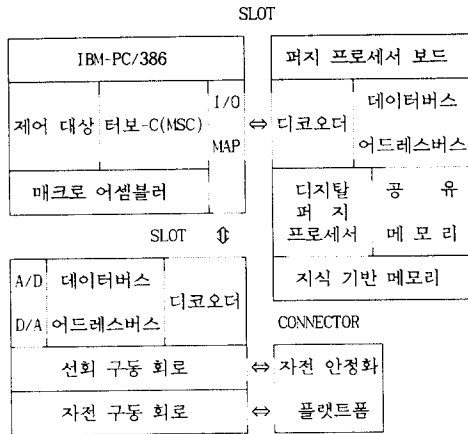


그림 2. 퍼지 논리 제어기의 구성도

컴퓨터와의 정보교환을 위한 interface buffer가 퍼지 프로세서 내부에 설치되어 있으며, 컴퓨터의 I/O (Input/ Output)영역으로 퍼지 논리 제어기와 정보교환 영역을 지정하기 위하여 address decoder-부분이 설계되었다.

디지털 퍼지 프로세서 FC110DFP는 실시간 퍼지 논리 연산을 주목적으로 만들어진 소자로서 지식 기반 메모리와 결합하여 복잡한 퍼지 제어를 간단하게 수행한다. 그리고, 다른 프로세서와 연동하여 동작하기 간편하므로 각종 시스템에도 응용하는 데 그 범위가 대단히 넓다. 칩의 내부에 이를 위한 64 byte(최대 256 byte)의 공유 메모리(shared RAM)를 사용하여 정보를 교환한다. 그리고, 퍼지 추론을 위한 소속함수의 정의 및 제어 운전규칙들을 최대 64K word까지 지식 기반 메모리에 담을 수 있다. 칩의 구조를 보면, 외부 프로세서와 통신을 위한 8개의 data line과 6개의 address line 그리고 각종 제어 및 상호확인(handshake)을 위한 6개(/CE, E1, E2, /DSTAT, /INT, /IDLE)의 20pin으로 각종 운전 및 정보교환을 하며, 16개의 address line과 16개의 data line으로 지식 기반 메모리에 연결되어 있다. 컴퓨터와 퍼지 프로세서사이의 상호 교환되는 신호는 8 bit로 되어 있어 실제 신호의 변화 범위는 -128에서 +127까지의 값으로 정수형 데이터들이다.

2. A/D 및 D/A회로

A/D 및 D/A회로는 대상 플랫폼과 컴퓨터간에 데이터 입/출력 및 정보 교환이 이루어지도록 하는 interface 회로이다. 즉, 대상 플랫폼에서 analog신호를 받아서 digital신호로 변환하여 컴퓨터로 보낸다. 컴퓨터에서는 이 정보를 프로그램에 따라 적절히 처리하여 A/D 및 D/A회로로 보내면 analog신호로 바꾸어 대상 플랫폼으로 보낸다.

A/D 및 D/A회로의 구성은 필요한 각 기능들의 고유 번지를 지정하여 컴퓨터에서 수행 되는 프로그램의 순서에 따라 각 기능을 선택하는 address decoder & logic controller, A/D 및 D/A 변환기, 그리고 회로의 동작주기를 선택할 수 있는 타이머와 interrupt request 부분으로 되어있다.

Address decoder & logic controller는 동작에 필요한 각 기능들의 고유address를 지정하는 곳으로서, 다음의 표 1에서 각 기능들의 고유 address를 나타내었다. A/D 및 D/A회로의 동작을 위하여 logic controller의 기능들을 순서적으로 프로그램하면 된다.

A/D변환부의 입력신호 범위는 ±10(V)이다. 그리고 변환된 데이터는 이진형식이며 12 비트로 변환된다. A/D변환된 데이터의 resolution은 12 비트이고 컴퓨터의 데이터 버스는 8 비트이기 때문에 한꺼번에 읽을 수 없으므로 두번으로 나누어 읽어야 한다. 첫번째는 low byte를 읽고 두번째는 high byte를 읽는다. 따라서 입력된 데이터는

$$\text{데이터} = \text{Low Byte} + \text{High Byte} * 256$$

표 1. 기능별 고유 어드레스

기능 (FUNCTION)	고유 ADDRESS
CHANNEL SELECT	BASE + 8
START A/D CONVERSION	BASE + 9
WRITE D/A #0 LOW BYTE	BASE + 10
WRITE D/A #0 HIGH BYTE	BASE + 11
WRITE D/A #1 LOW BYTE	BASE + 12
WRITE D/A #1 HIGH BYTE	BASE + 13
READ A/D LOW BYTE	BASE + 8
READ A/D HIGH BYTE	BASE + 9
CHECK SPIN UP/DOWN	BASE + 10
READ/WRITE TIMER VALUE	BASE + 3072

로 되며, 이렇게 얻어진 데이터(Word 단위)는 다음과 같은 계산을 거쳐 실제의 전압 크기를 갖게 된다.

$$\text{전압} = (\text{Data} - 2048) / 204.75$$

D/A변환시의 출력전압의 범위는 ±10(VOLT)이며, 계산되는 데이터는 16 bit이므로 low byte와 high byte 데이터로 나누어 출력하여야 한다. 그리고, D/A변환을 위해서는 D/A converter의 입력이 12 bit이고, 한꺼번에 출력할 수 없으므로 다음과 같은 계산을 거쳐야 한다.

$$\text{Digit} = \text{Integer}(204.74 * \text{Voltage} + 2048)$$

$$\text{High Byte} = \text{Integer}(\text{Digit} / 256)$$

$$\text{Low Byte} = \text{Digit} - 257 * \text{High Byte}$$

회로의 동작주기는 프로그램에서 타이머의 주기로 결정한다. 그러면, 타이머의 출력은 IRQ를 통하여 컴퓨터의 interrupt controller에 하드웨어 interrupt를 걸게된다. 컴퓨터에서는 8259A가 16개의 IRQ를 사용하고 있는데, 여기에서는 IRQ #3을 interrupt 신호로 사용하고 있다.

III. 제어대상과 그 모델링

앞절에서 설계된 퍼지 논리 제어기의 성능을 실험하기 위한 제어 대상으로 자전 안정화 플랫폼으로된 위치 제어에 적용하였다. 2-입력, 2-출력을 갖는 이 회로는 자전 안정화 플랫폼과 신호처리부로 구분할 수 있고, 신호처리부는 대역여과기, 선회중폭기, 위치검출기, 복조기 및 변조기로 구성되어 있다. 그림 3에는 위치 제어루우프의 블록선도가 나타나 있으며, 실제로 자전 안정화 플랫폼은 그 자전주파수에 동기되어 움직이지만, 시뮬레이션시간을 절약하고, 해석이 간편하도록 자전주파수성분을 직류화하여 각 블록을 모델링하였다.

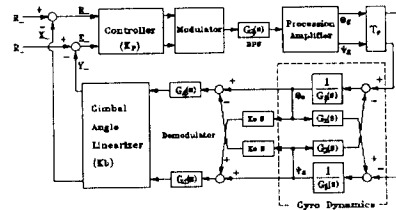


그림 3. 위치 제어루우프의 블록선도

1. 자전 안정화 플랫폼

자전 안정화 플랫폼은 일정한 각속도로 회전하여 큰 각운동량을 발생시키며, 이에 따라 안정된 지향성을 가지게 되어 위치제어를 용이하게 한다. 자전 안정화 플랫폼의 운동을 기술하는 방정식은 자전 안정화 플랫폼을 어떤 좌표계에서 보느냐에 따라 크게 달라진다. 여기서는 외부의 기준 좌표계에 대한 자전 안정화 플랫폼의 운동을 기술하였고, 방정식의 자세한 유도과정과 물리적인 의미는 참고문헌[4]에 나와있으며, 따라서 구해진 자전 안정화 플랫폼 모델에 대한 최종결과식은 다음과 같다.

$$G_1(s)\Psi_s(s) = G_2(s)\theta_s(s) - T_p\theta_g(s) \quad (1.a)$$

$$G_1(s)\theta_s(s) = -G_2(s)\Psi_s(s) + T_p\Psi_g(s) \quad (1.b)$$

$$G_1(s) = I_a s^2 + Ds + K$$

$$G_2(s) = Hs$$

$\Psi(\cdot)$: YAW VARIABLE

$\theta(\cdot)$: PITCH VARIABLE

I_a : MOMENT OF INERTIA IN PITCH AND YAW AXIS

D : GYRO DAMPING COEFFICIENT

K : GYRO SPRING CONSTANT

H : ANGULAR MOMENTUM

T_p : PRECESSION TORQUE COEFFICIENT

식 (1)을 2입력-2출력 형태로 표현하면 식(2)로 된다.

$$\begin{bmatrix} \Psi_s(s) \\ \theta_s(s) \end{bmatrix} = \frac{T_p}{G_1^2(s) + G_2^2(s)} G(S) \begin{bmatrix} \Psi_g(s) \\ \theta_g(s) \end{bmatrix} \quad (2)$$

$$G(S) = \begin{bmatrix} G_2(s) & -G_1(s) \\ G_1(s) & G_2(s) \end{bmatrix}$$

2. 신호처리부

1) 변조기

자전 안정화 플랫폼의 위치를 제어하기 위해서는 자전 안정화 플랫폼의 자전주파수와 동기된 선회토크가 요구된다. 변조기는 직교좌표계에서 직류성분으로 각각 표현된 두 방향의 제어오차신호를 자전 주파수에 동기된 구형파신호로 변환하는 역할을 한다. 변조주파수를 직류화 하였을 때 변조기의 특성은 단순히 이득상수 K_{mod} 로 표현가능하다.

2) 대역여과기

변조기의 출력은 제어 오차신호에 비례하는 구형파로 나타난다. 주기적인 구형파의 주파수성분은 Fourier 급수에 의해 기본주파수의 정수배들의 합으로 나타나므로 자전 안정화 플랫폼을 선회시키는 신호로 직접 사용하기에는 부적절하다. 따라서 기본주파수만 통과시켜야 하며, 이 때의 대역폭은 전체루우프의 동특성, 즉, 안정성과 시간응답, 그리고 잡음제거의 두가지 측면을 고려하여야 한다. 그리고, 대역여과기의 전달함수는 다음과 같다.

$$G_3(s) = \frac{\omega_n^2 s}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (3)$$

식 (3)의 대역여과기를 직류화 하면 다음과 같은 저역통과회로로 가정할 수 있다. 이 때의 a_1 은 식 (3)에서 구한 -3(dB) 대역폭의 1/2로 주어진다.

$$G_3(s) = \frac{a_1}{s + a_1} \quad (4)$$

3) 선회증폭기

선회증폭기는 전압으로 나오는 대역여과기출력을 자전 안정화 플랫폼을 선회하는데 필요한 토크에 비례하는 전류로 변환하는 역할을 하며, 전달함수는 이득상수 K_{prec} 로 표현된다.

4) 위치 검출기

자전 안정화 플랫폼의 위치변화에 의해 코일의 양단에 유기되는 전압을 조절하며, 이득상수 K_{cage} 는 자전 안정화 플랫폼의 각도가 최대일 때, A/D 변환기의 최대 허용범위를 넘지 않도록 정한다. 그리고 코일에서 검출되는 전압은 자전 안정화 플랫폼의 coupling을 고려하면 다음과 같이 주어진다.

$$\Psi_x(s) = \Psi_s(s) + K_c S \theta_s(s) \quad (5.a)$$

$$\theta_x(s) = -K_c S \Psi_s(s) + \theta_s(s) \quad (5.b)$$

5) 복조기

변조기와는 반대로 정현파 신호에 내포되어 있는 자전 안정화 플랫폼의 위치정보를 해당되는 직교좌표계에서의 각 축 성분으로 변환하며 동시에 저역통과회로역할을 한다. 따라서 위치 검출기와 더불어 자전 안정화 플랫폼 위치를 검출하는 변환기역할을 하므로 그 통과대역을 정할 때 잡음이 제거되는 한 feedforward 루우프의 대역폭보다 가급적 넓은 것이 바람직하다. 그리고, 직류화된 전달함수는 다음과 같이 표현할 수 있다.

$$G_4(s) = \frac{a_2}{s + a_2} \frac{a_3}{s + a_3} \quad (6)$$

3. 위치제어 루우프의 모델링과 그 타당성

목표성능을 만족하는 제어기를 설계하기 위해서는 앞절에서 제시된 자전 안정화 플랫폼으로 된 위치 제어루우프 모델의 타당성이 먼저 입증되어야 한다. 그러나 본 연구에서와 같이, 유도된 자전 안정화 플랫폼으로 된 위치 제어루우프 모델을 개방회로로 검증할 수 없는 경우, 제어기법을 도입하기전 가장 단순한 제어방식을 통하여, 비록 폐회로의 형태라도, 모델검증과 제어계의 성능을 예측해보는 것이 바람직하다. 따라서, 모든 블록이 선형화되었다고 가정하였으며, 이산계 비례제어방식을 적용하고 식 (5)의 coupling을 무시하였다.

식 (2), (4), (6)에서 자전 안정화 플랫폼으로 된 위치 제어루우프의 개방회로 전달함수는 다음과 같다.

$$\begin{bmatrix} X_b(s) \\ Y_b(s) \end{bmatrix} = \frac{K_g T_p G_3(s) G_4(s)}{G_1^2(s) + G_2^2(s)} G(S) \begin{bmatrix} M_x(s) \\ M_y(s) \end{bmatrix} \quad (7)$$

$$K_g = (K_{mod})(K_{prec})(180/\pi)(K_b)$$

자전 안정화 플랫폼의 coupling을 무시하면 개방회로 전달함수는 이와 같이 단순화된다.

$$G_p(s) = \frac{K_{open} a_1 a_2 a_3}{s(s+a_1)(s+a_2)(s+a_3)(I_a^2 s^2 + 2I_a Ds + H^2 + D^2)} \quad (8)$$

$$K_{open} = (K_{mod})(K_{prec})(T_p H)(180/\pi)(K_b)$$

식 (7), (8)에서 K_{mod} , K_{prec} , T_p , H , D 는 앞절에서 설명한 바와 같고, K_b 는 자전 안정화 플랫폼의 각도당 검출되는 전압의 이득이다. 식 (8)에 디지털 비례제어방법을 도입하면 제어오차신호는

$$E_x(k) = R_x(k) - X_b(k), \quad E_y(k) = R_y(k) - Y_b(k) \quad (9)$$

이며, 제어입력은

$$M_x(k) = K_p E_x(k), \quad M_y(k) = K_p E_y(k) \quad (10)$$

로 나타나며, 여기서 K_p 는 비례제어 이득상수이다.

이상의 모델을 이용하여 얻어진 시뮬레이션 결과와 실제의 실험 결과는 그림 4.5에 나타나 있으며, 이를 요약하면 표 2와 같다. 표 2에서 보면 위치 제어루우프의 모델은 실험 결과와 거의 일치하고 있다. 그러나, 첨두 시간에서 차이를 보이고 있는 것은 그림에서 보는 바와 같이 첫째 첨두치의 크기와 둘째 첨두치의 크기의 차이때문이며 실험 결과의 첫째 첨두치에서의 시간을 감안한다면 거의 일치하고 있음을 알 수 있다.

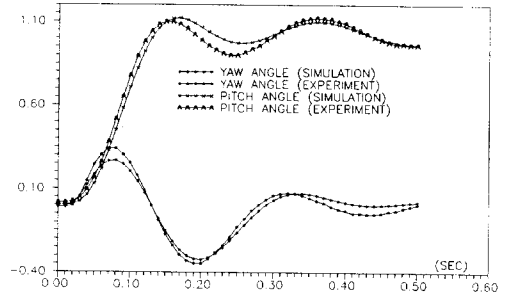


그림 4. 계단 응답특성의 비교(pitch 입력)

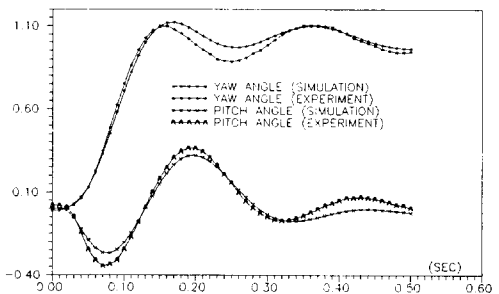


그림 5. 계단 응답특성의 비교(yaw 입력)

표 2. 시뮬레이션과 실험 결과의 비교

방 법	시뮬레이션		실 험	
	PITCH	YAW	PITCH	YAW
최대첨두치(%) M_p	12.2	12.2	12.4	10.3
상승시간(S) t_r	0.07	0.07	0.08	0.07
첨두시간(S) t_p	0.17	0.17	0.36	0.36
안정시간(%) t_s	0.41	0.41	0.41	0.41

IV. 퍼지 논리 제어기의 설계 및 실험

앞절에서는 비례 제어를 사용한 자전 안정화 플랫폼의 위치 제어루프를 구성하여 제어 대상의 모델을 구하였다. 비례 제어기는 그 입력 신호를 위치명령 입력신호와 궤환 위치신호와의 위치 오차신호에 적절한 비례 계수를 곱하여 제어 입력신호로 사용하고 있다. 그러나, 퍼지 논리 제어기는 대개의 경우 위치 오차 신호와 그 신호의 변화율을 감지하여 두 신호사이의 관계에 따라 제어입력 신호를 만들어 낸다. [8] 그리고, 감지되는 입력 신호는 퍼지 신호로 처리하기 위하여 퍼지화가 필요하며, 정해진 제어추론 규칙에 따라 퍼지량으로 표기된 제어입력 신호를 만들고, 다시 실제 제어에 필요한 신호로 바꾸는 일점화 작업이 필요하게 된다. 동시에 위치 제어루프의 안정성과 주어진 사양을 만족하기 위한 이득이 곱해져서 제어 대상에 인가된다.

1. 제어기 설계

주어진 입력변수들은 pitch와 yaw 방향의 위치 오차신호와 그 변화율이며, 각각의 표준화범위는 $\pm 10(V)$ 이다. 퍼지 논리 제어기의 출력변수는 각각의 제어 입력신호이며, 최종적으로 루프 이득에 필요한 이득을 곱하게 된다. 그리고, 입력력 변수의 퍼지 집합은 모두 5개의 언어변수로 나누었으며, 그 소속함수는 이동변삼각형으로 표시하였다. 제어 규칙은 Tsukamoto의 방법 [8]을 이용하여 도출된 결과를 pitch와 yaw방향 모두 9개를 같이 사용하였으며, 그 형태는 다음과 같으며 구조는 표 3과 같다. 그리고, 사용된 추론방법은 GMP 방법이며, 일점화 방법은 무게 중심법이 사용되었다.

" If e is A, Δe is B then u is set as C. "

- E : 위치 오차의 퍼지 집합
- ΔE : 오차의 변화율의 퍼지 집합
- U : 제어 명령의 퍼지 집합
- A, B, C : NB, NS, ZO, PS, PB (언어 변수)

표 3. 제어 입력을 얻기 위한 제어 규칙

		ΔE				
		PB	PS	ZO	NS	NB
E	PB			PB(3)		
	PS			PS(7)		
	ZO	PB(2)	PS(6)	ZO(9)	NS(8)	NB(4)
	NS				NS(5)	
	NB					NB(1)

2. 실험 및 결과

1) 실험 개요

자전 안정화 플랫폼의 퍼지 논리 제어기의 실험은 먼저 컴퓨터 시뮬레이션을 통하여 그 결과를 예측하고 실제 하드웨어를 제작하여 측정된 결과와 비교하였다. 시뮬레이션은 pitch와 yaw방향으로 계단 입력을 각각 인가하여 그 결과를 검토하였다. 그리고, 사용된 소프트웨어는 Togai Infralogic사의 Fuzzy-C Developing System (FCDS)를 사용하였다. [6]

2) 시뮬레이션 및 실험 결과

시뮬레이션에 사용된 소프트웨어는 먼저, 제어를 FCDS의 자체 언어인 fuzzy programming 언어 (FPL)로 그래픽 방법에 의해 작성된 다음, 보통의 C 언어로 번역한다. 그리고 제어 대상을 C 언어로 추가 작성하여 시뮬레이션을 수행한다.

실험의 수행과정은 먼저 FPL로 입출력변수의 퍼지 집합들과 소속함수, 퍼지 규칙, 추론방법, 그리고 일점화 방법등을 작성하여 FC110 기계어로 번역하고 생성된HEX파일을 EPROM에 담았다. 동시에 제어 대상과 퍼지 처리기의 제어용 소프트웨어를 C언어로 작성하여 터보-C 환경하에서 수행하였다.

이렇게 수행된 결과가 그림 6, 7에 소프트웨어로만 계산된 시뮬레이션 결과와 함께 나타나 있다. 이를 요약한 결과가 표 4에 나타나 있다.

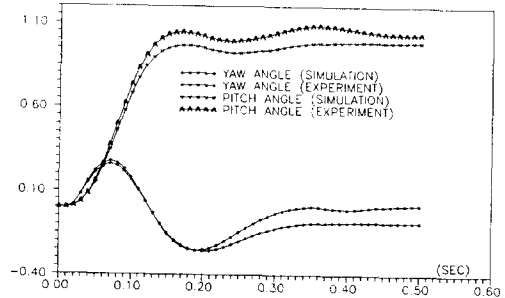


그림 6. 계단 응답특성의 비교(pitch 입력)

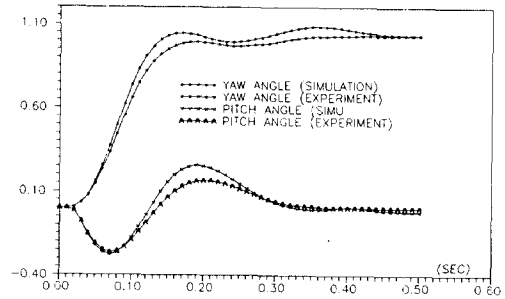


그림 7. 계단 응답특성의 비교(yaw 입력)

표 4. 시뮬레이션과 실험 결과의 비교

방 법	실험 결과		시뮬레이션	
	PITCH	YAW	PITCH	YAW
최대첨두치(%) M_p	4.5	4.5	-	3.0
상승시간(S) t_r	0.08	0.08	0.09	0.09
첨두시간(S) t_p	0.17	0.17	-	0.40
안정시간(%) t_s	0.13	0.13	0.21	0.15

표 4에서 보면, 하드웨어로 된 제어기의 경우가 소프트웨어로 된 제어기의 결과와 비교하여 대체로 첨두치는 크나 최종치에 빨리 수렴하고 있다. 이는 하드웨어인 FC110의 내부에서 퍼지 추론이 8-Bit로 수행되고 있으며 입출력 정보도 8-Bit의 값을 갖고 있다. 그러나, 소프트웨어의 경우 퍼지 추론기관의 입출력 정보는 8-Bit의 값으로 되어 있으나 내부에서 계산되는 결과는 16 또는 32-Bit의 값을 가지기 때문으로 예상된다. 즉, 하드웨어의 경우 소프트웨어의 경우보다 계산오차가 커져 첨두치가 커지는 것으로 판단된다.

V. 결론 및 추후 연구과제

퍼지 논리 제어기에 대한 이론적인 연구는 여러방면에서 많은 연

구가 진행되고 있다. [1] 각종 분야에 필요한 제어기의 이론연구뿐만 아니라 이를 실제로 구현하는 일도 대단히 중요하다. 본 논문에서는 일차적으로 퍼지 논리 제어기의 실제구현에 중점을 두었으며, 이를 확인하기 위한 방법으로서 자전 안정화 플랫폼의 위치 제어에 적용하여 하드웨어 실험을 동시에 수행하였다. 제작된 하드웨어는 A/D 및 D/A회로를 포함하고 있어 입출력 신호의 변화폭만 조정한다면, 다입력-다출력 퍼지 논리 제어기로 다른 제어 대상에도 적용이 가능할 것으로 생각된다.

설계된 퍼지 논리 제어기는 실험 결과, 기 설계된 비례 제어기보다 우수한 성능을 갖고 있음을 확인할 수 있었다. 그러나, 제어 대상 시스템인 자전 안정화 플랫폼의 위치제어루우프는 2-입력, 2-출력을 갖는 시스템으로서 상호 결합이 존재하고 있으며, 제어기에 사용된 제어규칙은 각각의 입력에 대해 상호결합이 없는 시스템으로 간주하여 적용하였다. 그 결과에 있어 비례 제어기보다는 상호 결합이 감소하였으나 앞으로 제어규칙을 정하는 데 있어 상호 결합에 대한 부분이 더 보완되어야 하며, 이에 대한 연구도 현재 진행중에 있다. 동시에 제어 대상에 대한 모델링에 대해서도 모델에 대한 실험결과가 시뮬레이션과의 차이를 보이고 있는데 이에 대한 보완도 필요하다고 사료된다.

참고문헌

1. C. C. Lee, "Fuzzy logic in control systems : fuzzy logic controller - PART I and PART II," IEEE Tr. Syst. Man Cybern., vol. SMC-20, no. 2, pp. 404 - 435, 1990.
2. E. H. Mamdani, "Application of fuzzy algorithms for simple dynamic plants," Proc. IEE vol 121, no. 12, pp. 1585 - 1588, 1974.
3. R. M. Tong, "Some properties of fuzzy feedback systems," IEEE Tr. Syst. Man Cybern., vol. SMC - 10, no. 6, pp. 327 - 330, 1980.
4. S. A. White, "Dynamics of a solenoidal - torqued gyro - stabilized seeker assembly for guidance and tracking," IEEE Tr. Aerospace and Elec. Syst., vol. AES-10, no. 1, pp. 113 - 122, 1974.
5. L. A. Zadeh, "Fuzzy sets," Information and Control, vol. 8 pp. 338 - 353, 1965.
6. Togai InfraLogic, "TIL Shell User's Manual(V.1.2.)," 1990.
7. Togai InfraLogic, "FC110 Development System User's Manual(V.2.02)," 1990.
8. 菅野道夫, ファジィ制御, 日刊工業新聞社, 1988.