

배영호¹ 홍성태* 이현우** 권순걸** 서기영**
 *경북산업대학교 *영진전문대학 **경남대학교 전기공학과

High frequency resonant inverter using time sharing control method for multiplying output frequency

Y.H.BAE, S.T.HONG, H.W.LEE, S.K.KWON, K.Y.SEO
 Kyungpook Sanup Univ. Yeongjin Junior College. Kyungnam Univ

ABSTRACT

This paper proposes a high frequency resonant inverter consisting of equivalent half bridge model using MOSFET.

In this paper time-sharing control method is applied, as a result the output frequency is two times as high as switching frequency of device, and average current of device is increased because of decreasing switching loss.

1. 서론

전력용반도체 스위칭소자의 성능향상 및 개발과 더불어 전력전자분야의 응용이 산업체 전반으로 확산되면서 적용 분야에 따른 다양한 전력변환장치가 요구되고 있으며 이는 반도체 스위칭소자의 합리적인 스위칭동작에 의해 적절한 전력으로 변환 조정하여 목적하는 값으로 제어하고 있다.

최근에는 전력용소자의 고속화 경향에 따라 전력변환장치의 고주파화를 실현하기위해 축적된 기술을 바탕으로 고주파 스위칭에 적합한 주회로 구성형식 및 제어방법과 주변기술들의 연구개발이 활발히 진행되고 있다.[1][2]

일반적으로 전력변환에 사용되는 소자는 고내압 대전류 이면서 저손실 고속스위칭 특성을 가져야하며 이러한 조건을 만족시키기 위해서는 소자 자체의 스위칭주파수 특성이 다른 것이 요구되지만 개발된 기존 소자의 응용을 극대화시킬수있는 회로방식을 구성함으로써 경제적이고 효율적으로 부하회로에 고주파를 공급 할 수 있다.[3]

본 연구에서는 현재 널리 사용되고있는 전력용Tr, MOSFET, IGBT등과 같은 자기소호형소자에 시분할방식회로를 도입하여[4][5] 스위칭시 누적되는 소자의 열적 스트레스의 경감으로 스위칭손실을 줄이고 아울러 부하회로의 스위칭주파수를 증가시킬수 있는 시분할 방식 공진형 고주파 인버터회로를 구성하여 해석함으로써 소자의 구동 스위칭주파수보다 높은 범위도 부하에 고주파 전원을 공급 할 수 있음을 제안한다.

2. 회로의 구성 및 동작원리

2-1. 주회로의 구성

다음 그림 2-1에 도시한 회로에서 각 소자 그룹별로 4개의 MOSFET로 구성된 2개의 인버터 그룹은 정(+)의 전류를 공급하는 INV(P)와 부의 전류를 공급하는 INV(N)회로의 조합으로 구성되어 있다.

이회로의 특징을 살펴보면 각각 상 하 두개의 인버터 사이에 부하가 있으며 각 인버터의 구동시 회로가 구성되는 소자 사이에는 직렬 L,C로 링크 되어 부하와 공진회로를 구성하여 부하전류를 공급하므로 부하측에서 보면 두개의 인버터로부터 전력을 공급 받는 효과를 가지며 따라서 소자간에 부하분담이 이루어져 소자가 공급 할 수 있는 평균 전류용량이 증가 한다. 또한 공진시 이루어지는 두개의 소자가 직렬 구성이므로 전압분담 효과를 가진다.

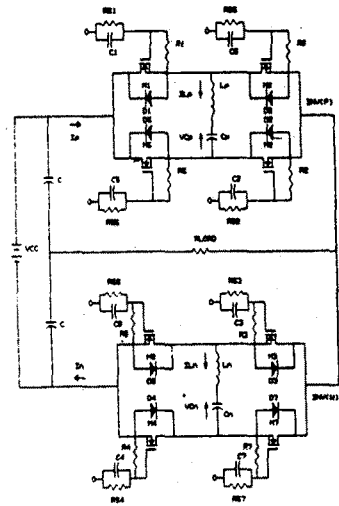


그림 2-1 주회로 구성

각 인버터군을 제어하기 위해 연결되는 소자구성과 gate-pluse 시퀀스는 다음과 같다.

- positive Loop 1 M1 → M2 (P1)
- negative Loop 1 M3 → M4 (N1)
- positive Loop 2 M5 → M6 (P2)
- negative Loop 2 M7 → M8 (N2)

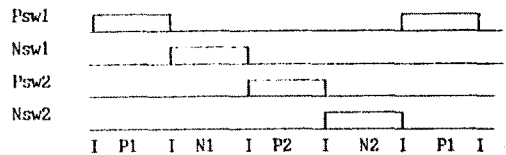


그림 2-2 게이트 Pulse Sequence

그림 2-1의 회로는 그림 2-3과 같이 등가화 할수 있으며 이회로에서 2개의 인버터 조합간의 이루어지는 시분할 동작에 의해 나타나는 각 인버터의 출력위상을 합성하여 1주기분의 출력을 나타내므로 2개의 회로블 조합한 시분할 인버터로 구동되는 것을 알수 있다.

그림 2-3 과 같은 half 브리지 인버터에서는 sw2가 on시 점에서 DI을 통해 흐르는 전류는 sw2로 인해 끊어 지지만 제한된 인버터에서는 2단자 스위칭회로 소자간에 있는 LC의 영향에 의해 sw2가 on한후에도 in 이 계속 흐르는 것이 가능하다.

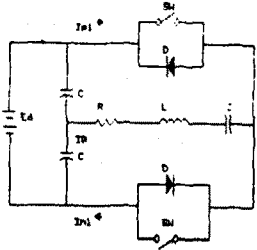


그림 2-3 등가 2단자 스위칭 회로

2-2 부하단 출력 제어

제한한 회로의 출력제어는 입력전압 Ed를 변화 시키는 것으로 한다. 그러나 Ed를 변화시킬과 동시에 gate 스위칭 pulse sequence를 변화시키면 출력주파수 및 전력제어가 가능하다. (6) 그림 2-4의 (a), (b), (c)에 나타난 바와 같이 인버터 P-N 간의 위상차 Td를 변화시키는 time chart를 이용하여 출력출제어 할 수 있다.

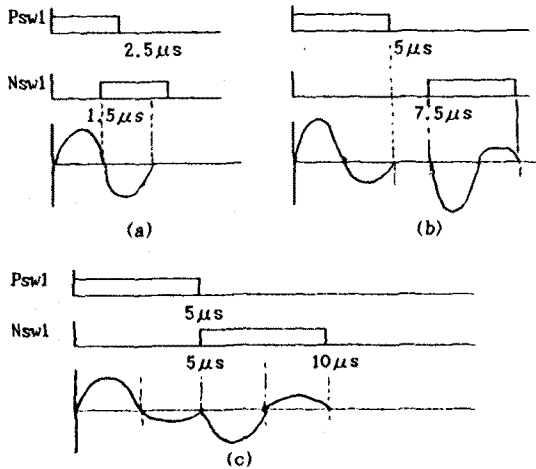


그림 2-4 Gate 위상차 제어에 따른 출력

2-3 동작 원리

먼저 기본적인 동작상태를 고찰하기위해 회로의 공진주파수 fr이 소자의 스위칭 주파수 fsw의 2배가 되는 경우를 생각 한다. 여기서 이상적인 R-L-C 공진시의 전류 및 각 회로 정수와의 관계는 다음과 같다.

$$i(t) = \frac{E}{L} \frac{1}{\beta \omega_0} \exp(-\zeta \omega_0 t) \sin(\beta \omega_0 t) \quad (2-1)$$

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (2-2)$$

$$f_0 = \frac{1}{2\pi \sqrt{LC}} \quad (2-3)$$

$$\zeta = \frac{R}{2} \sqrt{\frac{C}{L}} \quad (2-4)$$

$$\beta = \sqrt{1 - \zeta^2} \quad (2-5)$$

$$\omega_r = \beta \omega_0 = \sqrt{\frac{1}{LC} - \left[\frac{R}{2L}\right]^2} \quad (2-6)$$

2단자 스위칭 회로 INV(P)에 있는 소자 M1 - M2 (P1)이 on 되면 M1 - Lp - Cp - M2 - RLOAD 간에 ED/2의 전압이 인가되어 첫번째 정방향 공진부스가 형성 되고 따라서

전류 ip가 정방향으로 증가 하여 ip(+) 전류를 흘리고 공진 1/2주기후에 구성이 반전되어 소자에 역병렬 접속된 diode를 통해 흐르면서 전류 I(p)의 흐름이 D1 - Lp - Cp - D2 - LOAD로 전환되어 ip(-)의 전류를 흘리게 된다. 또한 ip가 구성을 반전한 시점에서 소자그룹 M3-M4의 gate 단자에 on신호가 들어 오면서 inv(N)의 negative 1 그룹이 on 된다. 이 때문에 LOAD - M3 - Ln - Cn - M4로 형성되는 공진 링크에 ED/2의 전압이 가해지고 INV(N)단의 전류 in이 정방향으로 증가 한다.

이로인해 기간 N1에는 부의 값을 가지는 ip-와 정의 값을 가지는 in+가 동시에 흐르고 있다. 따라서 4개의 gate sequence 동작 기간에 의해 스위칭 1주기가 이루어진다. 이 동작을 기간 p1에 대해 생각 고려하면 이 기간에서는 ip > 0, in < 0 이 되고 부하 전류 io = ip - in 이 된다. 따라서 |io| = |ip| + |in| 이 되고

위상 합성된 전류 평균치는 다음식과 같다.

$$I_{o,av} = \frac{2E}{\pi R} \left[\zeta \sqrt{1-\zeta^2} (2\exp(-\frac{\pi \zeta}{\sqrt{1-\zeta^2}}) + \exp(-\frac{2\pi \zeta}{\sqrt{1-\zeta^2}}) + 1) \right] \quad (2-7)$$

이것은 출력 Po = R * Io2이 되므로 동일된 출력을 얻기 위해서는 |io| = |ip|, |io| = |in| 이 되는 그림 2-3의 half브리지 인버터에 비해 |ip|의 값은 적어도 좋다는 것을 나타낸다.

동작을 좀더 자세히 살펴보기위해 그림 2-1의 INV(P)에 대해 고려해 보면 기간 p1에서는 ip가 그림2-1의 Lp에서 Cp방향으로 흐르고 본래서 전압 V(Cp)는 정방향으로 충전 된다.

기간 N1에서 ip는 Cp에서 Lp 방향으로 전류를 흘리기 때문에 V(Cp)는 약간 부로 바뀐다. 이 때문에 기간 P2로 들어가면 ip가 Cp에서 Lp의 방향으로 흐를려고 할때 V(Cp)는 ip를 억제하는 동작을 하게 되므로 이로 인해 본래서단의 전압상승은 제한된다. Psw1이 off되고 있는 시점을 고려 해보면 M1, M2의 drain-source간 전압 Vds는 부하 전압을 Vo로 할때

$$V_{ds} = \begin{cases} Ed/2 - V_o & : Psw2 \text{ OR } D5-D6 \text{ on} \\ (Ed/2 - V_o)/2 & : Psw2 \text{ AND } D5-D6 \text{ off} \end{cases}$$

이 된다.

Vo < ED/2로 된다면 INV(n)의 역병렬 다이오드가 on되고 Vo = ED/2로 억제되므로 Vds가 전원 전압이상으로 되지 않음을 알수 있다.

주회로에서 상태변수를 iLp, Vcp, iLn, Vcn로 하고 기간 P1에 대한 상태방정식을 구성하기 위해 소자그룹 M1-M2 또는 역병렬 diode D1-D2 및 D7-D8, D3-D4가 도통 되었을 경우의 회로 상태방정식은 다음과 같다.

mode 1	D1-D2(on)	D7-D8(on)	
$\frac{d}{dt}$	$\begin{bmatrix} i_{Lp} \\ V_{cp} \\ i_{Ln} \\ V_{cn} \end{bmatrix}$	$\begin{bmatrix} -R/L & -1/L & -R/L & 0 \\ 1/C & 0 & 0 & 0 \\ -R/L & 0 & -R/L & -1/C \\ 0 & 0 & 1/C & 0 \end{bmatrix}$	$\begin{bmatrix} i_{Lp} \\ V_{cp} \\ i_{Ln} \\ V_{cn} \end{bmatrix} + \begin{bmatrix} Ed/2L \\ 0 \\ Ed/2L \\ 0 \end{bmatrix}$
mode 2	D1-D2(on)	D3-D4(on)	
$\frac{d}{dt}$	$\begin{bmatrix} i_{Lp} \\ V_{cn} \\ i_{Ln} \\ V_{cn} \end{bmatrix}$	$\begin{bmatrix} -R/L & -1/L & -R/L & 0 \\ 1/C & 0 & 0 & 0 \\ -R/L & 0 & -R/L & -1/C \\ 0 & 0 & 1/C & 0 \end{bmatrix}$	$\begin{bmatrix} i_{Lp} \\ V_{cp} \\ i_{Ln} \\ V_{cn} \end{bmatrix} + \begin{bmatrix} Ed/2L \\ 0 \\ Ed/2L \\ 0 \end{bmatrix}$

3. 회로 설계 및 분석

이제까지 논의된 이론을 바탕으로 회로정수를 결정하고 계산된 값에 대한 컴퓨터 해석을 하기위해 다음과 같은 조건을 둔다.

부하단 출력 주파수 f_r : 200 kHz
 부하저항 R_{LOAD} : 1 ohm
 입력전압 V_d : 100 V
 분압용 콘덴서 : 2200 uF

상기 조건을 만족하고 부하에 안정된 전류 및 주파수를 공급 하기위해 (2-7)식을 사용하여 ζ 값에 따른 부하평균 전류 최대값을 구해보면 다음 그림 3-1 과 같다.

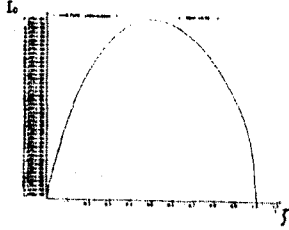


그림 3-1 ζ 에 따른 부하평균전류 변화

그림 3-1 에서 $\zeta = 0.5$ 인 경우 부하평균전류비가 0.58 이 되며 여기서 $\zeta > 0.5$ 이면 정상적인 공진이 이루어 지지 않는다. 부하저항의 변동을 고려하여 $0.2 < \zeta < 0.5$ 범위 로 하면 평균전류비는 0.46 - 0.58 이 되므로 $\zeta = 0.2$ 로 하여 (2-4) 및 (2-6)식에 의해 L, C 값을 구하면 $L = 1.95 \mu H$ $C = 0.3188 \mu F$ 가 되지만 실용적으로 $C = 0.3 \mu F$ $L = 2 \mu H$ 로 하여도 출력주파수값의 오차가 거의 없으며 공진 주기는 약 5 uS 가 된다. 다음 그림 3-2 는 제어 위상각 $T_d = 0$ uS 인 경우 각 회로단의 출력 파형이다.

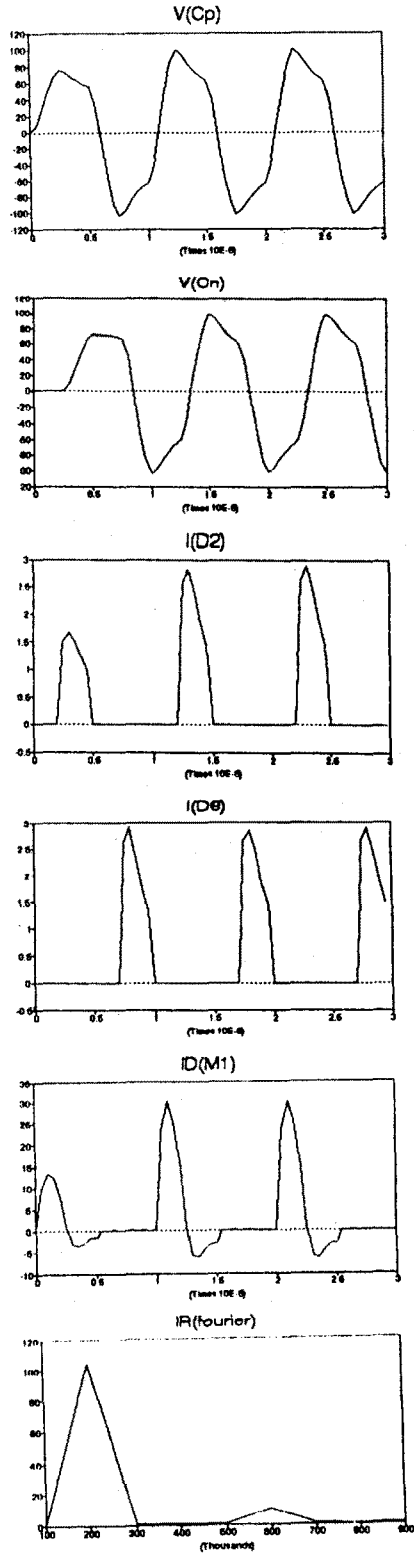
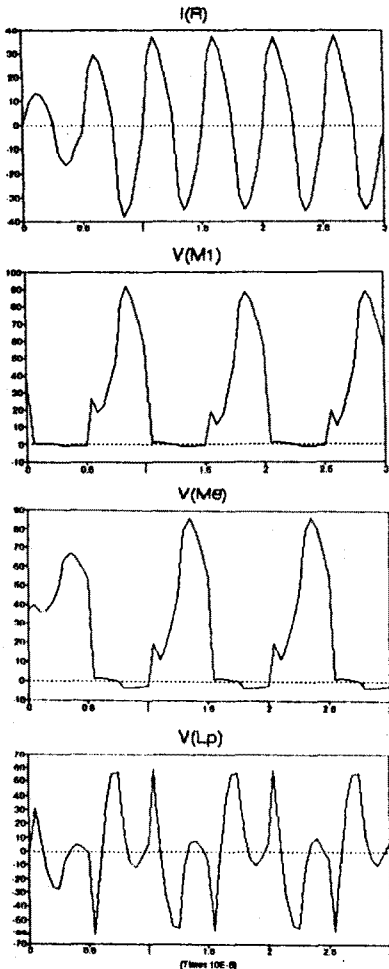


그림 3-2 제어 위상 $T_d=0$ 인 경우

이 그림에서 부하단전류파형 $I(R)$ 은 처음 2 사이클 정도의 과도 기간 후에는 안정된 정현파에 근사함을 알 수 있다. 또한 소자의 양단전압 $V(M1), V(ME)$ 및 콘덴서 양단전압 $V(Cp), V(Cn)$ 도 전원전압 이하가 됨을 알 수 있다

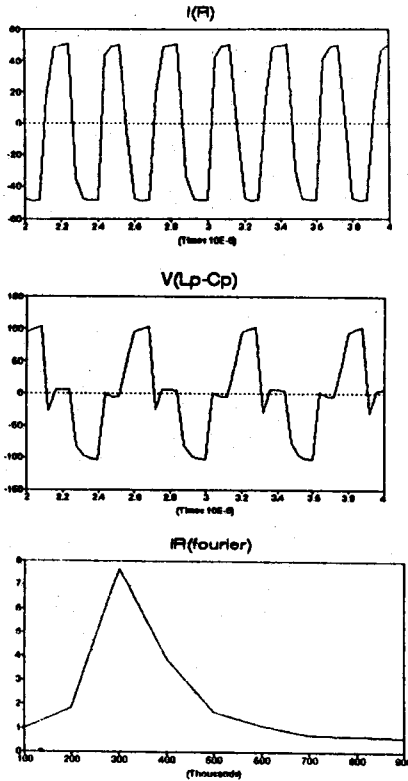


그림 3-3 제어 위상 $T_d=1\mu S$ 인 경우

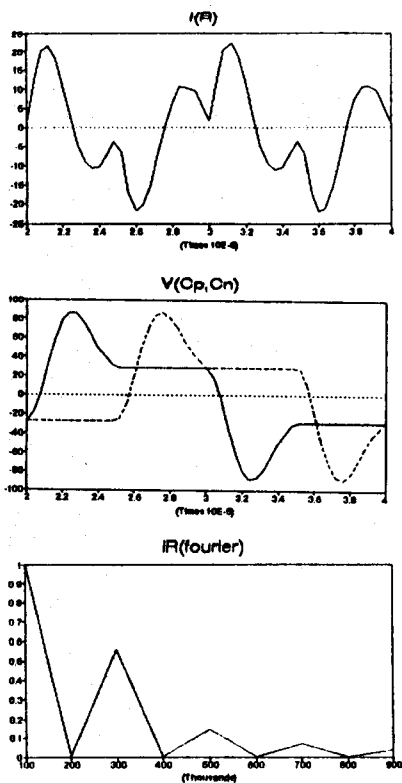


그림 3-4 제어 위상 $T_d = -2.5\mu S$ 인 경우

그림 3-3, 3-4 는 $T_d = 1\mu S$ 및 $-2.5\mu S$ 인 경우로서 기본 주파수가 각각 300Khz 및 100Khz 가 되고 있다.

다음 그림 3-5는 R의 값을 변화시켜 $\zeta=0.58$ 로 한 경우이며 이때 부하전류 $I(R)$ 및 콘덴서 전압 $V(Cp)$ 가 구형파로 되어 공진이 제대로 이루어지지 않음을 알 수 있으며 역방향 diode를 통해 많은 전류를 흘리고 있다

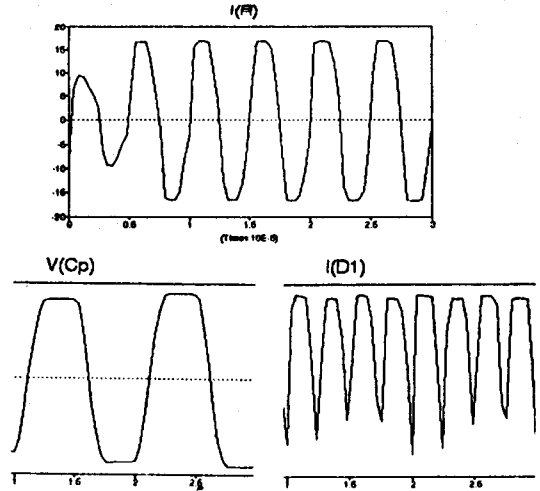


그림 3-5 $\zeta=0.58$ $T_d=0$ 인 경우

이 회로의 해석결과로 보면 $T_d=0$ $\zeta=0.2 - 0.5$ 까지는 회로가 안정한 동작영역으로서 비교적 안정한 부하 전류 $i(R)$ 를 흘리고 있으며 기본적 동작 출력 특성에도 변화가 없다.

4. 결 론

이제까지 기술한 회로의 특성을 살펴보면 다음과 같다.

- (1) 시분할 동작을 하고 있으므로 출력주파수는 소자 스위칭 주파수의 2배가 된다
- (2) 부하에 흐르는 전류는 동가 half브리지로 구성된 2개의 인버터 INV(P) 와 INV(N)인버터로 흐르는 전류의 합으로 구성되므로 전류분량이 줄어든다.
- (3) 소자가 off한 직후에 D - S 간 전압이 병렬 Diode의 전압 강하(0.7v정도)로 억제 되므로 손실이 저감된다.
- (4) 부하 단락시에도 안정된 동작을 한다.
- (5) 소자의 순방향 전압은 전원전압이하로 억제 되고 역방향 전압도 역병렬 다이오드의 전압강하로 억제된다.
- (6) 공진용 콘덴서의 peak 값이 전원전압정도이다.
- (7) 출력파형이 대칭이므로 직류성분이 매우 적다

이와같은 결과를 바탕으로 실제회로구성 동작시험 및 제어 회로의 합리적 설계를 통한 효율향상등의 연구 고찰이 필요 하다 .

참고문헌

- (1) Richard Redl: "A Novel soft-switching full-bridge DC /DC converter: Experimental results at 1.5kw 100Khz", IEEE Trans on PE vol 6, no3, pp408-418, jury (1991)
- (2) Laufaro D. Salazar: "Design and Evaluation of two types of controllers for a two-switch forward converter with extended duty cycle capability", IEEE TRANS on IND ELECT vol 39, no2, pp128-140, april (1992)
- (3) 裴英鎭: "靜電誘導形素子の 스위칭 特性和 應用技術", 대한전기학회 하계학술대회, pp527-530. (1991)
- (4) M. NAKAOKA: "Latest time-sharing high-frequency inverters using reverse-conducting thyristors for inducting heating power supplies and thire new system control techniques", IEEE of Japan, pp173-184 (1980)
- (5) 이종무: "SI-Thyristor를 이용한 時分割 高周波인버터", 대한전기학회 춘계전력전자연구회, pp51-54, (1988)
- (6) 金東熙: "靜電誘導形トンススタによる高周波インハタとその應用技術に關する研究", 神戸大學 學位論文, pp75-87 (昭和62年1月)