

GTO DEVICE의 MODELING에 의한 변환 회로 해석

서영수 성대용 조문택 이상봉
명지대학교 전기공학과

A Study on Converter Circuit Analysis Using GTO Device Modeling

Young-soo seo Dae-Yong Sung Moon Taek Cho Sang-Bong Lee

Department of Electrical Engineering, Myong-Ji University

Abstract

A numerical model of a three junction device is presented. It allows the simulation of the external characteristics of the PNP family devices and in this work the simulation of gate turn-off thyristor(GTO) is particularly considered.

The proposed PNP device simulation model solves all the drawbacks presented by the previous work, simulates the GTO well, and fulfills.

I. 서론

본 논문에서 제안한 PNP소자의 회로 시뮬레이션 모델은 종래에 나타난 난점들을 해결하고, GTO의 만족스러운 시뮬레이션을 이행한다.

이와같이 모델링한 소자는 회복 전류와 전압 스파이크로 생기는 범위와 dv/dt 상승률과 관련있는 에너지를 흡수하기 위해 게이트 턴-오프(GTO)에 스너버를 연결하고, 이러한 GTO 스너버 회로는 GTO 기간동안 전류 크라우딩(crowding)으로 야기되는 실패로부터 GTO를 보호할 수 있게된다.

II. GTO 다이리스터 모델링

본 논문에 나타난 PNP 소자 모델은 Ebers-Moll 방정식 (1)으로부터 개발됐고, 방정식은 모델의 전류와 축적전하를 정의된다.

I_g 전류 없이 유지 전류가 도달할 때 다음 관계는 true이다.

$$\alpha_1(I_a) + \alpha_3(I_a) = 1 \quad (1)$$

그리고

$$\begin{cases} I_{d1} = I_{d3} = I_{dd2} = I_a \\ I_{dd3} = I_{dd1} = I_{d2} = 0 \end{cases} \quad (2)$$

소자의 턴-온이 다음 방정식에 의해 정의되는 곳에서 ($\alpha_1(I_{d1})\alpha_3(I_{d3})$)의 값은 $V_{ak} > 0$ 와 $I_g > 0$ 을 가진다.

$$\begin{cases} I_{dd1} = 0 \\ I_{dd3} = 0 \\ I_{d1} = I_a \\ I_{d3} = I_a + I_g \\ I_{d2} = 0 \\ I_a = I_g \alpha_3(I_{d3}) / (1 - \alpha_3(I_{d3}) - \alpha_1(I_{d1})) \end{cases} \quad (3)$$

I_a 에 관하여 (3)을 풀면 다음을 얻는다.

$$I_a = \frac{-(2K_3 I_g - 1) \pm \sqrt{\Delta}}{2K_3(1 + K_1/K_3)} \quad (4)$$

여기서

$$\Delta = (2K_3 I_g - 1)^2 - 4K_3^2 I_g^2 (1 + K_1/K_3) \quad (5)$$

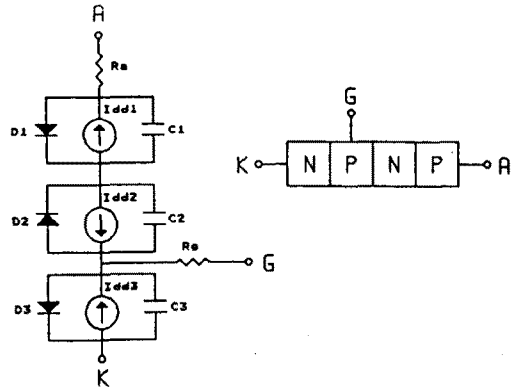


그림 1. PNP 모델의 동가회로.

소자가 안정한 상태에서 동작을 할 때 완전히 에노드 전류로 구동되고 내부 전류는 다음 방정식으로 표현된다.

$$\begin{cases} I_{d1} - I_{dd1} + I_{d2} - I_{dd2} = 0 \\ -I_{d2} + I_{dd2} - I_{d3} + I_{dd3} + I_g = 0 \\ -I_g + I_{d3} - I_{dd3} - I_a = 0 \\ \alpha_2(I_{d2})I_{d2} = I_{dd1} \\ \alpha_4(I_{d2})I_{d2} = I_{dd1} \\ \alpha_1(I_{d1})I_{d1} + \alpha_3(I_{d3})I_{d3} = I_{dd2} \end{cases} \quad (6)$$

식 (6)의 I_{d1}, I_{d2}, I_{d3} 의 해는 다음과 같이 얻어진다.

$$I_{d3} = \frac{(\alpha_2 \alpha_1 + \alpha_4 - \alpha_4 \alpha_1 - 1)I_a + (\alpha_2 \alpha_1 - 1)I_g}{\alpha_2 \alpha_1 + \alpha_4 \alpha_3 - 1} \quad (7)$$

$$I_{d2} = \frac{(1 - \alpha_3 - \alpha_1)I_a - \alpha_3 I_g}{\alpha_2 \alpha_1 + \alpha_4 \alpha_3 - 1} \quad (8)$$

$$I_{d1} = \frac{(\alpha_2 + \alpha_4 \alpha_3 - \alpha_3 \alpha_1 - 1)I_a + \alpha_2 \alpha_3 I_a}{\alpha_2 \alpha_1 + \alpha_4 \alpha_3 - 1} \quad (9)$$

식 (8)로부터 소자의 턴-오프에 대해 요구되는 I_g 전류가 결정되고, 그것의 구동 I_a 전류는 다음을 사용하여 계산된다. (2), (3)

I_g 전류는 I_g 와 같을 때 소자는 턴-오프되고 이것은 앞에서

연급한 캐패시터 C_1, C_2, C_3 에 의해 다시 구동된다. C_3 캐패시터는 턴-오프의 첫번째 기간동안 애노드 전류 I_a 로 결정된다. 전압이 J_3 접합에 공급될 때는 0보다 적고, J_2 접합의 I_{dd2} 전류는 J_1 을 통해 흐르는 전류에 좌우되고 I_a 전류는 $I_a = \alpha (I_{d1} - I_{d1})$ 의 값과 일치한다. 이 때 애노드 전류 강하는 다이오드 D_1 을 통한 캐패시터 C_1 의 재충전에 의해 구동되고, 전형적인 소자 전류의 최하위(tail)가 발생된다.

$$I_g = \frac{(1 - \alpha_3(I_{d3}) - \alpha_1(I_{d1}))I_a}{\alpha_3(I_{d3})} \quad (10)$$

II-1. 트랜지스터 등가회로 모델링

콜렉트 전류는 다음으로 쓸 수 있다.

$$I_C = \alpha_F I_F - I_R \quad (I_E = I_F - \alpha_R I_R) \quad (11)$$

또한, 베이스 전류는 식 (12)로 쓸 수 있다.

$$I_B = I_E - I_C = (1 - \alpha_F)I_F + (1 - \alpha_R)I_R \quad (12)$$

따라서, 트랜지스터에 대한 등가회로는 그림 2에 나타낼 수 있다.

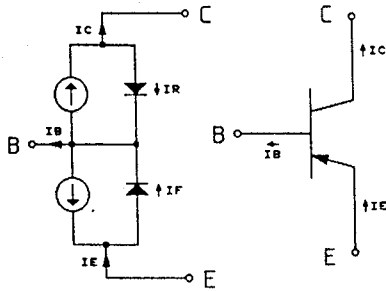
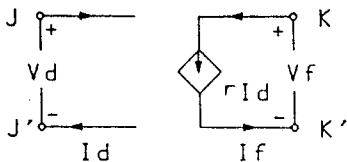
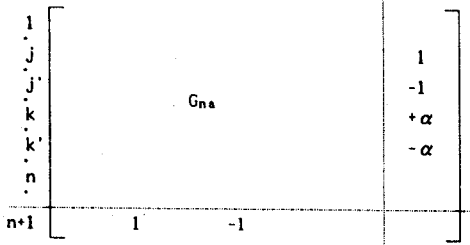


그림 2. Ebers-Moll 등가회로.

II-2. 전류 제어 전류원 모델링

그림 1에서 제시된 모델의 등가회로에서 볼 수 있듯이 전류 제어 전류원에 대한 모델링을 해야만 한다. 이 때 그림 3에 나타난 전류 제어 전류원은 다음 형태로 쓸 수 있다.

$$V_{j0} \cdot V_{j0} \cdot V_{j'0} \cdot V_{k0} \cdot V_{k'0} \cdot V_{n0} \quad I_d$$



$$V_{j'0} \quad 0 \quad V_{k'0}$$

그림 3. 전류 제어 전류원

IV. 스너버 회로 계산 모델

그림 5에 나타난 간단한 GTO 쇼퍼회로에 키트리 호프의 법칙

을 적용하면, GTO 스너버 회로에 대한 기본 방정식은 다음과 같이 쓸 수 있다.

$$E_B = e_l + L_{s1} \cdot \frac{di}{dt} + e_a \quad (13)$$

$$e_l = L \cdot \frac{di_l}{dt} + R \cdot i_l \quad (14)$$

$$e_a = L_{s2} \cdot \frac{di_s}{dt} + R_{eff} \cdot i_s + \frac{Q_s}{C_s} \quad (15)$$

$$i_l = i_a + i_s + i_d \quad (16)$$

$$i = i_a + i_s \quad (17)$$

$$R_{eff} = \frac{R_s \cdot R_d}{R_s + R_d} \quad (18)$$

여기서, 스너버 회로에서 다이오드 D_s 는 2개 부분으로 나누어진다. 즉, 이상적인 다이오드와 실제적인 저항 R_d, R_{eff} 값은 스너버회로에서 등가 저항이고, 이것은 병렬로 연결된 R_s 와 R_d 로 구성된다. Q_s 값은 스너버 캐패시턴스 C_s 로 측정된다.

(15)와 (16)를 (17)에 대입하면, 산출된다.

$$(L_{s1} + L_{s2}) \cdot \frac{di_s}{dt} + R_{eff} \cdot i_s + \frac{Q_s}{C_s} = E_B - L_{s1} \cdot \frac{di_a}{dt} - e_l \quad (19)$$

스너버 회로 동작은 이러한 기본 방정식으로 서술된다.

그림 4은 GTO 스너버 회로를 나타냈다.

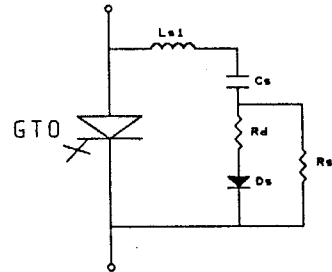


그림 4. GTO snubber 회로.

V. 실험 및 결과

본 논문에서 제안한 PNPN 소자에 대한 턴·온과 턴·오프시 애노드 전류와 애노드 전압에 대한 파형은 그림 6와 그림 7에 나타냈다.

그림 8는 스너버 인덕턴스 L_{s2} 를 가변할 때의 GTO 양단(A-K사이)에 나타나는 스파이크 전압과 오버-슈우트 전압을 시뮬레이션 한 것으로 서로 다른 결과를 보여주고 있다.

그림 9은 스너버 콘덴스 C_s 를 가변할 때 애노드 전압을 시뮬

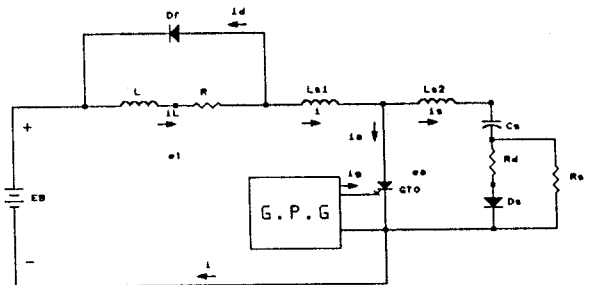


그림 5. GTO 쇼퍼 회로.

락이현한 것으로 스파이크 전압과 오버-슈우트 전압의 경감은 스너버 콘덴서 소자에 크게 영향을 받고 있다.

그림 10은 최대 애노드 전류 I_{AT0} 를 가변했을 때의 애노드 전압 파형이다.

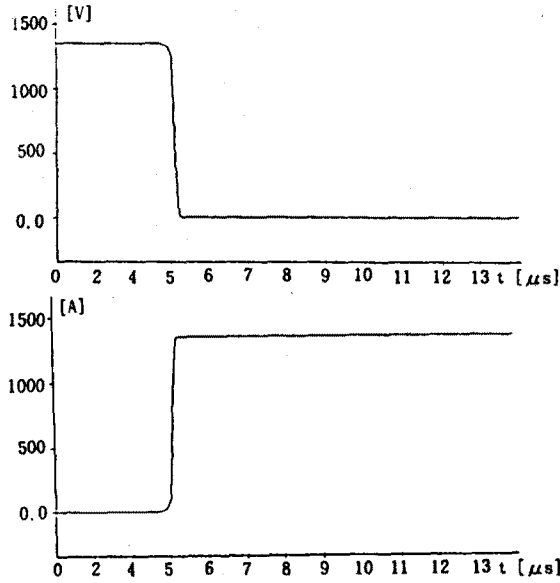


그림 6. 턴·온시 애노드 전압과 전류

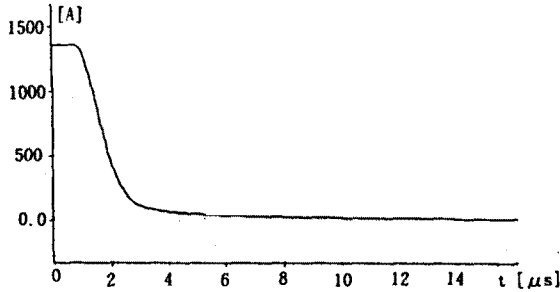


그림 7. 턴·오프시 애노드 전압과 전류.

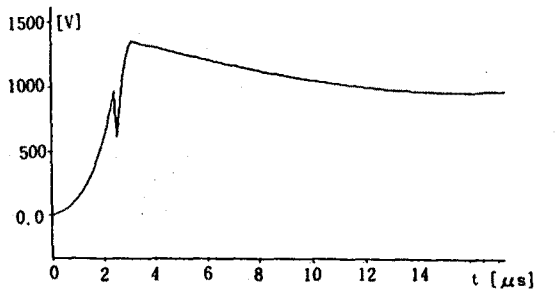


그림 8. 스너버 인덕턴스에 의한 영향.

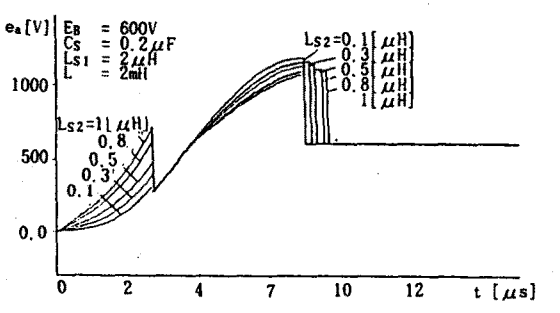


그림 9. 스너버 콘덴서의 영향.

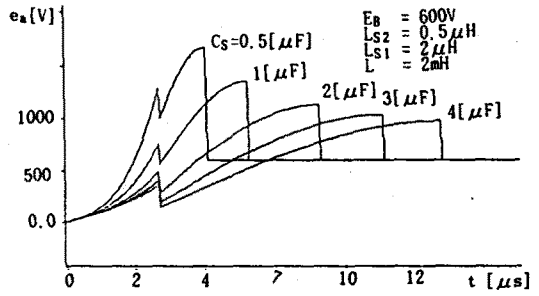


그림 10. I_{AT0} 가변에 대한 애노드 전류 파형.

V. 결론

본 논문의 목적은 PNP 구조에 의한 시뮬레이션을 하기 위한 것이다. 이러한 모델은 다이리스터 전력 변환기의 시뮬레이션이 따르고 설계자는 轉流절차(게이트 구동회로, 스너버 회로)를 특별히 간주한 다른 회로를 쉽게 해석할 수 있다.

스너버 회로 동작에 묘사된 기본 방정식은 수치적으로 해결되며 프리윌링 다이오드의 바이어스 조건을 일치시키기 위해 GTO 기간을 나누어서 해석한 결과 스파이크 전압은 ① 스너버 회로의 소자 (L_{s2}), 애노드 전류, 하강 시간(fall time)에 크게 영향을 미치고, ② 오버-슈우트 전압 역시 회로의 인가전압 (E_B), 애노드 전류, 턴·오프 시간, 회로내의 인덕턴스(L, L_{s1})와 스너버 콘덴서 용량에 크게 영향을 미친다.

Reference

- [1] I. E. Getreu, Modeling the Bipolar Transistor. New York: Elsevier Scientific, 1978.
- [2] Chanming Hu, Waiman F. Ki, "Toward a Practical Computer-Aided for thyristor Circuit Design," IEEE-PESC, pp.174~179, 1980.
- [3] J.C. Bowers and H.E. Nienhaus, "Model for High-Power SCRs Extends Range of Computer-Aided Design," Electronics, April 14, pp.100~105, 1977.