

PECVD 질화막 증착시 SiH₄/NH₃ 유량비가 비휘발성 MNOS 기억소자의 특성에 미치는 영향

이상태, 이근혁, 이형욱, 김진영, 서광열
 광주대학교 전자재료공학과

The Influence of the SiH₄/NH₃ Ratios on the Characteristics of Nonvolatile MNOS Memories during the PECVD Silicon Nitride Film deposition

Sang-bae Yio, Keun Hyuk Lee, Hyung Ok Lee, Jin Young Kim, Kwang Yell Seo
 Dept. Electron. Materials Eng., Kwang woon Univ.

Abstract

Using the PECVD method, the silicon nitride films were deposited by changing the SiH₄/NH₃ gas flow ratio from 0.2 to 1.4 at an interval of 0.2. AES, FTIR, and Spectroscopic Ellipsometer were used to analyze the film composition and structure, the refractive index, and the deposition rate. Also the C-V analysis was used to estimate the memory performance in the capacitor type MNOS memory devices, which utilized native oxide as the tunneling barrier, with the silicon nitride by the above deposition conditions.

As a result, it was confirmed that the performance of MNOS memory devices with PECVD silicon nitride was comparable to that with LPCVD or APCVD silicon nitride.

1. 서론

이중 절연막 구조의 비휘발성 MNOS 반도체 기억소자는 floating 게이트형 소자와 더불어 비휘발성 EEPROM 기술을 주도하고 있다. MNOS 기억소자의 기억특성에는 규소질화막의 특성이 중요한 영향을 미치며, 이와같은 질화막은 일반적으로 700°C~1000°C 온도에서 APCVD와 LPCVD방법을 사용하여 증착한다. 비휘발성 MNOS 기억소자를 고집적된 EEPROM으로 실제 응용하기 위해서 집적회로화 시킬 때 주변의 비기억소자들은 이와같은 고온의 제조공정에는 적합하지 못하다. 특히, 이들이 MOS소자인 경우, 게이트산화막 형성뒤에 고온에 노출되면 방사능에 대한 그 내구력은 현저하게 저하되는 것으로 알려지고 있다. 1) 2) 이러한 점에서 400°C이하의 온도에서 증착이 가능한 PECVD방법이 비휘발성 MNOS 기억소자의 질화막 증착을 위해서 사용되면 VLSI화는 가능하게 되고 궁극적으로 고신뢰도, 고집적의 EEPROM 소자가 실현될 것으로 생각된다.

본 연구는 규소질화막을 PECVD방법으로 증착한 후 여러가지 증착조건에 따른 막의 특성 및 기억소자로서의 동작특성을 조사하여 비휘발성 MNOS 기억소자의 질화막 증착을 위한 PECVD방법의 응용가능성 및 최적조건을 구하는데 목적을 두고 있다. 이를 위해서 SiH₄/NH₃ 가스 유량비를 다르게 하여 증착한 후 굴절율, 증착 속도, 막의 구조 및 조성을 조사하였다. 또한, tunneling장벽으로 native oxide를 이용하고 위와같은 조건으로 증착한 질화막을 갖는 MNOS 기억소자에서 write/erase의 스윙칭 특성, memory window의 크기, 기억유지능력과 같은 기억성능도 평가하였다.

2. 실험

본 실험에서는 붕소(B)가 도우핑된 비저항 6~8Ω-cm인 p형(100), 3 inch 실리콘 웨이퍼 위에 표1과 같이 기판 온도, RF power는 각각 300°C, 30W로 고정하고 SiH₄/NH₃비율 각각

달리하면서 PECVD 규소질화막(silicon nitride; SiN)을 증착하였다. 이때 질화막 증착을 위해서 사용한 반응기는 cold-wall, capacitively coupled, 평행판형 PECVD장치로써, RF generator 주파수는 13.56MHz이었다. 반응가스는 Ar에 희석된 SiH₄(10% SiH₄ in Ar)와 고순도(99.999%)의 NH₃를, 캐리어 가스로는 Ar을 사용하였다.

증착된 PECVD질화막의 두께 및 굴절율은 분광타원분석기(spectroscopic ellipsometer)로 측정하였다. 막의 uniformity는 웨이퍼 중심과 중심으로부터 2cm 떨어진 상하 좌우의 5점에서 두께 및 굴절율을 측정하여 조사하였으며 그 결과 두께 및 굴절율은 각각 5%, 1%이내에서 변화하였다. 또한, FTIR Spectrophotometer를 사용해서 PECVD질화막의 IR-spectrum을 측정하여 막의 구조를 조사하였으며, 막의 조성은 AES로 분석하였다.

스윙칭 특성 및 memory window크기, 기억유지특성은 각각 C-V곡선을 측정한 후 flatband전압을 구하여 조사하였다.

표 1. PECVD 규소질화막을 위한 증착조건.

SAMPLE NO.	GAS RATIO SiH ₄ /NH ₃	FLOW RATE(sccm)		TEMP [°C]	RF POWER [Watt]	PRESSURE [Torr]
		SiH ₄	NH ₃ Ar			
1	0.2	0.8	4 286	300	30	1
2	0.4	1.6	4 286	300	30	1
3	0.6	2.4	4 286	300	30	1
4	0.8	3.2	4 286	300	30	1
5	1.0	4.0	4 286	300	30	1
6	1.2	4.8	4 286	300	30	1
7	1.4	5.6	4 286	300	30	1

3. 결과 및 고찰

압력유 1Torr, 기판온도를 300°C, RF power를 30W, NH₃가스 유량을 4sccm으로 고정하고, SiH₄가스 유량만을 0.8sccm~5.6sccm 범위에서 다르게 하여 PECVD질화막을 증착하므로써 SiH₄/NH₃ 가스 유량비에 따른 질화막의 특성을 조사하였다. SiH₄/NH₃ 가스 유량비에 대한 증착율 및 굴절율의 관계는 그림1과 같다. 그림으로부터 알 수 있듯이 SiH₄/NH₃ 가스 유량비를 증가시키면 증착율과 굴절율은 모두 증가하였으며, 또한 굴절율은 가스 유량비 1.2에서 포화되려는 경향이 있었다. 즉, SiH₄/NH₃비율 0.2에서 1.4까지 변화시키므로써 증착율은 최소 68Å/min에서 최대 359Å/min까지 변화시킬 수 있고, 굴절율은 최소 1.67에서 최대 1.86까지 변화시킬 수 있었다.

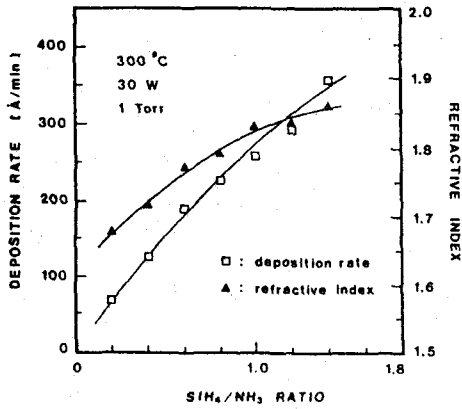


그림 1. SiH₄/NH₃ 가스 유량비에 대한 증착률 및 굴절률.

SiH₄/NH₃ 가스 유량비를 0.8로 하여 증착한 PECVD질화막의 FTIR스펙트럼은 그림2와 같다. 그림에서 보는 바와 같이 FTIR스펙트럼으로부터 3개의 뚜렷한 피크를 관찰할 수 있다. 즉, 파수 900cm⁻¹에서 나타나는 키가 크고 폭이 넓은 피이크는 Si-N bond들의 진동(vibration)으로 인한 것이고, 2200cm⁻¹ 및 3350cm⁻¹에서의 키가 작은 피이크는 각각 Si-H 및 N-H bond들의 진동으로 인한 것이다.³⁾ 각 bond들로 인한 피이크들을 integrated baseline tangent method를 이용하여 컴퓨터 계산함으로써 Si-H, N-H bond 및 H의 농도를 구할 수 있다.⁴⁾⁵⁾ 이렇게 하여 구한 Si-H, N-H bond 및 H의 농도는 각각 1.143x10²²cm⁻³, 9.372x10²¹cm⁻³, 1.896x10²²cm⁻³ 이었다. 또한, 그림으로 부터 파수 1150cm⁻¹에서도 뚜렷하지는 않지만 작은 피이크를 관찰할 수 있는데 이는 Si-O bond로 인한 것으로 생각되며, 따라서 본 실험을 통하여 증착한 질화막내에는 O 도 함유되어 있음을 알 수 있고, 이는 위의 AES분석으로부터도 확인되었다.

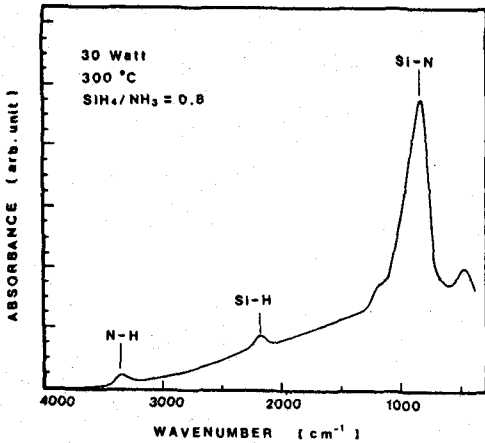


그림 2. SiH₄/NH₃ 가스 유량비가 0.8인 PECVD규소질화막의 FTIR 흡수 스펙트럼.

SiH₄/NH₃ 가스 유량비를 1.0으로 하여 증착한 질화막의 두께에 따른 막의 조성을 조사하기 위한 AES depth profile은 그림3과 같다. 그림에서 보는바와 같이 상당량의 산소가 질화막의 표면 및 질화막-실리콘 계면에 존재함을 알 수 있다. 질화막-실리콘 계면의 산소는 캐리어에서 실리콘 웨이퍼를 꺼낸 후 세척과정을 거치지 않고 즉시, 질화막을 증착함으로써 원래 웨이퍼에 형성된 native oxide로 인한 것으로 생각된다. 굴절률값을 기존의 SiO₂막의 굴절율인 n=1.46로 하여 분광탄해석기를 이용해서 분석한 결과 그 두께는 21Å이었다. 따라서, 본 연구에서는 실리콘과 질화막사이의 전하전송

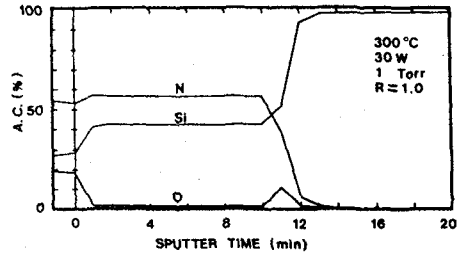
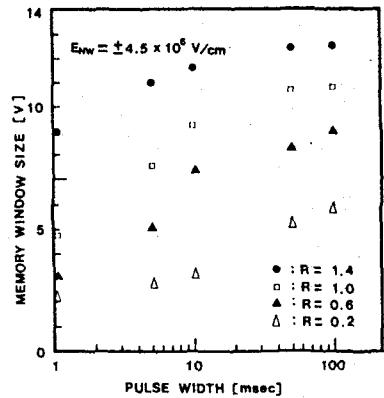


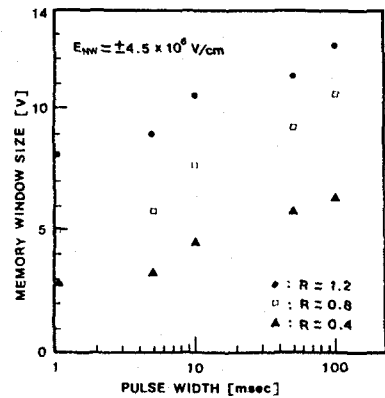
그림 3. SiH₄/NH₃ 가스 유량비가 1.0인 PECVD규소질화막의 AES depth profile.

을 위한 tunneling장벽으로 native oxide를 이용하였으며 기억유지특성조사 결과 역시 기존의 열적 성장된 얇은 산화막을 갖는 MNOS기억소자의 성능에 상용함을 알 수 있었다. 질화막 표면의 산소 역시, 게이트 전극측으로의 기억전하의 누설을 막기 위한 대책으로 현재 많은 관심을 끌고 있는 MONOS구조의 blocking oxide)처럼 이용될 수 있다는 점에서 기억소자로서의 특성향상에 상당히 유용하리라 생각된다.

그림3으로부터 알 수 있듯이 질화막 벌크내에서 Si/N비는 상당히 일정하며 그 값은 0.76으로써 화학양론적인값 0.75(Si₃N₄)에 거의 접근하였다. SiH₄/NH₃ 가스 유량비를 각각 다르게 하여 증착한 질화막을 AES depth profile로 분석한 결과 SiH₄/NH₃ 가스 유량비가 0.2에서 1.4까지 증가함에 따라서 Si/N비는 0.72에서 0.82까지 증가하였으며, 특히 N의 at%는 거의 일정하였으나 Si의 at%가 증가하였다.



(a)



(b)

그림 4. SiH₄/NH₃ 가스 유량비에 따른 펄스폭에 대한 memory window의 크기.

SiH₄/NH₃ 가스 유량비를 0.2에서 1.4까지 0.2간격으로 크게 하여 각각 증착한 PECVD질화막을 갖는 커패시터형 MNOS 기억소자의 게이트에 ±4.5x10⁶V/cm의 질화막 field를 야기시키는 크기의 펄스전압을 펄스폭을 달리하여 인가한 다음 각각의 경우에 대해서 flatband전압의 이동량을 구하면 그림 4와 같은 가스 유량비에 따른 펄스폭에 대한 memory window 크기의 관계를 얻을 수 있다. memory window의 크기는 펄스 폭이 증가함에 따라서 대수함수적으로 증가하다가 포화되고, 가스 유량비가 증가함에 따라서 증가하였다. 가스 유량비가 1.4일 때 가장 큰 memory window크기는 12V이고, 0.2일 때는 5V이었다. 또한 크기는 위와같고 폭이 1msec인 펄스전압을 사용해서 일반적으로 microelectronics에서 이용할 수 있는 memory window크기인 5V를 얻기 위해서는 가스 유량비가 0.8 이상이어야 함을 알 수 있었다. 가스 유량비가 0.8이상인 경우, memory window크기는 기존의 LPCVD 및 APCVD질화막을 갖는 비휘발성 MNOS기억소자에 상응하였다.6)

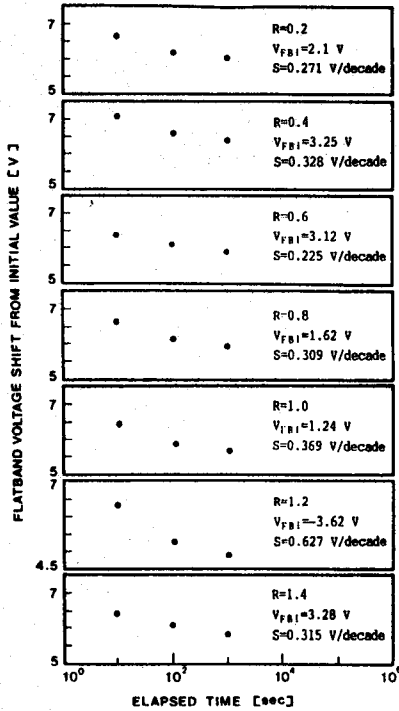


그림 5. 여러가지 SiH₄/NH₃ 가스 유량비에 대한 기억유지특성.

MNOS기억소자의 flatband전압이 양(+)의 방향으로 최대값(초기 flatband전압)이 되도록 조정한다. 이와같은 상태에서 초기 flatband전압값으로부터 flatband전압의 이동량이 6~7V가 되도록 적절한 펄스전압을 인가한 후 경과시간에 따라서 초기 flatband전압값으로부터의 이동량을 측정하면 그림 5와 같은 가스 유량비에 따른 기억유지특성을 얻을 수 있다. 그림으로부터 알 수 있듯이 flatband전압의 이동량은 경과시간에 따라서 대수함수적으로 감소하였고 decay rate는 가스 유량비와 무관하였다. 이상의 두가지 사실로부터 기억전하의 decay기구는 질화막으로부터 산화막을 터널링하여 실리콘 기판으로 가는 back-tunneling기구가 주도적임을 알 수 있었다.7) 또한, 그림에서 보는바와 같이 decay rate는 0.271V/decade ~ 0.627V/decade 이었다. 이와같은 값들은 기존의 열적성장시킨 산화막을 갖는 MNOS 기억소자에 상응하는 값이라는 점에서 본 연구에서 native oxide를 tunneling 장벽으로 사용한 것이 적절한 것임을 확인할 수 있었다.

4. 결론

SiH₄/NH₃ 가스 유량비를 0.2에서 1.4까지 0.2간격으로 변화시키면서 규소질화막을 PECVD방법으로 각각 증착시킨 다음, AES, FTIR, 분광해석기를 사용하여 막의 조성 및 구조, 굴절율 및 증착율을 조사하였다. 또한 tunneling장벽으로 native oxide를 이용하고, 위에서와 동일한 조건으로 증착한 질화막을 갖는 커패시터형 MNOS 기억소자의 기억성능도 C-V 측정법을 사용하여 평가하였다. 그 결과는 다음과 같다.

- 1) SiH₄/NH₃ 가스 유량비가 0.2에서 1.4까지 증가함에 따라 굴절율은 1.67에서 1.86까지, 증착율은 68 Å/min에서 359 Å/min까지 증가하였다.
- 2) FTIR spectrum 으로부터 Si-H bond, N-H bond, Si-N bond를 확인하였다. Si-H 및 N-H bond, H의 농도는 각각 1.143x10²²cm⁻³, 9.372x10²¹cm⁻³, 1.896x10²²cm⁻³이었다.
- 3) AES depth profile로부터 질화막 범크에는 Si, N, O가 존재하며 Si/N비는 막 전체에 걸쳐서 상당히 일정한 값으로 분포하였다. 가스유량비가 증가함에 따라서 Si/N비는 0.72에서 0.82까지 증가하였다. 또한, 질화막-실리콘 계면 및 질화막표면에서는 상당량의 O가 존재하는데 이들은 각각 tunneling 장벽과 blocking 장벽으로써 소자의 특성향상에 상당히 유용하리라 생각된다.
- 4) memory window 크기는 시간에 대수함수적으로 증가하다가 포화되었으며, SiH₄/NH₃ 가스 유량비가 증가함에 따라서 증가하였다. 특히, 유량비가 0.8 이상인 경우에는 폭이 1msec이고 크기가 ± 4.5x10⁶V/cm의 질화막 field를 야기시키는 펄스 전압을 인가하여 5V의 memory window 크기를 얻을 수 있었다.
- 5) SiH₄/NH₃ 가스 유량비에 따른 기억유지특성곡선으로부터 경과 시간에 따라서 flatband 전압의 이동량은 대수함수적으로 감소하였고, decay rate는 가스유량비에 크게 의존하지 않았다. 이상의 두가지 사실로부터 기억전하의 decay기구는 실리콘 기판으로의 back-tunneling 기구가 주도적임을 알 수 있었다. 또한, decay rate는 0.271V/decade ~ 0.627V/decade 범위에 있었다.

이상의 결과로부터, 비휘발성 MNOS 기억소자의 기억특성에 중요한 영향을 미치는 규소질화막을 증착하기 위해서 고온에서 수행되는 기존의 LPCVD나 APCVD방법 대신에 300°C이하의 저온에서 증착 가능한 PECVD방법을 사용하므로써 고온 공정으로 인한 문제점들을 해결할 수 있고, 나아가서 고성능, 고신뢰도의 비휘발성 MNOS 기억소자가 실현될 수 있을 것으로 생각된다.

참고문헌

- 1) P.J.Mcwhorther, S.L.Miller and T.A.Dellin, IEEE Trans. Nucl.Sci., vol.NS-33(6), p.1414 (1986)
- 2) D.Brown, R.V.Jones and R.D.Nasby, Solid-State Electro., vol.28(9), p.877 (1985)
- 3) S.V.Nguen and S.Fridmann, J.Electrochem.Soc., Solid-State Science and Technology, vol.134(9), p.2324 (1987)
- 4) W.A.Landford and M.J.Rand, J.Appl.Phys., vol.49(4), p.2473 (1978)
- 5) A.C.Adams, Solid-State Technology, p.135(April, 1983)
- 6) S.Minami and Y.Kamigaki, IEEE Trans.Electro.Dev., vol.38(11), p.2519 (1991)
- 7) L.Lundkvist, L.Lundström and C.Suenson, Solid-State Electronics, vol.16, p.811 (1973)