

LDD MOSFET의 유효 채널길이 측정법에 관한 연구

박근영 허윤종 이계신 성영권
고려대학교 전기공학과

A Method for Effective Channel Length Extraction
on Lightly Doped Drain MOSFET's

Geun-Young Park, Yoon-Jong Huh, Kye-shin Lee and Yung-Kwon Sung
Department of Electrical Eng. Korea University

Abstract

In this paper, a hybrid method for an effective channel length (L_{eff}) on lightly doped drain (LDD) MOSFET's is proposed. In order to investigate the difference of the gate bias and substrate bias dependence of the L_{eff} among various LDD structures, the L_{eff} of the LDD's are extensively examined using simulations and measurement. One group is proposed for conventional MOSFET and the other group is proposed for LDD MOSFET. It is shown that the V_{bs} -dependence of the n-region is different from V_{gs} -dependence of it.

1. 서론

소자의 집적도가 높아짐에 따라 트랜지스터 소자의 채널길이 짧아져 드레인 접합 가장자리에서의 고전계에 의한 hot electron effect, DIBL(Drain Induced Barrier Lowering) 등 short channel effect가 문제시 되어 왔으며 이의 해결을 위해 LDD, DILDD, DDD 등 소스/드레인에 약 $1.5 \times 10^{10}/\text{cm}^2$ 정도의 농도를 갖는 n-영역을 형성시켜 드레인 전계의 최대값을 낮추려는 노력이 계속되어 왔고 1M DRAM에 이르러서는 LDD MOSFET의 사용이 일반화되었다. 한편 소자의 채널길이 짧아짐에 따라 정확한 유효 채널길이의 측정은 그 트랜지스터의 성능 평가뿐만 아니라 process control 측면에서도 그 중요성을 더해가고 있으나, n-소스/드레인 영역의 게이트 전압의존성 등으로 인해 아직까지도 명확한 측정법이 제시되지 못하고 있는 실정이다.

본 논문에서는 n-소스/드레인 영역을 갖는 트랜지스터의 유효채널길이(L_{eff})를 구하는데 적합한 측정방법을 제시하고 이 측정방법의 신뢰성을 검증하였다.

2. 기존의 방법과 그 정확성의 한계

L_{eff} 측정법에는 크게 resistance를 이용하는 방법과 capacitance를 이용하는 방법이 있으나 측정의 간편성으로 인해 resistance method가 널리 사용되고 있다. Resistance

method는 전성채널저항(R_{ch})과 채널길이와의 선형적 관계를 이용하는 방법으로 모델식은 아래와 같다.(1)

$$I_{ds} = \mu_n C_{ox} \frac{W_{eff}}{L_{eff}} \left[(V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \quad (1)$$

$$\begin{aligned} R_{meas} &= R_{ch} + R_{ext} \\ &= \rho_{ch} \times L_{eff} + R_{ext} \\ &= \rho_{ch} \times (L_{mask} - 2\Delta L) + R_{sd}(V_{gs}) + R_{ext} \end{aligned} \quad (2)$$

$$1/\rho_{ch} = \mu_n C_{ox} W_{eff} \left[(V_{gs} - V_{th}) - \frac{1}{2} V_{ds} \right] \quad (3)$$

여기서 R_{sd} 는 소스/드레인의 확산저항이고, R_{ext} 는 접촉저항과 측정시 외부저항의 합이며 ρ_{ch} 은 단위길이당 채널저항이다. 이 모델식을 이용하여 채널저항을 구하는 경우 첫째, R_{sd} 는 외부전압에 무관하고 둘째, ρ_{ch} 은 채널길이에 무관하다는 두가지 조건을 만족시켜야만 정확한 L_{eff} 를 구할 수 있다.

2-1. Conventional MOSFET의 측정

1) GS method

채널저항이 게이트전압에 선형적 관계가 있음을 이용한 방법으로 기판전압을 고정시킨후 각각의 채널길이에 대하여 채널저항을 plot한다.

2) GD method (Gate Drive Method)

V_{th} fall-off에 의한 오차항을 제거하기 위해 각각의 채널길이에 대해 문턱전압을 측정후 그 V_{th} fall-off값을 고려하여 V_{gs} 를 인가하는 방법이다.(2)

3) SB method (Substrate Bias Method)

V_{gs} 를 일정하게 두고 기판전압을 바꾸어줌으로써 구동전압을 변화시키면서 측정하는 방법이다.(3)

2-2 LDD MOSFET의 측정법

1) Chang's method(4)

전술한 GS method와 근본적으로 같으며 n-영역의 게이트 전압 의존성을 최소화하기 위하여 낮은 V_{gs} 를 사용함으로써 R_{sd} 는 외부전압에 무관하다는 첫째조건에 의한 오차항은 감소시켰으나 ρ_{ch} 은 채널길이에 무관하다는 두번째 조

건을 어김으로써 오차의 원인을 포함하게 되었다.

2) Jiro's method

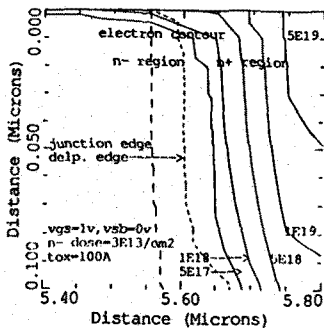
몇가지의 V_{gs} 값을 결정한 후 각 V_{gs} 에서 0.2V씩 증가시켜 가면서 각각의 경우의 대하여 $2\Delta L$ 을 구한다. 그리고 각각의 $L_{eff}(L_{mask}-2\Delta L)$ 를 Y축, 게이트 전압을 X축으로 외삽하여 구한 직선이 문턱전압(V_{th})과 만나는 점을 최종적인 L_{eff} 로 정한다. 측정시 넓은 영역의 값을 사용하므로 오차의 원인을 가진다.

3. 결과 및 고찰

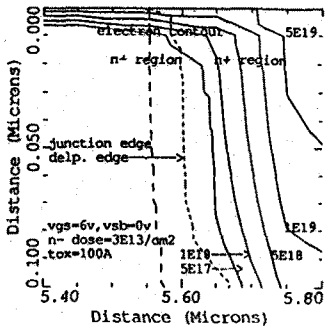
3.1 게이트전압과 기판전압에 따른 n-영역의 변화특성

본 절에서는 n-영역의 게이트 전압 의존성을 n-dose 와 산화막의 두께에 따라 Tsupern3 process simulator 와 Pisces2B device simulator 를 사용하여 검토하였다.

그림 1. 와 그림 2. 는 게이트 전압에 따른 n-영역 표면의 carrier 농도의 contour를 보여준다. 같은 두께의 게이트 산화막에서 보면 V_{gs} 가 증가할수록 표면의 전류밀도가 n-영역으로 확장됨을 알 수 있으며 산화막이 박막화 될수록 게이트 전압 의존성이 커짐을 알 수 있다. n-농도에 따른 게이트 전압 의존성을 보기 위하여 게이트 전압에 따른 실리콘 표면에서의 전자농도를 one dimension simulation 하여 그림 3. 에 나타내었다.

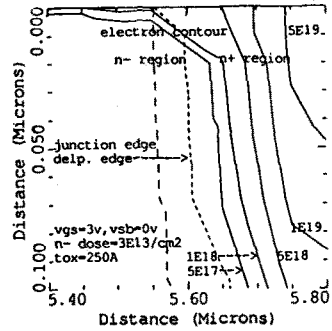


(a) $V_{gs}=1(v)$

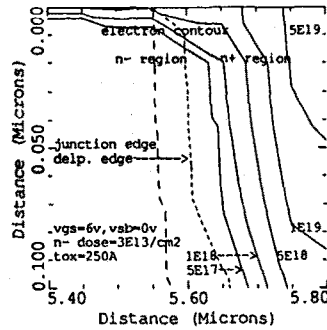


(b) $V_{gs}=6(v)$

그림1. $Tox=100\text{\AA}$ 일때의 V_{gs} 에 따른 캐리어 농도의 contour.



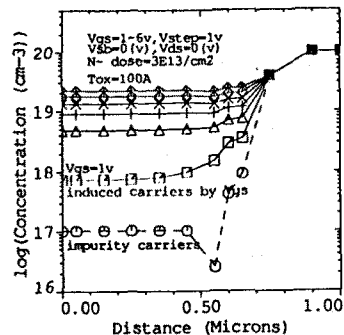
(a) $V_{gs}=1(v)$



(b) $V_{gs}=6(v)$

그림2. $Tox=250\text{\AA}$ 일때의 V_{gs} 에 따른 캐리어 농도의 contour.

(a) n-dose=03E13/cm2



(b) n-dose=0.7E13/cm2

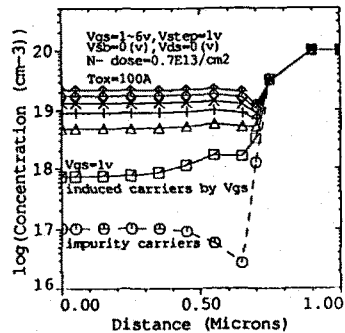
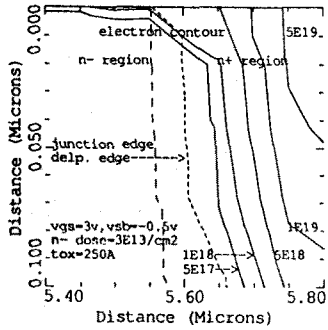
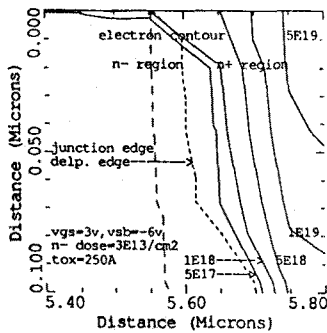


그림3. 드레인 접합 가장자리 표면에서의 캐리어 농도의 게이트 전압 의존성. ($Tox=100\text{\AA}$)

n- 영역의 V_{sb} 의존성을 알아보기 위하여 n-영역의 실리콘 표면에서의 전자의 농도를 시뮬레이션하여 그림 4. 에 나타내었다.



(a) $V_{sb} = -0.5(v)$

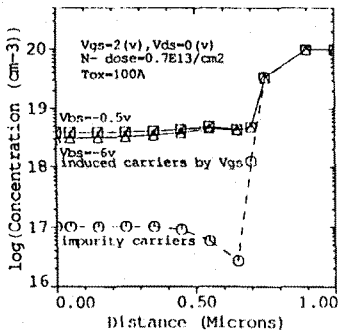


(b) $V_{sb} = -6(v)$

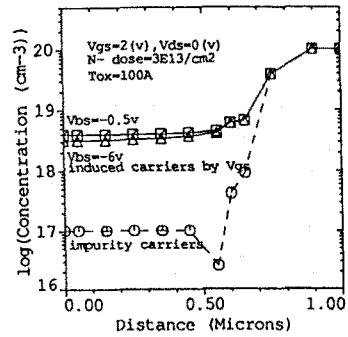
그림 4. $T_{ox} = 250 \text{ \AA}$ 일때의 V_{sb} 에 따른 캐리어 농도의 contour.

그림 5. 는 n-농도에 따른 n-영역의 기판 전압 의존성을 one dimensional 시뮬레이션 한 결과이다. 그림에서 불순물 캐리어의 농도가 최소값을 갖는 점이 metallurgical junction edge 이며 같은 공정조건하에서 게이트 전압을 변화시킨 경우는 n- dose 변화가 n- 영역의 기판 전압 의존성에 아무런 영향을 미치지 않음을 확인할수있다.

지금까지의 시뮬레이션 결과를 종합하여 불꽃 게이트 전압의 변화는 T_{ox} , n- dose 에 따라 정도의 차이는 있으나 n- 영역 표면의 캐리어 농도 변화에 큰 영향을 미쳐 LDD 소자의 L_{eff} 측정시 주된 오차의 원인을 제공하는 반면 기판 전압의



(a) n- dose = $0.7E13/cm^2$



(b) n- dose = $3E13/cm^2$

그림 5. 드레인 접합 가장자리 표면에서의 캐리어 농도의 기판 전압 의존성 ($T_{ox} = 100 \text{ \AA}$)

경우 n- 영역과 기판 사이에 형성되는 공핍층이 n- 영역 표면을 기판 전압으로부터 차폐시켜 V_{sb} 가 n- 영역의 캐리어 농도 변화에 거의 영향을 주지 못함을 알수있다.

3.2 LDD 소자의 metallurgical L_{eff} 평가 및 비교

본 논문에서는 V_{gs} 를 일정하게 유지시키고 기판전압(V_{sb}) 를 가변하여 문턱전압을 조절 함으로서 n- 영역의 V_{gs} 의존성을 제거하였으며, 전하공유에 의한 V_{th} fall-off 역시 V_{sb} 로 보상하여 2장에서 제시한 R_{sd} 는 외부전압에 무관하고 ρ_{ch} 은 채널길이에 무관하다는 두가지 조건을 모두 만족시켰다.

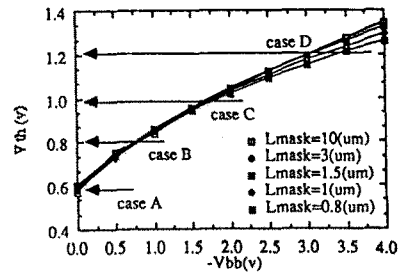


그림 6. 채널길이에 따른 문턱전압의 기판전압 의존성

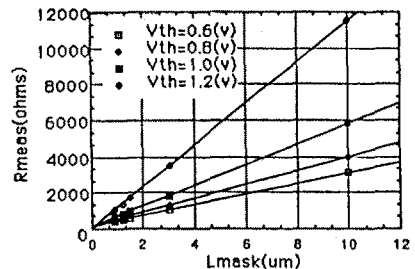


그림 7. 본 논문에서 제안한 방법에 의한 L_{eff} 측정

그림 6. 은 V_{sb} 에 따른 V_{th} 의 변화를 보여준다. 같은 V_{sb} 에서도 V_{th} fall-off 로 짧은 channel 도 길수록 문턱 전압이 낮아 지므로 그림 6.에서 처럼 긴 채널에서의 문턱 전압을

정한 후 짧은 채널에서의 V_{th} fall-out 현상을 기관전압으로 보상에 주었다. 그림 7.은 그 측정 결과이다. 측정 후 $2\Delta L$ 결정의 오차를 최소화하기 위하여 각 직선의 식을 이원 일차 방정식으로 구하여 각 직선들이 만나는 점점($2\Delta L$)을 방정식의 해로부터 구하였고 각 직선들의 상관계수를 구하여 직선의 선형성(linearity)을 확인하였다. 표1 에 여러 측정방법에 따른 측정결과의 표준편차, 상관계수를 나타내었다.

표1. 여러 측정방법에 따른 측정결과 및 신뢰성

$T_{ox}=100\text{\AA}, n\text{-dose}=3E13/cm^2$

method item	GD method	GS method	SB method	Chang's method	Jiro's method	proposed method
표준편차	0.09	0.42	0.27	0.12	0.35	0.005
평균	0.28	-0.12	0.45	0.17	0.23	0.21
상관계수	1.0	0.975	0.983	0.99	0.985	1.0

여기서 표준편차는 외삽한 직선들이 한점에서 만나는 정도를 나타내며, 상관계수는 한 직선상에 있는 측정저항들의 선형성을 나타내므로 측정방법의 신뢰성을 확인하는 기준이 된다. GD method의 경우 상관계수는 1.0, 표준편차는 0.009로 기존의 방법중 가장 좋은 측정결과를 보이나 본 논문에서 제시한 표준편차 0.005 에 비해 상대적으로 큰오차를 포함하고 있음을 알 수 있다. GS method의 경우 simulation에서 예측하였듯이 $2\Delta L$ 이 "-"로 측정되 LDD의 L_{eff} 측정에는 부적합한 방법임을 알 수 있다. SB method는 그 측정치가 0.45로 본측정에 사용된 소자가 $L_{mask}=0.4(\mu m)$ 에서도 동작하는 것으로 미루어 볼때 측정된 결과가 신빙성이 없음을 알 수 있다. 한편 LDD 소자의 측정을 위한 Chang's method와 Jiro's method는 표준편차 및 상관계수가 GD method보다 나쁜 결과를 보이는 데 본 논문에서 제시한 방법에 의해 측정된 $2\Delta L$ 의 정확성을 검증하기 위해 n-dose가 서로 다른 3가지 type의 LDD 소자의 $2\Delta L$ 을 측정하였다. 측정에 사용된 소자의 게이트 산화막은 100 \AA 이며 표2.에 측정결과를 나타내었다.

표2. 본 연구에 의한 n-dose에 따른 $2\Delta L$ 측정결과

n-dose(/ cm^2)	0.7E13	2E13	3E13
$2\Delta L (\mu m)$	0.15	0.19	2.1

표2.에서 보듯이 n-dose에 따른 $2\Delta L$ 의 측정치가 n-dose가 높아질수록 증가하는 결과를 보여 본 논문에서 제시한 측정법이 유용함을 확인 할 수 있다.

5. 결론

기존에 발표된 L_{eff} 측정법을 측정방법에 따라 분류, 정리하였고 이들의 64M DRAM급 이상의 소자에의 적용가능성을 simulation과 측정을 토대로 검토하였다. 그리고 이러한 검토를 토대로 100 \AA 이하의 초박막을 사용하는 LDD 소자에 적합

한 L_{eff} 측정법을 제시하였고, 이 측정법의 타당성을 검증하였다.

참고문헌

- <1> John, G. J. Chern "A new method to determine MOSFET channel length" IEEE Electron Device Letter, Vol. EDL-1, No. 9, p. 170, September, 1980.
- <2> K. Ternda and H. Muta, "A new method to determine effective MOSFET channel length" Japan. J. Appl. phys., Vol. 18, p. 935, 1979.
- <3> B. J. sheu, C. Hu, "Source and drain series resistance of LDD MOSFET's." IEEE Electron Device Letter, EDL-5, p. 365, 1984.
- <4> C. Chang, G. Hu and K. Hui, "Channel length and series resistance extraction for conventional and LDD MOSFET's" Proc. of VLSI Symp. p. 29-30, 1986.
- <5> Jiro Ida, Akio Kita, "A new extraction method for effective channel length on lightly doped drain MOSFET's" Proc. IEEE 1990 Int. Conference on Microelectronic Test Structures, Vol. 3, p. 117, March, 1990