

# 매몰된 island 구조를 갖는 SOI MOSFET 소자의 제안

이 호준, 김 충기

한국과학기술원, 전기 및 전자공학과

A suggestion of the SOI MOSFET device with buried island structure

Ho-Jun Lee, Choong-Ki Kim

Dept. of Elec. Eng., KAIST

**Abstract** - This paper describes a buried-island SOI MOSFET structure which can reduce the edge channel effect by improving the interface properties at the side wall of active island and by reducing the strength of electric field applied at the upper corner of the side wall from the gate. Also, the buried-island SOI structure can obtain the uniform thickness of SOI film. The buried-island structure can be achieved by Zone-Melting-Recrystallization of polysilicon and polishing. Both simulated and experimental results show that the buried-island SOI NMOSFET has less edge channel effect than the conventional SOI NMOSFET using LOCOS or mesa isolation technique.

## 1. 서론

SOI(Silicon On Insulator) MOSFET 소자는 작은 활성채적에 의한 내 방사성과 절연체에 의한 격리로 인한 높은 집적도, 작은 기생용량, latch-up의 부재 등의 잇점이 있는 반면 [1,2], kink 효과 및 edge 채널 효과가 나쁜 영향으로 나타난다.

Kink 효과는 SOI MOSFET 소자의 드레인 근처에서 발생된 소수 캐리어가 채널 내의 중성영역에 축적되어 중성영역의 전위를 변화시키고, 이로 인하여 SOI MOSFET 소자가 소스-중성영역-드레인으로 구성되는 바이폴라 트랜지스터로 작용하여 나타나는 현상이다[3]. 따라서 kink 효과를 제거하기 위해서는 채널 내에 중성영역이 존재하지 않도록 SOI MOSFET 소자를 완전히 공핍된 형태로 만들어야 한다. 완전히 공핍된 SOI MOSFET 소자의 문턱전압은 SOI 박막 두께와 back 계면 특성의 영향도 받게 되므로 [4, 5], 우수한 특성의 SOI MOSFET 회로를 제작하기 위해서는 SOI 박막 두께가 균일하고 back 계면특성이 우수한 SOI 웨이퍼가 필요하다. 현재 주로 이용되고 있는 SOI 구현 방법으로는 SIMOX(Separation by Implanted Oxygen), ZMR(Zone Melting Recrystallization), FIPOS(Full Isolation by Porous Oxidized Silicon), SDB(Silicon Direct Bonding) 등이 있지만 [6-10], SIMOX는 비교적 SOI 박막 두께가 균일한 반면 back 계면특성이 불량하고 두꺼운 매몰 산화막 형성에 제한이 있으며, ZMR은 back 계면 특성이

우수한 반면 SOI 박막 두께가 균일하지 못하다는 단점이 있다. 또 FIPOS는 back 계면 특성이 우수하나 역시 박막 두께가 균일하지 못하고 공정이 복잡하다는 단점이 있으며, SDB는 수백  $\mu\text{m}$  두께의 실리콘을 연마하여야 함으로 인하여 SOI 박막 균일도 조절이 어렵다는 단점이 있다.

Edge 채널 효과는 활성 island의 side wall에서의 큰 고정전하, edge 채널과 front 채널간의 전계 중복으로 인한 전하분배, 그리고 edge에서의 얇아진 박막 등에 의하여 front 채널보다 edge 채널이 먼저 턴-온 되는 현상이며, 주로 SOI NMOSFET 소자에서 발생된다 [11,12]. Edge 채널 효과는 SOI MOSFET 소자 제작에 이용된 격리방법과 깊은 관계가 있는데, 현재 SOI MOSFET 소자 제작에 주로 이용되고 있는 격리방법에는 LOCOS (LOCAl Oxidation of Silicon) 격리방법과 mesa 격리방법이 있다.

LOCOS 격리방법을 이용할 경우, field 산화가 충분하지 않으면 field 산화막과 매몰 산화막 사이에 얇은 실리콘층이 존재하게 되어 완전한 격리를 할 수 없게 되거나, 길고 얇은 SOI 박막으로 형성된 edge가 존재하게 된다. 따라서 완전한 격리를 위해서는 SOI 박막 두께의 약 3배의 산화막 성장에 필요한 산화 조건을 주어야 하는데 [11], 이는 유효 채널 폭을 크게 감소시키는 결과를 초래한다. 또, island의 side wall의 방향이 거의 (111)이므로 front 채널에 비해 훨씬 많은 양의 고정전하가 존재하게 되어 edge 채널의 문턱전압은 작아진다. 특히, 문턱전압이 SOI 박막 두께에 비례하는 완전히 공핍된 SOI MOSFET 소자에서는 island edge에서의 얇아진 SOI 박막에 의해 edge 채널의 문턱전압이 더욱 작아지게 된다. 이러한 이유로 LOCOS 격리방법을 이용하는 경우에는 edge 채널 효과를 없애기 위해 SOI NMOSFET 소자의 edge 채널에 상당한 양의 붕소를 도핑해야 하는데, 이는 유효 채널 폭을 줄이는 또 하나의 원인이 되며, 높아진 붕소 농도로 인해 breakdown 및 edge의 SOI 박막 하부에 중성영역이 존재하게 되어 kink 효과의 원인이 될 수 있다 [13]. 뿐만 아니라 박막이 얇을 경우, LOCOS 공정에서 반드시 수행되어야 하는 buffer 산화막 식각 및 white ribbon

제거를 위한 sacrificial 산화막 식각에 의해 field 산화막이 SOI 박막보다 낮게 됨으로 인해 발생하는 undercutting 은 또 다른 공정상의 문제를 발생시킨다.

Mesa 격리방법은 단지 비등방성 식각에 의해 활성 영역을 구현한다는 데 있어서 LOCOS 격리방법보다 다소 간단하게 생각된다. 그러나 역시 side wall의 방향이 (110)이므로 [113] side wall의 큰 고정 전하와 edge 채널과 front 채널과의 전계 증폭으로 인한 전하 분배에 의해 edge 채널에서의 문턱전압이 작아진다. 그러므로 mesa 격리방법을 이용한 SOI NMOSFET 소자는 LOCOS 격리방법을 이용한 것에 비해 side wall 특성이 비교적 우수하지만, 역시 edge 채널 효과의 제거를 위해서는 edge 채널에 붓소도핑이 필요하다.

이상에서 살펴본 바와 같이, 우수한 특성을 가진 SOI MOSFET 회로 제작을 위해서는 SOI 박막 두께가 균일하고 back 계면 특성이 우수하면서 근본적으로 edge 채널 효과가 작은 격리방법을 이용된 SOI MOSFET 소자를 고안하는 것이 필요하다. 따라서, 본 연구에서는 SOI 박막의 두께 균일도, back 계면 특성, edge 채널 특성을 개선하기 위한 그림 1과 같은 구조를 갖는 SOI MOSFET 소자(매몰된 island SOI MOSFET 소자)를 제안한다.

## 2. 매몰된 island SOI MOSFET 소자의 제안

매몰된 island SOI MOSFET 소자는 그림 2의 (a)와 같이 열적으로 형성된 매몰 산화막에 활성영역을 정의하고, 다결정 실리콘과 CVD 보호 산화막을 증착하여 ZMR 공정을 한 후, 그림 2의 (b)에서 처럼 연마 공정을 통하여 매몰 산화막 내에 균일한 다결정 실리콘 박막을 얻음으로써 가능하다. 이렇게 제작된 매몰 island 박막은 side wall 계면과 back 계면이 같은 공정에 의해 형성되므로 side wall 계면 특성이 back 계면 특성에 근사하게 되어 우수한 특성을 가질 것으로 생각되며, side wall의 산화막이 두꺼우므로 mesa 격리방법에 의해 제작된 SOI MOSFET 소자에 비해 전하분배 효과가 훨씬 작게 된다. 따라서 매몰된 island SOI NMOSFET 소자에서는 LOCOS 및 mesa 격리방법을 이용한 SOI NMOSFET 소자에 비해 edge 채널 효과가 훨씬 작을 것으로 예상된다.

본 연구에서는 매몰 산화막, 다결정 실리콘, CVD 산화막 두께를 각각 1  $\mu\text{m}$ , 2  $\mu\text{m}$ , 1  $\mu\text{m}$  로 하였으며 활성영역 깊이는 120 nm로 하였다. ZMR 하는 동안의 용융된 실리콘의 영김현상을 방지하기 위하여 다결정 실리콘과 산화막 사이에 질소를 주입해야 하는데 [14], 이를 위해 ZMR 공정전에 1000  $^{\circ}\text{C}$ , 1 시간 동안 암모니아 분위기에서 열처리 하였다. 그림 2 (c)는 앞의 시편을 제결정화 한 후의 현미경 사진을 나타내며 부입계(sub-grain boundary) 간격이 약 150  $\mu\text{m}$ 로 나타남을 볼 수 있고 더욱더 향상된 특성의 박막을 얻기 위해서는 seeding 및 entrapment 기법의 도입이 필요하다. 제결정된 실리콘의 연마를 위해 폴리우레탄 패드와 armin 계 연마재를 사용하였으며, 산화막이 연마되는 속도가 실리콘이 연마되는

속도보다 훨씬 작으므로 field 영역의 산화막이 노출되더라도 활성영역의 깊이는 변하지 않게 되므로 연마가 완료되면 활성층에는 SOI 박막만 남게되며 그림 2(d)에 나타나 있다. 이러한 방법은 약 2  $\mu\text{m}$  두께의 실리콘만을 연마하면 되므로 수백  $\mu\text{m}$  두께의 실리콘을 연마하여야 하는 SDB 방법에 의해 제작된 SOI MOSFET 소자에 비해 SOI 박막 두께가 균일하고, ZMR 에 의해 SOI 박막이 형성되어 back 계면 특성이 우수하므로 향상된 특성의 SOI MOSFET 회로 제작이 가능하다. 연마된 시편에  $2 \times 10^{12}/\text{cm}^2$ 의 붓소를 이온 주입한 후 30 nm의 게이트 산화막을 성장 시키고  $n^+$  다결정 실리콘 게이트를 가지는 매몰 island SOI NMOSFET을 제작 하였다.

그림 3은 같은 조건을 가진 mesa 격리방법에 의한 SOI NMOSFET 소자와 매몰된 island SOI NMOSFET 소자의 edge 채널에서의 전자분포를 2차원 시뮬레이션한 것이며, 매몰된 island SOI NMOSFET 소자의 edge에서의 전자농도 분포 영역이 mesa 격리에 의한 SOI NMOSFET 소자에 비해 작아 edge 채널 효과가 작음을 알 수 있다. 그림 4는 매몰된 island SOI NMOSFET 소자와 LOCOS 격리 방법을 이용한 SOI NMOSFET 소자의 Id-Vg 특성 곡선을 비교한 것이며, 매몰된 island SOI NMOSFET 소자의 edge 채널 효과가 훨씬 작음을 알 수 있다.

## 3. 결론

SOI 박막 두께가 균일하고 back 계면 특성이 우수하며, edge 채널 효과가 기존의 LOCOS 및 mesa 격리방법을 이용한 SOI MOSFET 소자보다 작아지는 새로운 구조인 매몰된 island SOI MOSFET 소자를 제안하고 제작하였다. 2차원 시뮬레이션과 제작한 매몰된 island SOI NMOSFET 소자의 Id-Vg 특성을 측정 한 결과 매몰된 island SOI NMOSFET 소자의 edge 채널 효과가 LOCOS 나 mesa 격리방법에 의한 SOI NMOSFET 소자에 비해 크게 작아짐을 알 수 있었다.

## 참고 문헌

1. M. Toshiomi et al., *IEEE Trans. Electron Devices*, 36, 493 (1986).
2. J. P. Colinge, *Technical Digest IEDM*, 817 (1989).
3. J. P. Colinge, *IEEE Electron Device Letters*, Vol. 9, No. 2, 97-99 Feb. (1988).
4. H. K. Lim, J. G. Fossum, *IEEE Tran. on Electron Devices*, Vol 30, No. 10 Oct. (1983).
5. J. P. Colinge, *IEEE Trans. on Electron Devices*, Vol. 37, No. 3, 718-723, March(1990).
6. H. T. Weaver, *IEEE Circuit and Devices Magazine*, 3-5, July (1987).
7. K. L. Lzumi, M. Doken, H. Ariyoshi, *Electron Lett.*, VOL. 14, 593-594, (1978).
8. B. Y. Tsaur, *IEEE Circuit and Devices Magazine*, 12-16, July(1987).
9. K. Imai, H. Unno, *IEEE Trans. on Electron Devices*, Vol. 31, No.

3, 297-302, March(1984).

10. T. Hamaguchi et al., *IEDM*, 688-690(1985).

11. M. Haond, O. L. Neel, *Solid State Tech.* 47-52, July (1991).

12. D. J. Foster, *Electron Lett.* Vol. 19, 684(1983).

13. M. Matloubian, B-Y. Mao, G. P. Pollack, presented at the *SOS/ISOI Tech. Workshop*, (1988).

14. C. K. Chen et al., *MRS*, Vol.53, 53-58(1986).

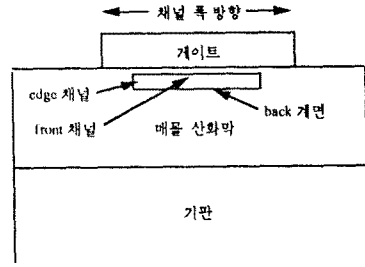
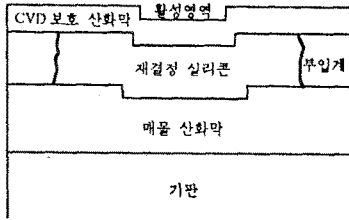
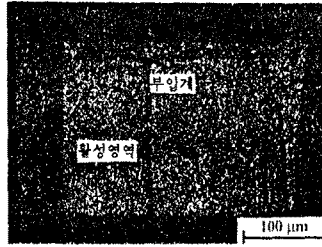


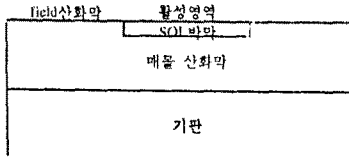
그림 1. 매몰된 island SOI MOSFET 의 구조



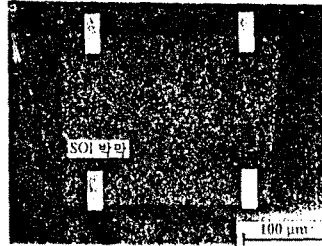
(a) ZMR 공정



(c) ZMR 공정후의 평면 현미경 사진

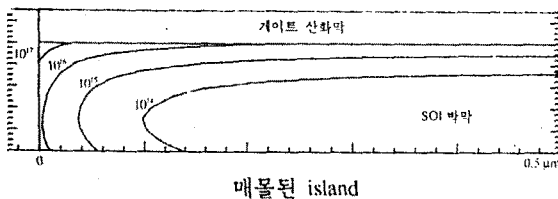
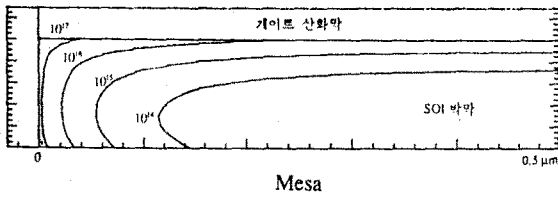


(b) 연마 공정



(d) 연마 공정후의 평면 현미경 사진

그림 2. 매몰된 island SOI 박막을 형성하기 위한 공정도(a, b) 및 평면 현미경 사진 (c, d)



게이트 산화막 두께 : 300 Å  
 SOI 박막 두께 : 1000 Å  
 매몰 산화막 두께 : 1 μm  
 mesa 구조 SOI NMOSFET 소자의 side wall 산화막 두께 : 300 Å  
 붕소 도핑 농도 :  $4 \times 10^{16} / \text{cm}^3$   
 front 채널 계면에서의 고정전하 밀도 :  $1 \times 10^{18} / \text{cm}^2$   
 back 채널 및 side wall 계면에서의 고정전하 밀도 :  $1 \times 10^{17} / \text{cm}^2$   
 n+ 다결정 실리콘 게이트, p 형 기판 사용  
 게이트 전압 : 0.2 볼트  
 기판 전압 : 0 볼트  
 front 채널의 분극전압 : 0.3 볼트

그림 3. 2차원 시뮬레이션에 의한 Mesa 격리된 SOI NMOSFET 소자와 매몰된 island SOI NMOSFET 소자의 edge 채널에서의 전자분포.

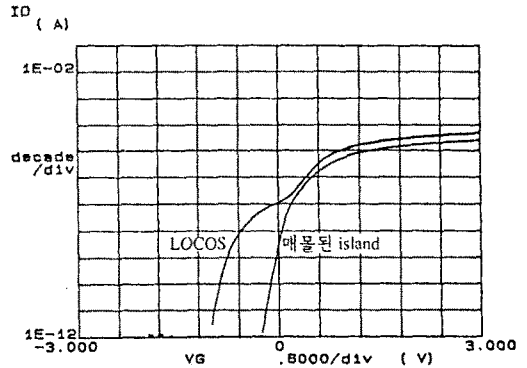


그림 4. 측정된 LOCOS 격리된 SOI NMOSFET 소자와 매몰된 island SOI NMOSFET 소자의 Id-Vg 특성 곡선