

1 μ m CMOS 소자의 대칭적인 문턱전압 결정을 위한 최적 이온주입 시뮬레이션

서 용진*, 최 현식, 이 철인, 김 태형, 김 창일, 장 의구

중앙대학교 전기공학과

Simulation of optimal ion implantation for symmetric threshold voltage determination of 1 μ m CMOS device

Yong-Jin Seo*, Hyun-Sik Choi, Cheol-In Lee, Tae-Hyung Kim, Chang-Il Kim, Eui-Goo Chang

Dept. of Electrical Eng., Chung-Ang Univ.

ABSTRACT

We simulated ion implantation and annealing condition of 1 μ m CMOS device using process simulator, SUPREM-II. In this simulation, optimal condition of ion implantation for symmetric threshold voltage determination of PMOS and NMOS region, junction depth and sheet resistance of source/drain region, impurity profile of each region are investigated. Ion implantation dose for 3 μ m N-well junction depth and symmetric threshold voltage of $|0.6| \pm 0.1$ V were $1.9E12Ca^{-2}$ (for phosphorus), $1.7E12Ca^{-2}$ (for boron) respectively. Also annealing condition for dopant activation are examined about 900°C, 30 minutes. After final process step, N-well junction, P+ S/D junction and N+ S/D junction depth are calculated 3.16 μ m, 0.45 μ m and 0.25 μ m respectively.

I. 서론

NMOS 와 PMOS 소자의 Complementary 특성을 갖는 CMOS 회로는 오프 상태에서 트랜지스터의 누설전류에 의해 전력 소모가 결정되기 때문에 문턱전압과 Subthreshold 기울기는 소자 특성에 매우 중요한 파라미터이다. (1,3) 특히, 우수한 논리회로를 구현하기 위해서는 NMOS 와 PMOS 소자의 문턱전압이 같은값(절대값)을 가지면 이상적이다. 그러나 제조 공정상 NMOS 소자는 n⁻ S/D 영역과 p형 기판사이의 기판전류와 기상정전용량을 감소시키기 위하여 낮은 기판농도를 갖고, PMOS 소자를 갖는 N-Well 영역은 비저항을 낮추어 Latch-up을 감소시키고, PMOS 소자의 벌크의 Punchthrough를 피하기 위하여 p형 기판보다 약 1승 정도 높은 불순물 농도를 갖기 때문에 게이트 물질과 기판사이의 일함수 차이에 기인하여 NMOS와 PMOS소자의 문턱전압은 비대칭을 나타낸다. (2) 따라서 이를 보상하여 문턱전압을 대칭적으로 만들기 위해 NMOS소자의 p형 기판농도를 올려

주고, PMOS 소자의 N-Well농도를 낮추기 위해 채널에 보론을 이온주입하는 Counter-Doping기법이 일반적으로 사용되고 있다. (1,2)

본 연구에서는 n⁺ 다결정 실리콘을 게이트로하는 1 μ m CMOS소자에 필요한 공정 및 전기적 파라미터를 설정하고, PMOS와 NMOS 소자의 대칭적인 문턱전압 결정을 위한 최적 이온주입 조건, n⁻, p⁻ 소오스/드레인 영역의 어닐링 조건에 따른 접합깊이 및 면저항, 각 영역에서의 도판트 프로파일을 SUPREM (4)을 이용하여 시뮬레이션 하였다.

II. 단위공정 시뮬레이션

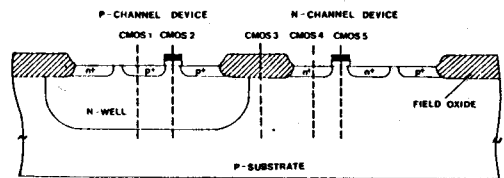


그림 1. N-Well CMOS 소자의 시뮬레이션 영역 단면

본 연구에서 고찰한 N-Well CMOS소자의 각 시뮬레이션 영역 단면은 그림 1과 같다. 5개의 영역으로 나누어 시뮬레이션 하였으며, 표 1에 $|0.6| \pm 0.1$ V의 대칭적인 문턱전압을 갖는 1 μ m CMOS 소자제작에 필요한 대표적인 공정 조건 및 전기적 파라미터의 목표값을 나타내었다. 각 단위공정의 목표값들을 만족시키기 위해 SUPREM으로 시뮬레이션을 반복 실행하여 각각의 최적 공정조건을 얻었으며, 최종적인 시뮬레이션 프로그램에 Setting하여 각 영역별 주요 파라미터인 문턱전압(V_T), 접합깊이(X_J), 면저항(R_s)등을 고찰 하였다.

III. 문턱전압 조정을 위한 최적 이온주입 시뮬레이션

시뮬레이션 작업을 효율적으로 수행하기 위해 PMOS와

표 1. 공정 목표값 및 시뮬레이션 결과

Process step	Target value	Condition
Initial OX	2200 Å	1000 °C, 32 min, Wet O ₂
N-Well dose	X _j = 3.0 μm R _s = 3.5 KΩ/□	Elem. = P, 1.5-2.5E12cm ⁻² 100 Kev
N-Well drive-in time	900 min	1150 °C, 700 min, N ₂ 1150 °C, 200 min, Dry O ₂
Buffer OX	250 Å	950 °C, 30 min, Dry O ₂
Field I/I	V _T = 13 V	Elem. = B, 2.5E13cm ⁻² , 100 Kev
Field OX	5500 Å	1000 °C, 190 min, Wet O ₂
Sacrificial OX	250 Å	850 °C, 30 min, Wet O ₂
V _T adjusting I/I	PMOS : 0.6 ± 0.1 V NMOS : 0.6 ± 0.1 V	Elem. = B, 1.5-2.0E12cm ⁻² 35 Kev
Gate OX	250 Å	850°C, 30 min, Wet O ₂
n ⁻ -S/D I/I	X _j = 0.2 μm R _s = 50 Ω/□	Elem. = As, 2E15 cm ⁻² , 140 Kev
n ⁻ -S/D anneal		900°C, 30 min, N ₂
p ⁻ -S/D I/I	X _j = 0.4 μm R _s = 80 Ω/□	Elem. = B, 2E14 cm ⁻² , 35 Kev
p ⁻ -S/D anneal		900°C, 30 min, N ₂

NMOS 소자의 문턱전압을 기대값(0.6 ± 0.1 V)에 접근시키기 위한 주요변수로 N-Well 이온 Dose(D_w), Counter-doping dose(D_c)와 에너지(E_c)로 정하고, 이들 주요 파라미터로만 구성된 간단한 테스트 프로그램을 작성한 다음 D_w, D_c, E_c를 반복적으로 조합함으로써 0.6 ± 0.1 V의 문턱전압을 얻기위한 적절한 범위를 구하였다.

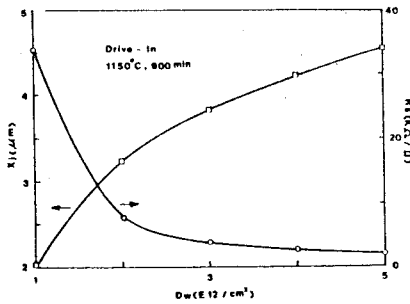


그림 2. N-Well dose에 따른 접합깊이와 면저항의 관계 (D_c=2.0E12cm⁻², E_c=35 Kev)

그림 2는 N-Well 드라이브 인을 1150 °C, 900분으로 고정 시킨 경우, N-Well Dose에 따른 접합깊이(X_j)와 면저항(R_s)과의 관계를 나타낸 것이다. Well dose 증가에 따라 접합깊이와 면저항이 처음에는 급격한 변화를 보이다가 차츰 그 변화량이 감소 하였다. 이 그림에서 Well dose가 약 1.5 - 2.5E12cm⁻² 정도이면 접합깊이와 면저항값이 원하는 목표값 3μm, 3.5 KΩ/□에 근접함을 알 수 있다. 또한 Counter-doping dose가 2.0E12cm⁻²인 경우, D_w에 따른 Well 깊이와 문턱전압의 관계를 그림 3에 나타내었다. 그림 2에서 목표값 3 μm의 Well 깊이를 갖는 경우 면저항값이 10 KΩ/□정도로 다소 높은값을 나타내어 Well의 Latch-up이 예상되지만 2.5E12cm⁻²의 Well dose를 사용하

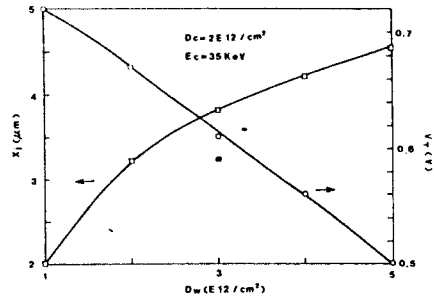
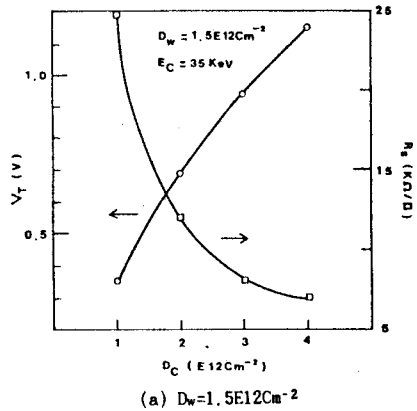


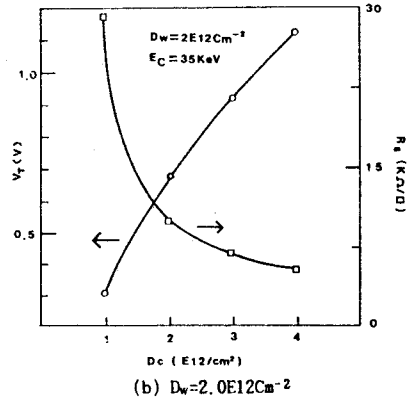
그림 3. N-Well dose에 따른 접합깊이와 문턱전압 (1150 °C, 900분)

여 Well 깊이를 약 3.5 μm로 증가 시키면 면저항값을 목표값에 접근함을 알 수 있다. 그림 3의 전체 Well dose 구간에서 문턱전압은 목표값(0.6 ± 0.1 V)을 만족 하였다.

그림 4의 (a)와 (b)는 E_c=35 Kev이고 N-Well dose는 각각 1.5E12cm⁻², 2.0E12cm⁻² 일경우 Counter-doping dose에 따른 PMOS 소자의 문턱전압과 면저항과의 관계를 나타



(a) D_w=1.5E12cm⁻²



(b) D_w=2.0E12cm⁻²

그림 4. D_c에 따른 PMOS 소자의 문턱전압과 면저항 낸 것이다. 두 경우 모두 문턱전압은 1.5 - 2.0E12cm⁻²의 Counter-doping dose 범위에서 목표값을 거의 만족하였고, 면저항은 다소 높은값을 나타내었다. 그림 2와 3에서 보인 N-Well의 접합깊이 3 μm를 고려하면 약 1.9E12cm⁻² 정도

의 N-Well dose가 적합하다고 볼 수 있다.

그림 5에 $E_c=35$ keV일 때, Counter-doping dose에 따른 NMOS 소자의 문턱전압과 면저항과의 관계를 나타내었다.

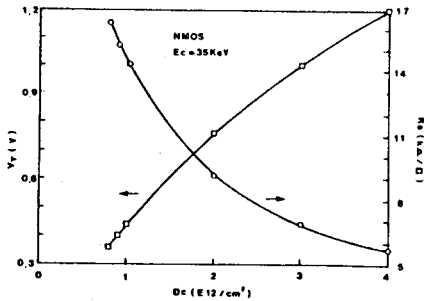


그림 5. Dc에 따른 NMOS 소자의 문턱전압과 면저항

문턱전압과 면저항의 최적값을 얻기위한 Dc는 1.7 - 1.9E12 Cm^{-2} 가 적당하다. 그림 4의 PMOS 결과와 그림 5의 NMOS 결과를 비교하면, 본 연구의 공정 조건에서는 PMOS와 NMOS소자의 대칭적인 문턱전압을 동시에 만족시킬 수 있는 Dose(Dc)는 약 1.7E12 Cm^{-2} 임을 평가할 수 있다.

IV. n⁻, p⁻ S/D 영역의 접합깊이 및 면저항 시뮬레이션

그림 6은 p⁻ S/D 영역의 이온주입량에 따른 접합깊이와 면저항을 나타낸 것이다. 대표적인 900 °C, 30분의 어닐링조건에서 1.5 - 2.0E14 Cm^{-2} 정도면 목표값 0.4 μ m의 접합깊이와 80 Ω/\square 의 면저항값을 만족시키지만 특히, 면저항값이 본 연구의 목표값(80 Ω/\square)보다 높은데 이는 Well 농도가 기대값(2E16 Cm^{-3})보다 다소 낮기 때문인 것으로 생각된다.

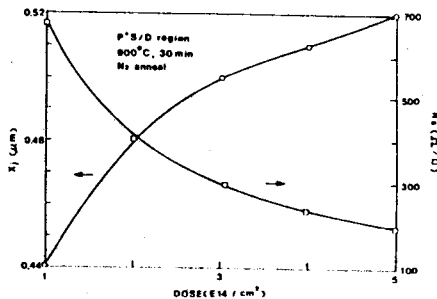


그림 6. p⁻ S/D 영역의 이온주입량에 따른 접합깊이와 면저항 관계

n⁻ S/D 영역에 대한 접합깊이와 면저항의 관계는 그림 7에 나타내었다. 그림 6과 동일한 어닐링조건인 경우, 2.0 - 2.2E15 Cm^{-2} 의 Dose에서 목표값(0.2 μ m, 50 Ω/\square)을 만족시키며, Dose 증가에 따라 면저항이 급격히 감소함을 볼 수 있다.

그림 8 과 그림 9는 p⁻, n⁻ 소스/드레인 형성을 위해 각각 2E14 Cm^{-2} 의 boron과, 2E15 Cm^{-2} 의 arsenic을

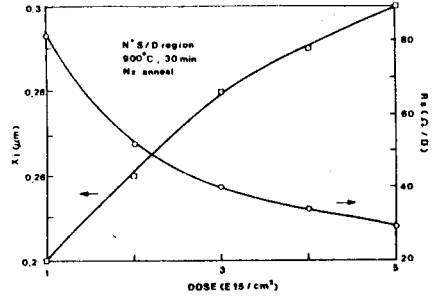


그림 7. n⁻ S/D 영역의 이온주입량에 따른 접합깊이와 면저항 관계

이온주입한 경우, 어닐링 시간을 30분으로 고정하고 어닐링 온도를 변화시켜 얻은 접합깊이와 면저항의 변화를 나타낸 것이다. 900 °C 에서부터 접합깊이는 현저히 증가하고 면저항도 감소하므로 도판트의 전기적 활성화를 위해 적합한 어닐링 온도라고 예측할 수 있다. Dose의 증가나 어닐링 온도의 상승으로 도판트 활성화 정도를 증가시킬 수 있었으며, 접합깊이와 면저항의 목표값에 근접하는 최적 이온 주입량은 p⁻ S/D 영역은 약 2E14 Cm^{-2} , n⁻ S/D 영역은 약 2E15 Cm^{-2} 이고, 어닐링 조건은 900 °C, 30분 정도

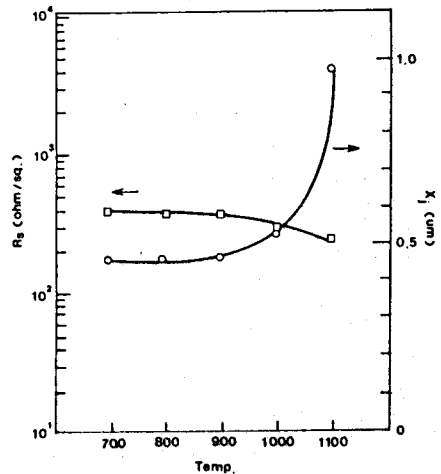


그림 8. p⁻ S/D 영역의 어닐링 온도에 따른 변화 (boron, 2E14 Cm^{-2})

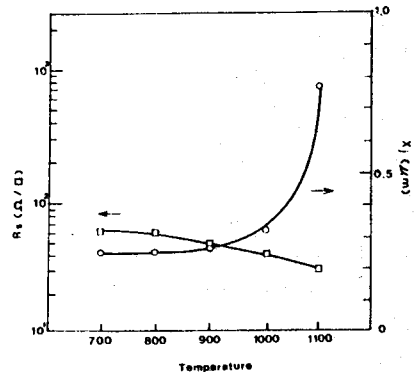


그림 9. n⁻ S/D 영역의 어닐링 온도에 따른 변화 (arsenic, 2E15 Cm^{-2})

가 적당하다고 생각된다. 그림 10에 소자 제조공정 중의 연속적인 Thermal cycle에 의존하는 각 영역의 최종적인 도판트 프로파일을 나타내었다. 그림 10의 (a)와 (b)의 경우는 각각 p⁻, n⁻ 소오스/드레인 접합의 도판트 프로파일이며 접합깊이는 각각 0.45 μm, 0.25 μm 이었다. 또한 그림 10의 (c)와 (d)는 p 채널, n 채널에서의 도판트 프로파일을 나타낸 것이다. 대칭적인 문턱전압 조정을위해 35 Kev에서 1.7E12Cm⁻³ dose의 보론을 이온주입 함으로써 p형 기판농도는 2.0E15Cm⁻³에서 약 1승 정도 증가하였고 N-Well 농도는 9E15Cm⁻³에서 약 5E15Cm⁻³ 까지 감소함을 알 수 있다.이처럼 대칭적인 문턱전압 조절을 위한 Counter-doping의 역할은 충분하였으나 초기의 Well 이온 주입조건인 100 Kev, 1.9E12Cm⁻²의 Dose는 목표한 3 μm의 Well 깊이는 만족 시키지만 기판농도보다 약 1승 정도 높은 Well 농도를 만들지 못하여 그림 2와 같이 Well의 면저항이 다소 높은 것으로 생각된다. 각 채널에서의 Counter-Doping 접합깊이(Y_J)는 n 채널은 약 0.2 μm, p 채널은 약 0.15 μm 이었다.

V. 결론

1 μm CMOS 공정에 필요한 파라미터를 설정하고 시뮬레이션에 의해 |0.6| ± 0.1 V의 대칭적인 문턱전압 결정을 위한 최적 이온주입 및 어닐링조건을 고찰하여 보았다. 3 μm의 N-Well 깊이와 |0.6| ± 0.1 V의 대칭적인 문턱전압을 만족하는 이온주입량은 각각 1.9E12Cm⁻², 1.7E12Cm⁻² 이었고, 도판트 활성화를 위한 어닐링조건은 900°C, 30분 정도가 적합한 것으로 조사되었다. 또한 N-Well 깊이, p⁻-S/D 접합깊이, n⁻-S/D 접합깊이는 각각 3.16 μm, 0.45 μm, 0.25 μm 이었다.

참고 문헌

1. K. M. Cham, S. Y. Oh, D. J. Chin and J. L. Moll, *Computer-Aided Design and VLSI Device Development*, Kluwer Academic Publishers, 1986.
2. A. Stolmeijer, " A Twin-Well CMOS Process Employing High Energy Ion Implantation ", IEEE Trans. on Electron Device, Vol. ED-33, No. 4, pp. 450 - 457, 1986.
3. T. Shibata, K. Hieda, M. Sato, M. Konaka, R. I. M. Dang, and H. Iizuka, " An Optimally Designed Process for Submicrometer MOSFET's ", IEEE Trans. on Electron Device, Vol. ED-29, No. 4, pp. 531 - 535, 1982.

4. D. A. Antoniadis and R. W. Dutton, " Models for Computer Simulation of Complete IC Fabrication Process ", IEEE Trans. on Electron Device, Vol. ED-26, No. 4, pp. 490 - 500, 1979.

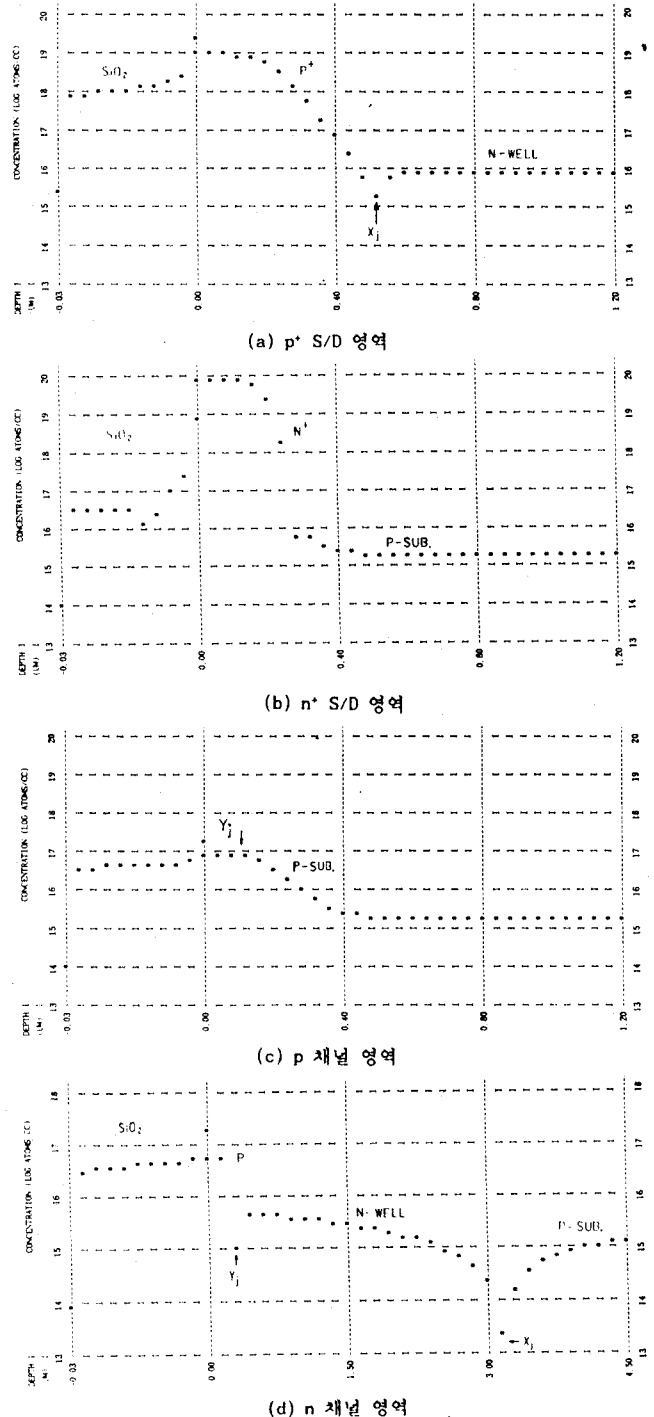


그림 10. 각 영역의 도핑 프로파일