

비정질 실리콘 박막 트랜지스터의 2차원적 수치 분석

오주인수, 한민구
서울대학교 전기공학과

2-Dimensional Numerical Simulation of Inverted-staggered type Amorphous Silicon TFT

오주인수, 한민구
Seoul National University

ABSTRACT

The current-voltage characteristics of inverted-staggered type a-Si TFT has been successfully obtained by 2-D simulation using Finite Difference Method. Potential and charge distributions in a-Si TFT's has been calculated by considering localized states in the forbidden gap. The results of numerical simulation have good agreement with the our experimental data.

1. 서론

비정질 실리콘 박막 트랜지스터(a-Si TFT)는 W.E. Spear^[1] 등에 의해 비정질 실리콘에 존재하는 국부 상태를 계산하기 위하여 처음으로 소개된 이후 평판 액정 표시기^[2](Liquid-Crystal Display, LCD) 및 영상 감지 소자^[3](Image sensor) 등의 구동 소자로서 많은 연구가 진행되어 왔다. 그러나, 비정질 실리콘 박막 트랜지스터는 결정질 실리콘 MOSFET와 달리 국부 상태(Localized States)의 존재 및 구조적 상이점^{[4][5]} 때문에 특성에 대한 정확한 해석이 용이하지 못하다. 또한 기존의 대부분의 수치 해석 모델은 채널 부분에 국한한 1차원적 해석에 의해 수행되어 왔다.

그러한, 1차원적 모델로서는 비정질 실리콘과 절연체의 두께 소오스 및 드레인 전류의 전극의 게이트전극과의 중첩 정도 등의 영향에 의한 전계 및 전하의 분포를 예측하는 것은 불가능하다.

따라서 본 연구에서는 F.D.M. (Finite Difference Method)을 이용하여 비정질 실리콘 박막 트랜지스터의 2차원적 수치 해석기(simulator)를 정립하고 2차원적으로 각 단자 전압에 대한 소자의 특성을 해석하였다.

2. 해석 방법

비정질 실리콘 트랜지스터의 전계와 전하 분포를 구하기 위해 F.D.M.을 이용하여 Poisson 방정식과 continuity 방정식 전류 방정식을 연립하여 풀었다.

2-1) 기본 방정식

소자를 해석하기 위한 기본 방정식은 다음과 같다.

Poisson Equation

$$\nabla^2 \Phi = \frac{q}{\epsilon} (n - p) \quad (1)$$

continuity equation

$$\nabla \cdot J_n - q \frac{\partial n}{\partial t} = q \cdot R(\Phi, n, p) \quad (2)$$

current equation

$$J_n = -q(\mu_n \cdot n \cdot \nabla \Phi - D_n \cdot \nabla n) \quad (3)$$

식 (3)을 식 (2)에 대입하여 3개의 미분 방정식을 Φ, n, p 의 2개의 변수에 대하여 얻었다. 여기에서, a-Si TFT는 inherently n⁺ type 이고 majority carrier device 이며 steady한 상태에서 방정식을 풀다고 생각하면 hole current J_p , recombination rate R , $\partial n / \partial t$ 등은 무시할 수 있다^[6].

$$\nabla^2 \Phi = \frac{q}{\epsilon} (n + N_t) = 0 \quad (4)$$

$$\nabla \cdot (D_n \cdot \nabla n - \mu_n \cdot n \cdot \nabla \Phi) = 0 \quad (5)$$

2-2) 해석 영역과 경계 조건

비정질 실리콘 박막 트랜지스터의 해석 영역은 그림1과 같다.

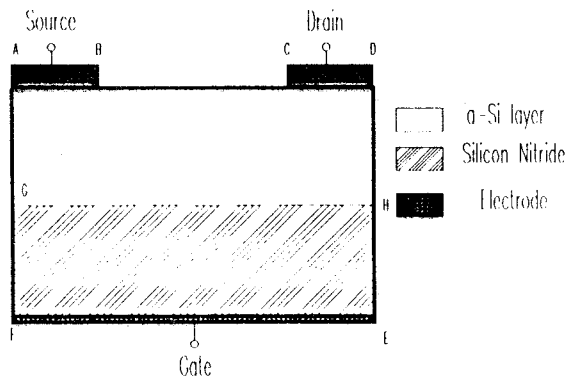


그림 1. inverted-staggered 형의 a-Si TFT.

경계 조건은 두 가지로 나눌 수 있는데 하나는 물리적인 경계 (physical boundary)와 다른 하나는 인위적인 경계 (artificial boundary)이다. 그림 1.의 TFT 구조에서 물리적인 경계는 A - B, C - D, E - F, G - H 이고 인위적인 경계는 B - C, D - E, F - A 이다. 여기서 A - B, C - D, E - F는 ohmic contact로서 전위는 외부 인가 전압과 built-in 전위의 합으로 나타내어진다. 또 G - H는 비정질 실리콘과 절연체의 경계층으로서 식 6)을 만족한다.

$$\epsilon_{sem} \cdot \frac{\partial \Phi}{\partial n} \Big|_{sem} - \epsilon_{ins} \cdot \frac{\partial \Phi}{\partial n} \Big|_{ins} = Q_{int} \quad (6)$$

여기서 ϵ_{sem} , ϵ_{ins} : 각 매질에서의 유전율
 Q_{int} : 경계에서의 전하

2-3) F.D.M. (Finite Difference Method) [1][9]

본 연구에서는 a-Si TFT를 해석하기 위하여 five-point 차등 방정식을 사용하였다. 실제로 A-D-G-H region에서는 Poisson 방정식을 풀고 G-H-F-E region에서는 $\nabla^2 \Phi = 0$ 인 Laplace 방정식을 푼다.

A-B, C-D region에서는 $\Phi = \Phi_D - \Phi_B$

B-C region에서는

$$\frac{\partial \Phi}{\partial y} \Big|_{i,j-1/2} = - \frac{\partial \Phi}{\partial y} \Big|_{i,j+1/2} \quad (7)$$

A-G region에서는

$$\frac{\partial \Phi}{\partial x} \Big|_{i-1/2,j} = - \frac{\partial \Phi}{\partial x} \Big|_{i+1/2,j} \quad (8)$$

D-H region에서는

$$\frac{\partial \Phi}{\partial x} \Big|_{i+1/2,j} = - \frac{\partial \Phi}{\partial x} \Big|_{i-1/2,j} \quad (9)$$

한편 interface에서는 $y = y_m$ 에서 interface와 만난다면 $y > y_m$ 이면 절연층이 되고 $y < y_m$ 이면 비정질 실리콘 층이 된다.

$$\left[\begin{aligned} & \frac{\Phi_{i+1,m} - \Phi_{i,m}}{H_i} - \frac{\Phi_{i,m} - \Phi_{i-1,m}}{H_{i-1}} + \\ & \epsilon_{ins} \frac{\Phi_{i+1,m} - \Phi_{i,m}}{K_m} - \epsilon_{sem} \frac{\Phi_{i,m} - \Phi_{i-1,m}}{K_{m-1}} + Q_{int} \end{aligned} \right] \cdot \frac{1}{(\epsilon_{ins} K_m + \epsilon_{sem} K_{m-1})/2} = 0 \quad (10)$$

한편 continuity 방정식을 보면

$$\frac{\partial}{\partial x} \left(D_n \frac{\partial n}{\partial x} - \mu_n n \frac{\partial \Phi}{\partial x} \right) + \frac{\partial}{\partial y} \left(D_n \frac{\partial n}{\partial y} - \mu_n n \frac{\partial \Phi}{\partial y} \right) = 0 \quad (11)$$

Poisson 방정식과 같은 방법으로 차등 방정식으로 바꿔 정리하면

$$\begin{aligned} & n_{i,j-1} \cdot D_n \Big|_{i,j-1/2} \cdot B \left[\frac{\Phi_{i,j-1} - \Phi_{i,j}}{U_t} \right] \cdot \frac{H_{i-1} + H_i}{2K_{j-1}} \\ & + n_{i-1,j} \cdot D_n \Big|_{i-1/2,j} \cdot B \left[\frac{\Phi_{i-1,j} - \Phi_{i,j}}{U_t} \right] \cdot \frac{K_{j-1} + K_j}{2H_{i-1}} \\ & + n_{i+1,j} \cdot D_n \Big|_{i+1/2,j} \cdot B \left[\frac{\Phi_{i+1,j} - \Phi_{i,j}}{U_t} \right] \cdot \frac{K_{j-1} + K_j}{2H_i} \\ & + n_{i,j+1} \cdot D_n \Big|_{i,j+1/2} \cdot B \left[\frac{\Phi_{i,j+1} - \Phi_{i,j}}{U_t} \right] \cdot \frac{H_{i-1} + H_i}{2K_j} \\ & n_{i,j} \left[-D_n \Big|_{i,j-1/2} \cdot B \left[\frac{\Phi_{i,j} - \Phi_{i,j-1}}{U_t} \right] \cdot \frac{H_{i-1} + H_i}{2K_{j-1}} \right. \\ & + D_n \Big|_{i-1/2,j} \cdot B \left[\frac{\Phi_{i,j} - \Phi_{i-1,j}}{U_t} \right] \cdot \frac{K_{j-1} + K_j}{2H_{i-1}} \\ & + D_n \Big|_{i+1/2,j} \cdot B \left[\frac{\Phi_{i,j} - \Phi_{i+1,j}}{U_t} \right] \cdot \frac{K_{j-1} + K_j}{2H_i} \\ & \left. + D_n \Big|_{i,j+1/2} \cdot B \left[\frac{\Phi_{i,j} - \Phi_{i,j+1}}{U_t} \right] \cdot \frac{H_{i-1} + H_i}{2K_j} \right] = 0 \quad (12) \end{aligned}$$

여기에서 확산 계수는 다음과 같고

$$D_n \Big|_{i+1/2,j} = (D_n \Big|_{i,j} + D_n \Big|_{i+1,j}) / 2 \quad (13)$$

Bernoulli 함수 B(x)는 다음과 같이 정의하였다.

$$B(x) = \begin{cases} x \leq x_1 & -x \\ x_1 < x < x_2 & x/\exp(x)-1 \\ x_2 \leq x < x_3 & 1-x/2 \\ x_3 < x < x_4 & \text{hexp}(-x)/1-\text{exp}(-x) \\ x_4 \leq x < x_5 & \text{hexp}(-x) \\ x_5 \leq x & 0 \end{cases}$$

그리고 $U_t = k \cdot T/q$ 이다.

2-4) Program의 구성

program의 흐름도와 쓰인 상수들은 다음과 같다.

상수	값
a-Si의 유전율	9.92×10^{-12} [F/cm]
SiNx의 유전율	6.64×10^{-12} [F/cm]
E_0	1.8 [eV]
E_{r_0}	1.1 [eV]
N_c	1.0×10^{19} [/cm ³]
Boltzmann 상수	1.38×10^{-23} [J/K]
전하량	1.6×10^{-19} [C]
SiNx의 두께	3.0×10^{-5} [cm]
a-Si의 두께	1500×10^{-5} [cm]
overlap 길이	1.0×10^{-4} [cm]
channel 길이	1.2×10^{-3} [cm]

표 1. program에 쓰인 상수

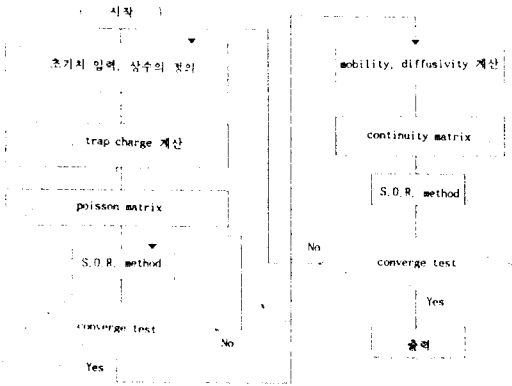


그림 2. program의 흐름도.

Gummel의 방법을 이용한 이 프로그램에서 방정식의 해를 푸는 방법으로 S.O.R.(Successive Over Relaxation) method를 사용하였고 trap charge 계산 방법은 M.Hack[7]의 방법을 사용하였다.

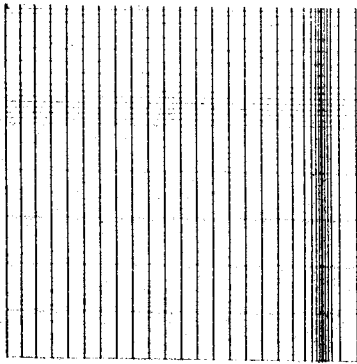


그림 3. program의 mesh 구조

3. 결과 및 검토

F.D.M을 이용한 2-D simulation을 하여 전계와 전하 분포 그래프의 전류-전압 특성 곡선을 구해 보았다. 그림 3은 이 simulation에 사용한 F.D.M. mesh구조로서 potential의 변화가 심한 drain 전극 부근을 자세히 잘랐다.

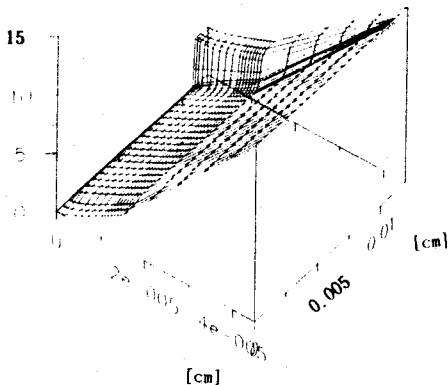
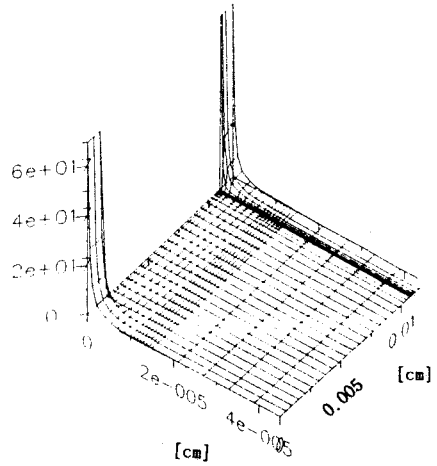
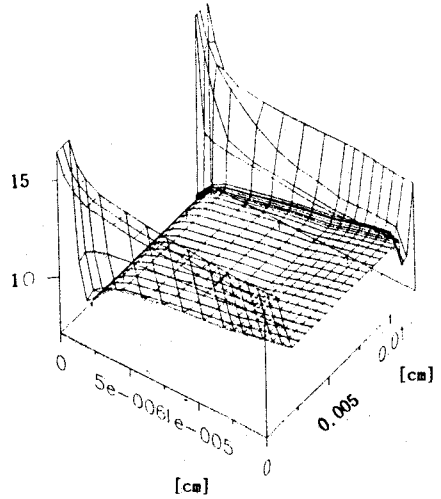


그림 4. a) $V_{gs}=15V$ $V_{ds}=4V$ 일 때 전계 분포



b) $V_{gs}=15V$ $V_{ds}=4V$ 일 때 전하 분포



c) log로 표시한 전하 분포

그림 4는 $V_g=15V$ 이고 $V_d=4V$ 일때 전계 분포, 전하 분포, log로 된 전하 분포를 나타낸 것이다. 전계 분포를 보면 drain 전극 부근에서 전압이 급격히 감소하여 drain 전극 부근의 저항이 source 전극 부근보다 현저히 높음을 알 수 있다. 그림 5는 $V_g=15V$ 이고 $V_d=15V$ 일때의 전계, 전하 분포, log로 된 전하 분포이다 $V_g=4V$ 일 때보다 많은 전하가 유기되었음을 알 수 있다.

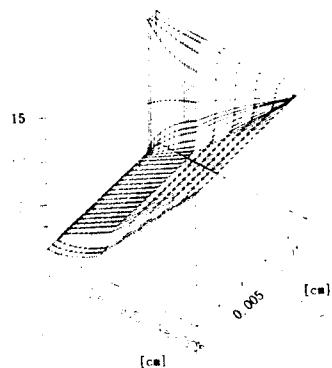
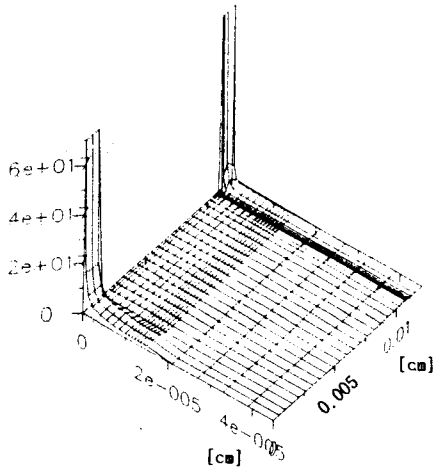
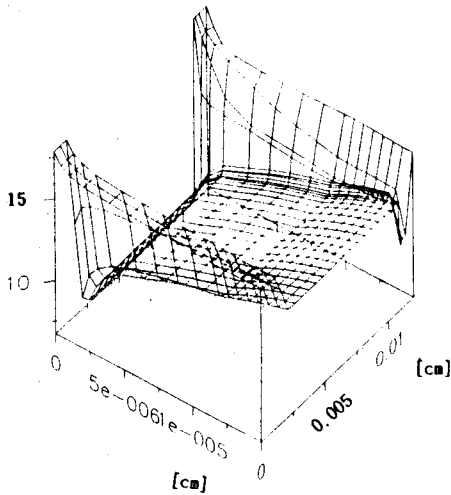


그림 5. a) $V_{gs}=15V$ $V_{ds}=15V$ 일 때 전계 분포



b) $V_{gs}=15V$ $V_{ds}=15V$ 일 때 전하 분포



c) log로 표시한 전하 분포

5. N.Hirose, et al., "Two Dimensional Analysis of Amorphous-Silicon Field-Effect Transistor", J. J. Appl. Phys. Vol.24, No.2 1985, pp 200-207
6. J.G.Show and M.Hack "Simulations of Short-channel and overlap effects in amorphous silicon thin-film transistors" J. Appl. Phys. 65(5), 1 March 1989, pp2124-2129
7. M.Hack and J.G.Shaw et al. Mater. Res. Soc. Symp. Proc.118, 207
8. Siegfried Selbeherr "Analysis and Simulation of Semiconductor Devices" Springer-Verlag Press.
9. Nakamura "Applied Numerical Methods with Software" Prentice-Hall Press.

4. 결론

본 논문에서 Finite Difference Method를 이용해서 비정질 실리콘 트랜지스터를 2차원적으로 수치 분석하여 보았다. 그 결과 drain 전극 부근에서 거의 대부분의 전압 강하가 일어나며 drain 전극과 gate전극의 overlap에 의한 series 저항 성분이 drain 전극과 gate전극의 overlap에 의한 series 저항보다 상당히 큰 값을 알 수 있었다.

참고 문헌

1. W.E.Spear, and P.G.LeComber, J. Non-Cryst. Solid., Vol. 8-10, P. 727, 1972
2. T.P.Brody, J.A.Asars, and G.D.Dixon, "A 6×6 inch 20 lines per-inch liquid-crystal display panel", IEEE trans. Electron Devices, ED-20, no 11, PP.995 1001, 1973.
3. M.J.Powell., "The Physics of Amorphous-Silicon Thin-Film Transistors" IEEE, ED. Vol.36, Dec. pp 2753-2763
4. M.Shur and M.Hack "Physics of amorphous silicon based alloy field-effect transistor", J. Appl. Phys. 55(10) 15 May, pp 3831-3842