

POWER IGBT의 모델링에 관한 연구

임경문, 정세진, 이현석, 조호열, 김영식, 심만영
고려대학교 전기공학과

A study on Modeling of the Power IGBT

K.M.Lim*, S.J.Jeong, H.S.Lee, H.Y.Cho, Y.S.Kim, M.Y.Sung
Dept. of Electrical Eng. Korea University

Abstract

I-V characteristics of IGBT is studied by SPICE simulation which includes device parameters and process parameters. Analysis and modeling of ON-resistance are discussed in this paper. Compare with experimental values, SPICE simulation and modeling results show that our simulation is valid for IGBT

I. 서론

IGBT(Insulated Gate Bipolar Transistor)는 1970년대말 BIMOS구조에 관한 연구로 시작되었고¹⁾ 전력용량이 비교적 크고 고주파수특성이 좋다는 장점때문에 점차 그 활용범위가 넓어지고 있으며 최대동작주파수가 20 KHz이고 전압, 전류용량이 각각 4500 V, 400 A인 IGBT에 관한 개발이 보고되고있다.^{2),6)} IGBT는 그구조에 따라 VIGBT와 LIGBT로 나누어지며 VIGBT는 대전류 용량을 얻을수 있다는 장점이 있고 LIGBT는 배열이 용이하다는 장점이 있다. 이러한 IGBT는 전압과 전류 그리고 주파수의 관계에 있어서 그 우수함을 점차 부각되고있으며 최대의 항복전압과 ON-저항의 극소화를 위하여 디자인 파라미터와 프로세스 파라미터 사이의 최적 설계조건이 요구되는 실정에 있으므로 본 논문에서는 전력 전자에 많이 활용되고 있는 SPICE를 이용하여 IGBT의 전류-전압특성을 시뮬레이션하였으며, IGBT의 ON-저항을 해석 및 모델링하여 이를 실제값과 비교함으로써 전력용 반도체 소자의 개발시 각각의 설계 파라미터의 영향을 고려하며 최적의 설계조건을 잡는데 일익을 담당하고자 한다.

II. IGBT의 이론적 고찰

그림.1에 IGBT의 단면도와 등가회로를 나타내었다. p 기판위에 불순물 농도가 낮은 n-에피층이 형성된 웨이퍼를 사용하며 p-body 영역과 n+캐소드영역을 이중확산(Double diffusion)하여 두 영역의 측면 접합깊이의 차이를 채널로 사용하는 구조이다. IGBT의 입력단은 DMOSFET로 구성되고

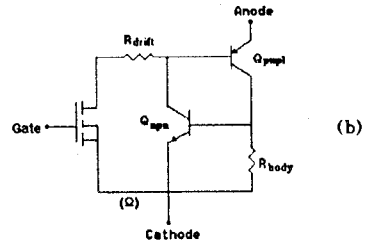
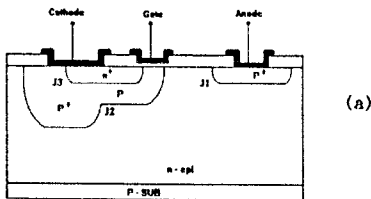


그림.1 (a) IGBT의 단면도 (b) 등가회로

출력단은 p-body 영역(몰렉터), n-에피층(베이스), p+애노드(에미터)로 구성되는 Lateral BJT인 Qnnp1로 구성되어 있으며 IGBT가 동작되는 원리는 다음과 같다.³⁾⁻⁵⁾

LIGBT와 LDMOS의 구조적인 차이는 LDMOS에 있어서 n+드레인 대신 p+애노드가 있다는 점이다. 일반적으로 기판은 소오스 와 전기적으로 연결되어 있다. 소오스에 대해 V_T 보다 큰 정전압이 게이트에 인가되면 채널층이 n+ 캐소드와 n- 에피층사이에 형성된다.

애노드에 정전압 V_{AK} 를 인가하게되면 애노드와 에피층간의 접합 J_1 이 완전히 순마이어스 될때까지 인가된 대부분의 전압은 J_1 에 나타나게되며 V_{AK} 를 증가시키면 접합 J_1 은 순마이어스 되어 애노드 전류가 흐르기 시작하고 인가된 애노드 전압은 채널부분과 n- 드리프트 영역에 형성되어 p+애노드 영역에서 드리프트 영역으로의 정공주입과 n+캐소드 영역에서 채널을 통한 드리프트 영역으로의 전자주입이 시작된다. 주입된 정공은 드리프트 영역의 전도도를 증가시키며 애노드 전압을 더 높여 인가하면 주입되는 정공의 양은 더욱 증가되어 증가된 정공전류를 보상하기 위해 전자전류도 증가 되게된다.

III. IGBT의 설계

3.1 IGBT의 설계조건

사용된 웨이퍼는 p*기판의 비저항이 0.02 $\Omega\text{-cm}$ 이며 그 위에 n-에피층이 성장된 것으로 에피층의 비저항은 2.1 \pm 0.2 $\Omega\text{-cm}$ 이고 두께는 11 μm 이다. 이를 토대로 에피층의 농도는 2 $\times 10^{15}$ / cm^3 임을 알수 있고 이때의 항복전압은 190 V이다. 설계시 Minimum Feature Size는 15 μm , Alignment Tolerance는 5 μm 로 설정하였으며 그림.2는 설계된 IGBT의 단면구조와 설계치수를 나타낸 것이며 그림.3은 제작된 IGBT의 불순물농도를 보여준다.

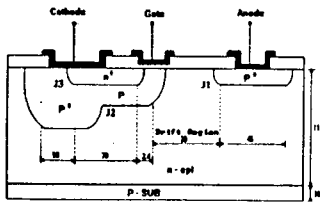


그림.2 단면구조와 설계치수

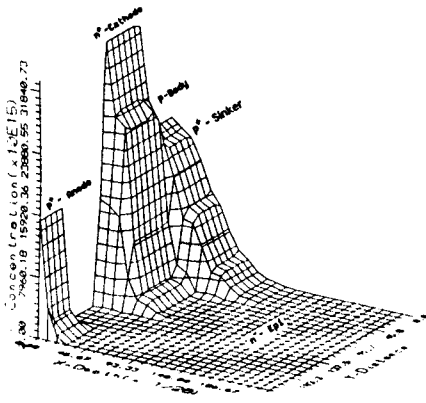


그림.3 LIGBT의 농도 프로파일

3.2 Lateral PNP 바이폴라성분의 설계

Lateral Bipolar(PNP)에 필요한 디바이스 파라미터로서 중요한것은 Lateral PNP의 전류이득($h_{r_{ex}}$)으로 그림.4의 (a)에서

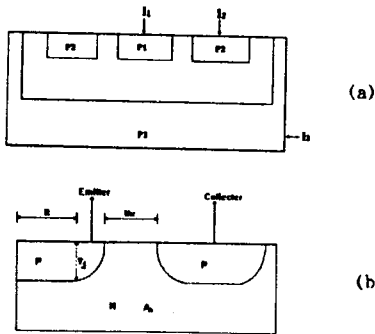


그림.4 (a) Lateral 바이폴라
(b) Planar 집합의 Lateral 바이폴라

에버스-몰 식을 이용하여 에미터전류 I_1 은 $a_{11}(e^{\lambda V_{1B}} - 1) + a_{12}(e^{\lambda V_{2B}} - 1) + a_{13}(e^{\lambda V_{3B}} - 1)$, 콜렉터전류 I_2 는 $a_{21}(e^{\lambda V_{1B}} - 1) + a_{22}(e^{\lambda V_{2B}} - 1) + a_{23}(e^{\lambda V_{3B}} - 1)$, 기생콜렉터전류 I_3 는 $a_{31}(e^{\lambda V_{1B}} - 1) + a_{32}(e^{\lambda V_{2B}} - 1) + a_{33}(e^{\lambda V_{3B}} - 1)$ 이며 V_{1B} 는 에미터-베이스 전압, V_{2B} 는 콜렉터-베이스 전압이다. Lateral 바이폴라의 전류이득을 구하기위한 구조에서 p1은 에미터영역 p2는 콜렉터 영역, p3는 기생 콜렉터 영역이다.

$h_{r_{ex}}$ 는 $-I_2 / (I_1 + I_2 + I_3)$ 이며 두 트랜지스터가 Active영역에서 동작하려면 콜렉터 전압 V_{2B} , V_{3B} 가 역바이어스 되어야 하므로 $e^{\lambda V_{2B}}$, $e^{\lambda V_{3B}}$ 는 무시한다. 즉 $h_{r_{ex}}$ 는 $-a_{21} / (a_{11} + a_{21} + a_{31})$ 이다. $\alpha_x = -a_{21} / a_{11}$, $\alpha_y = -a_{31} / a_{11}$ 이라하면 $h_{r_{ex}} = \alpha_x / (1 - \alpha_x - \alpha_y)$ 이며 플레나집합의 curvature의 영향을 고려하면

$$h_{r_{ex}} = \frac{2\rho_n \frac{(R+y_j+w_x)(2y_j/w_x)}{(1+2y_j/w_x)^{1/2}} \tan^{-1}\{(1+2y_j/w_x)^{1/2} - \pi y_j/2\}}{(R^2 + \pi R y_j + 2y_j^2) \rho_{sp}} \quad (1)$$

여기서 x는 수평방향을 의미한다.

N. LIGBT의 특성 및 고찰

4.1 SPICE 파라미터 추출

SIMULATION에 필요한 SPICE 파라미터를 추출하기위해서 필요한 치수는 다음과 같다. LIGBT의 입력단을 형성하는 LDMOS의 유효채널길이는 $2.4\mu m$ 이고 유효채널폭은 $62.2\mu m$. 게이트 산화막의 두께는 1000\AA 이며 채널을 유지시키는데 필요한 드레시홀드 전압(V_T)은

$$V_T = \Phi_{ms} + 2\Phi_F - Q_{BB}/C_{ox} + [4e_n q N_A(x) \Phi_F]^{1/2} / C_{ox} \quad (2)$$

식(2)에서 산화막 캐패시턴스 C_{ox} 는 ϵ_{ox}/λ_0 이므로 $3.54 \times 10^{-8} \text{ F/cm}^2$ 이고 $V_T = 7.5(V)$ 를 산출할 수 있다. 또한 p-body의 농도 $N_a = 3.46 \times 10^{17} / \text{cm}^3$ 이며 $\rho_p = 9 \times 10^{-2} \Omega\text{-cm}$ 이므로 $\rho_{sp} = \rho_p / x_j = 1.5 \times 10^6 \Omega/\mu$ 이다

파라미터 ν (GAMMA)는 벌크의 농도가 드레시홀드 전압에 변화를 주는 요인으로

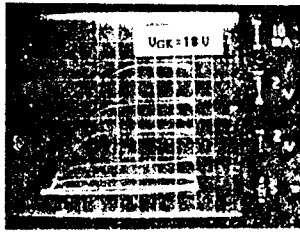
$$\nu = \frac{(2q \epsilon_{si} N_a)^{1/2}}{C_{ox}} \quad (3)$$

에서 9.6077 이 산출된다. 트랜스컨덕턴스 k_p 는 디바이스 제조공정시 결정되는 파라미터로 전자의 이동도에 의존하는데 이는 불순물농도에 따라 다르다.

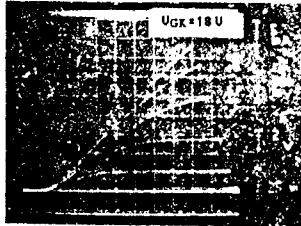
$N_a = 3.46 \times 10^{17}$ 일때 $\mu_n = 5 \times 10^2 \text{ cm}^2/\text{v-s}$ 이므로 $k_p = \mu_n C_{ox}$ 에서 $1.77 \times 10^{-5} (\text{A/V}^2)$ 이 산출된다. 기판의 농도 $N_{SUB} = 3.46 \times 10^{17}$ 이고 $T_{OX} = 10^{-10} \text{ m}$ 이다. LIGBT의 출력단을 형성하는 바이폴라의 전류이득은 식(1)에서 애노드의 농도가 10^{17} 일때 $\rho_p = 0.198$, $\rho_{sp} = 6.6 \times 10^6$ 이고 $y_j = 3/\mu$, $w_j = 52.6 \mu m$, $R = 45 \mu m$ 이다. 이때 산출된 전류이득 $h_{r_{ex}}$ 는 12.9 이며 베이스 저항 R_B 는 147Ω 이다.

4.2 LIGBT의 전류-전압특성과 시뮬레이션 결과

그림.5에는 인헨스먼트로 설계, 제작된 LIGBT의 전류-전압 특성을 나타내었다. (a)는 게이트전압 V_{GK} 를 $0V$ 에서 $18V$ 까지 $2V$ 간격으로 인가했을 경우, 애노드전압 V_{AK} 에 따른 애노드전류 I_{AK} 를 측정할 것으로 드레시홀드전압 V_T 는 $7.5V$ 임을 알 수 있고 (b)는 선형영역의 특성을 나타낸것으로 게이트 전압 V_{GK} 가 $0.7V$ 이하에서는 애노드의 p-n 접합이 차단되어 있어 애노드 전류는 흐르지않음을 알수있다.



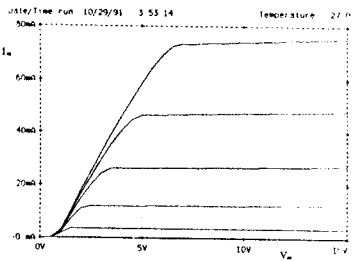
(a)



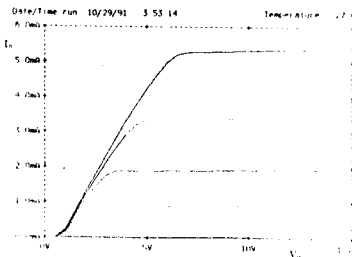
(b)

그림.5 전류-전압 특성

그림.6에는 SPICE 시뮬레이션한 결과를 나타내었다.



(a)



(b)

그림.6 전류-전압 특성 시뮬레이션

(a) LIGBT 전류-전압 특성

(b) LDMOS의 전류-전압 특성

그림.6의 (a)에서 시뮬레이션한 애노드전류값이 실제의 전류값과 일치함으로써 시뮬레이션에 쓰인 파라미터의 적합함을 알 수 있다. LIGBT 입력단으로 쓰인 LDMOS의 전류값을 측정하지 못해도 (b)의 결과로 이를 추정할 수 있으므로 LIGBT의 설계 및 특성 모델링에 큰 도움을 받을 수 있다.

4.3 LIGBT의 ON-저항 해석 및 모델링

LIGBT의 특성중에서 가장 큰 단점으로 지목되는 ON-저항을 줄이는 방안이 현 시점에서 가장 큰 과제로 남아있으며 이를 위해서는 정확한 ON저항의 해석과 모델링이 필요하다. 그림.7에서 LDMOS의 등가회로는 4가지 성분으로 되어있다.⁸⁾

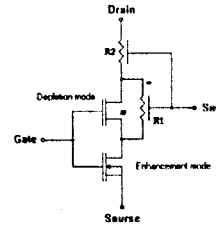


그림.7 LDMOS의 등가회로

n⁻ 에피층위의 게이트 산화막과 전극은 Field Plate 역할을 하므로 디플리션 모드소자와 그 벌크저항 R1은 총 소자의 ON저항을 감소시킨다. 그러나 n⁻ 에피층의 산화막길이는 총 n⁻ 에피층보다 훨씬 짧기때문에 큰 영향을 끼치지 못한다. 이번이유에서 디플리션 모드소자와 벌크저항, R2를 계산할 때 R1을 무시할 수 있다. LIGBT의 ON-저항은 거의 LDMOS의 채널저항과 벌크저항 R2의 직렬연결로 간단히 나타낼 수 있다. 벌크저항 R2는 LDMOS의 p-body 영역의 저항성분이나 또한 Lateral 바이폴라인 Q_{np1}의 베이스저항이기도 하기때문에 쉽게 구할수 있다. 계산된 R2값은 147Ω이나 게이트전압이 높을때는 p-body 영역으로의 캐리어 주입이 시작되어 전기전도도를 높여주기때문에 전체적인 ON-저항에는 영향을 끼치지 못한다. 채널저항 R_{ch}는 식.(4)와 같으며 게이트전압이 낮을때 주요하다.

$$R_{ch} = \frac{1}{(W/L_{eff}) C_o \mu_e (V_{GK} - V_T)} \quad (4)$$

W는 유효 채널폭, L_{eff}은 유효 채널길이이다. 채널층에서의 전자의 이동도는 전계의 수직성분때문에 감소하게되는데 알려진 실험식을 이용하였다.⁹⁾

채널내의 μ_{max}는 p-body의 도핑농도에 의존하므로 식(5)에서 684 cm²/V-sec임을 알 수 있다.

$$\mu_{max} = \frac{1360-92}{1+(Na/3E^{17})^{0.91}} + 92 \quad (5)$$

LIGBT의 ON-저항의 실험치를 그림.8에 나타내었으며 모델링한 ON-저항을 그림.9에 나타내었다.

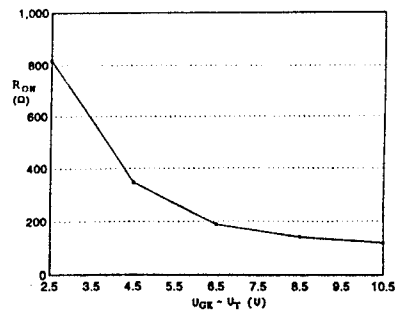


그림.8 LIGBT의 ON-저항

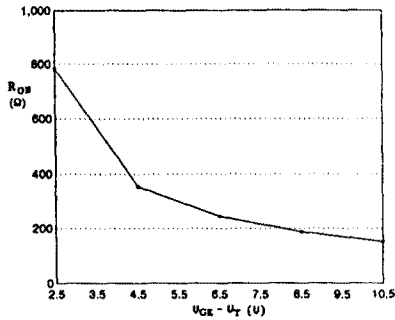


그림.9 모델링한 ON-저항

모델링한 ON-저항값이 실험치와 비슷한 양상을 보이거나 크게 나오는 이유는 채널영역의 불순물농도를 균일하게 보았으며 캐리어 주입에 의한 벌크저항의 변화성분과 n⁻에피층위의 게이트 산화막과 전극의 Field Plate 역할을 무시했기 때문이다.

V. 결론

본 논문에서 제시한 시뮬레이션과 모델링이 LIGHT의 실험치와 일치함을 보임으로서 LDMOS와 Lateral 바이폴라의 설계 조건을 좀더 최적화 시킬수 있으며 각각의 설계파라미터가 디바이스특성에 미치는 영향을 분석할수 있게 되었다. 향후 SPICE 시뮬레이션에서는 실험치와 더욱 접근할 수 있도록 디자인 파라미터와 프로세스 파라미터와의 관계추출이 필요하며 LIGHT의 ON-저항 모델링에 있어서는 캐리어 분포에 관한 고찰이 요구된다.

참고문헌

1. S.KAL and N.B.Chakrabarti, "Technology compatibility and circuit complementarity of BIMOS", INT. J. ELECTRONICS, vol. 68, no. 5, pp. 675-692, 1990
2. TOSHIBA GTR MODULE(IGBT) APPLICATION NOTES
3. DEVA N., "n-Channel lateral insulated gate transistors: part I-state-state characteristics", IEEE Trans. Electron Devices, vol. ED-33, pp. 1956-1963, Dec., 1986
4. JERRY G. FOSSUM, "Network representation of IIGBT structures for CAD of power integrated circuits", IEEE Trans. Electron Devices, vol. ED-35, pp. 507-515, April, 1988
5. ALLEN R. HEFNER, "An improved understanding for the transient operation of the power insulated gate bipolar transistor (IGBT)", IEEE Trans. Power Electronics, vol. 5, pp. 459-468, Oct., 1990
6. MICHAEL S. ADLER, "A comparison between BIMOS device types", IEEE Trans. Electron

Devices, vol. ED-33, pp. 286-293, Feb., 1986

7. HUNG C. LIN, "DC analysis of multiple collector and multiple emitter transistors in integrated structures", IEEE J. of SOLID-STATE CIRCUIT vol. sc-4, no. 1, pp. 20-24, Feb., 1969
8. S.C.SUN and J.D.Plummer, "Modeling of the on-resistance LDMOS VDMOS and VMOS power transistor", IEEE Trans. Electron Devices, vol. ED-27, pp. 356-367, Feb., 1980
9. S.C.SUN and J.D.Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces", IEEE Trans. Electron Devices, vol. ED-27, pp. 1497-1508, Aug., 1980