

## DLTS 法에 의한 Laser CVD SiON 膜 - Si 系の 界面 特性

오천 영일\*, 김 상욱\*, 이승환\*, 박 지순\*, 박 근영\*, 성 영권\*  
\* 고려대학교 전기공학과

### Laser CVD SiON - Si interface investigation by DLTS

oYoung Il CHUN\*, Sang Wook KIM\*, Seung Hwan YI\*, Ji Soon PARK\*, Geun Young PARK\*, Yung Kwon Sung\*  
\* Korea University

#### abstract

In this paper, silicon oxynitride(SiON) films were chemically deposited by 193 nm Excimer laser irradiated parallel to the substrate. the laser pulse energy was 80 mJ, repetition rate was 80 Hz and the laser average power was 6.4 watt. the gas ratio of N<sub>2</sub>O/NH<sub>3</sub> was 0.75. the substrate temperature was 300°C, and the chamber pressure was 2 torr.

And then, the interface state density (N<sub>ss</sub>) was characterized by DLTS(Deep Level Transient Spectroscopy). In addition, the capture cross section (σ) and activation energy (ΔE) was also obtained.

The resulting N<sub>ss</sub> values were 5.5x10<sup>10</sup> - 3.2x10<sup>11</sup> (eV<sup>-1</sup>cm<sup>-2</sup>), σ was 6.64x10<sup>-20</sup> - 2.114x10<sup>-17</sup> (cm<sup>2</sup>), the ΔE of two peaks were 8.93x10<sup>-2</sup>(eV), 0.375(eV).

#### 1. 서론

오늘날, 반도체 Device가 고집적화, 고속화, 대용량화 되어감에 따라 저온에서 양질의 절연막을 deposition 시키는 문제가 중요한 issue로 부각되고 있다. 막 형성 공정 중, Laser CVD 방법은 저온 공정이므로 불필요한 thermal effect를 줄일 수 있을 뿐만 아니라 PECVD 예서와 같은 Ion damage 가 없으며 국소적으로 막 퇴적이 가능하다. 또한 단일 파장의 빛을 이용하므로 PECVD 막 형성시보다 상대적으로

로 균일한 에너지를 지닌 활성 반응종을 얻을 수 있으며 파장에 따라 reactant를 선택할 수도 있다.<sup>1),4),5)</sup>

한편 SiON 막은 SiO<sub>2</sub>막의 장점인 양호한 전기적 특성, Si<sub>3</sub>N<sub>4</sub>막의 장점인 불순물, ion에 대한 maskability, radiation resistance등을 절충하여 공유할수 있으며 열팽창 계수, 굴절률등의 parameter를 gas ratio로써 control할 수 있는 잇점들이 있다. 아울러 이러한 SiON막은 passivation, GaAs IC의 capping, memory device element, diffusion barrier, radiation hardening layer등, 그 활용은 확대 일로에 있다.<sup>2),3)</sup>

따라서 본 연구에서는 파장 193nm 의 ArF Eximer Laser 를 이용, SiON막을 퇴적시켜 막의 여러 특성중, 주로 DLTS ( Deep Level Transient Spectroscopy ) 법으로 그 계면 특성을 평가하였다.

#### 2. 이론적 고찰

DLTS ( Deep Level Transient Spectroscopy )는 원래 D.V.Lang<sup>6)</sup>에 의해 제안되었으며 인가 bias에 대한 과도 capacitance를 주어진 rate window내에서 끌어내는 방법이다. capacitance의 과도 응답은 시정수 τ를 가지고 지수함수적으로 변화하며 온도의 변화에 따라 ΔC가 주어진 rate window와 일치할때 signal의 peak가 나타나게 된다. 이때

$$e_{n,p} = 1/\tau_{max} = \sigma_{n,p} N_c v \exp(\pm \Delta E/kT) \quad \text{--- ①}$$

$e_n$  : electron emission rate [ sec<sup>-1</sup> ]

$e_p$  : hole emission rate [ sec<sup>-1</sup> ]

$\sigma_n$  : electron capture cross section [ cm<sup>2</sup> ]

$\sigma_p$  : hole capture cross section [ cm<sup>2</sup> ]

$\Delta E$  : trap 의 활성화 에너지 [ eV ]

의 관계가 있으며

$$\ln(e_{n,p}/T^2) = \ln \sigma_{n,p} + C + (\pm \Delta E/kT) \quad \text{--- ②}$$

( C = const )

의 식에서 여러개의 rate window 를 설정하여, y축을  $\ln(e_{n,p}/T^2)$ , x축을  $1/kT$ 로 두면 각 rate 의 x,y 간의 선형적 관계로부터 각 peak치의  $E_a$ 와  $\sigma_{n,p}$ 를 구할수 있다.  $\tau_{max}(1/e)$  는 rate window 와 연관되어 결정되고  $N_{ss}$ 의 값은  $\Delta C$ 의 크기와 연관시켜 해석한다. 한편 DLTS signal을 양호한 S/N비로 얻기 위하여 weighting function을 사용하며(7,8,9) 이때 output  $V_o$ 는

$$V_o = \frac{1}{T} \int_0^T f(t) w(t) dt \quad \text{로 주어진다.}$$

그림 1은 Bipolar rectangular Weighting Function 사용시의 한 예시로서 bias, Capacitance meter output, Weighting Function의 DLTS Timing을 나타낸 것이다.

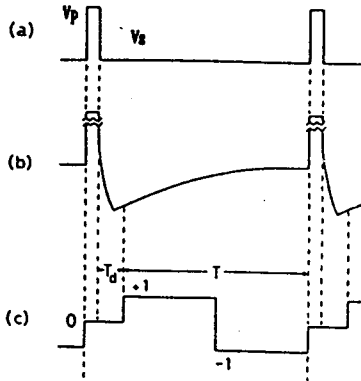


그림 1. 인가 bias에 따른 DLTS 출력 특성

a) bias, b) C meter output, c) weighting function

3. 시료의 제작 및 측정

시료의 제작에는 p-type, (100)방향, 비저항 4.5~6 Ω-cm의 기판을 사용하였다. 먼저 기판의 오염물질과 native oxide를 제거하기 위하여 RCA방법으로 세척을 행하였다. 시료의 제작에 사용된 system의 구성도는 그림 2와 같고, Laser광은 렌즈에 의해 집중되어 quartz window를 통해 chamber안으로, 시료와 평행하게 조사되었다.

이때의 pulse power는 80 mJ, repetition rate는 80 Hz, average power는 6.4 W 이었고 gas의 flow rate는 SiH<sub>4</sub> : N<sub>2</sub>O : NH<sub>3</sub> = 1 : 3 : 6 이었고 chamber pressure는 2 torr, 기판 온도는 300 °C 였다.

퇴적시킨 SiON막의 두께와 굴절율은 Ellipsometer ( Rudolph Research Auto EL )를 사용하여 측정하였으며, 시료의 계면 준위 밀도  $N_{ss}$  및 트랩의 포획 단면적  $\sigma$ 의 측정은 wafer analyzer ( SPC Electronics Corps, Type 17D20 )를 사용하였다.  $N_{ss}$  및  $\sigma$ 를 체크하기 위한 DLTS측정 system의 block diagram은 그림 3과 같다. 시료는 그림에 나타난 cryostat 속의 액체 질소속에 mount 시켜 93°K에서 300°K까지 온도를 변화시키며 측정하였다. 이때 시료에 인가된 bias는  $V_p = -15$  V,  $V_s = -5$  V 이고  $T_p = 20$  ms,  $T_d = 15$  ms,  $T_w = 120, 150, 180$  ms으로 가변하면서 측정하였다.

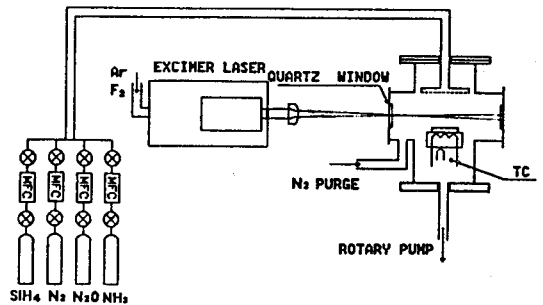


그림 2. Laser CVD 장치의 기략도

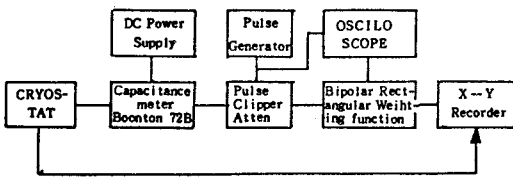


그림 3. DLTS 장치의 Block Diagram

4. 결과 및 고찰

그림 4.는 일정 온도에서 oscilloscope상에서 측정된 DLTS Signal 의 과도적 현상을 표시한 것으로 Transient Capacitance 가 시간에 따라 증가하므로 이로부터 SiON 막과 Si 계면 상에서 trap 에 의한 포획, 방출 과정은 다수 캐리어인 정공에 의한 것임을 알 수 있었다 .

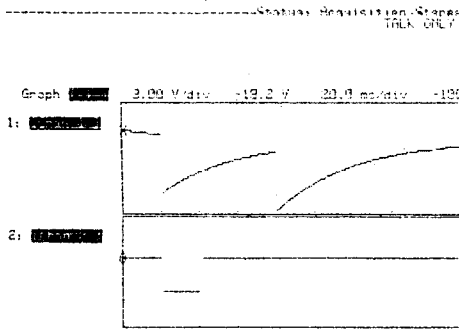


그림 4. DLTS Signal의 과도 특성

그림 5는 window rate 변화에 따른 DLTS Signal 의 측정 결과로, 그림에서 보듯이 두 point 에서 peak 가 관측 되어 이로부터 각 Signal 의 timing 변화에 따르는  $e_p$ ,  $\tau_{max}$  의 값은 표 1에 나타내었다. 또한 식 ①, ②를 이용하여 각각

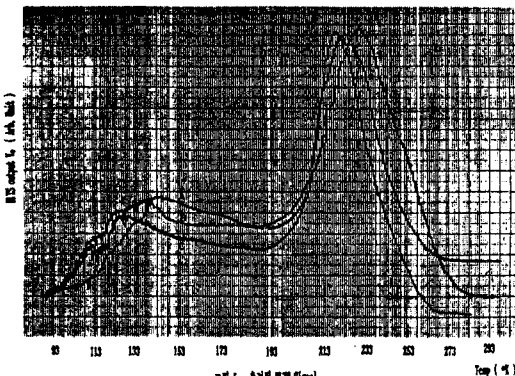


그림 5. 수평변 DLTS signal

Timing (msec)	Peak1 (°K)	Peak2 (°K)	$e_p$ (1/sec)	$\tau$ (msec)
A : $T_D=15, T_S=120$	143	241	18.31	54.61
B : $T_D=15, T_S=150$	138	235	15.98	62.55
C : $T_D=15, T_S=180$	126	229	14.25	70.18

표 1. DLTS 측정의 Timing과 검출 Peak.

	Peak1	Peak2
$\sigma_p$	$6.64 \times 10^{-20}$	$2.114 \times 10^{-17}$
$E_T - E_C$	$8.95 \times 10^{-2}$	0.375

표 2. peak2에서의 capture cross section과 activation energy

의  $\sigma_p$ , AE 를 계산한 바, 그 결과는 표 2. 에 나타난 바와 같다.

한편 식 ① 로 부터 각 온도에서의 활성화 에너지 분포에 따른 시료의 계면 준위 밀도  $N_{ss}$ 는 식 ③에 의해 구한 결과 그림 6과 같다. 8),9)

$$N_{ss} = \left[ \frac{\epsilon C_{SiON} N_a V_0}{C_0^3 kT} \right] / \left[ -\ln \frac{T_D (T_D/T_S (T_D/T_S + 1))}{T_S (T_D/T_S + 1/2)^2} + \ln \left( \frac{T_D/T_S + 1}{(T_D/T_S + 1/2)} \right) \right] \text{ ③}$$

$\epsilon$  : SiON 의 유전율

$N_a$  : 기판의 doping 농도

$V_0$  : DLTS Signal ( $\Delta C$ )

$C_0$  : steady state capacitance per unit area

이때 각 에너지 레벨의 값은 언어친  $\sigma$ 값의 평균 값을 이용, 식 ① 로부터 구했다.

이들 결과에 대한 상세한 검토는 각 시료에 대한 V-I 및 IR 특성등의 실측을 통하여 종합적인 검토를 가하여 당일 발표하겠다.

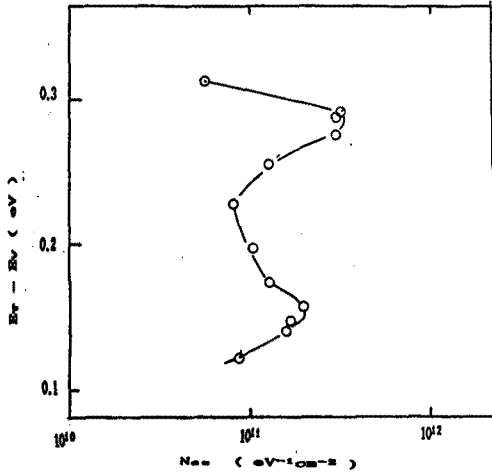


그림 4. Laser CVD 실리콘막의 계면 준위 밀도

Reference

1. John L. Vossen and Werren Kern 'Thin Film Process II', Academic Press Inc. 1991 Part II-3
2. C. E. Morosanu 'Thin Films by Chemical Vapor Deposition', Elsevier, 1990 Chap.13
3. J. Watanabe & M. Hanabusa J. Mater. Res. vol 4, No 4 Jul/Aug 1989 page 882
4. Raje Solanki, Comeron A. Moore, George J. Collines Solid State Technol, June 1985 page.220
5. Sugimura, Y. Inkuda & M. hanabusa J.A.P 62 (8) 15 October 1987 page 3222
6. D.V.Lang J.A.P. Vol(45) No 7 July 1974 page 3023
7. Dieker K.Schroder 'Semiconductor material and Device Characterization', John Wiley & Sons, Inc. 1990, Chap.7
8. Y. Dokuda, N, Shimizu and A. Usami JJAP Vol18 No.2 February, 1979 pp 309-315
9. Y. Dokuda, N, Shimizu and A. Usami J. Phys. D: Appl. Phys. 14 (1981) 845-8