

아날로그 홉필드 신경망의 모듈형 설계

동성수^o 박성범 이종호
 인하대학교 전기공학과

Modular Design of Analog Hopfield Network

Sung-Soo Dong, Seong-Beom Park, Chong-Ho Lee
 Dept. of Electrical Eng, INHA Univ.

Abstract

This paper presents a modular structure design of analog Hopfield neural network. Each multiplier consists of four MOS transistors which are connected to an op-amp at the front end of a neuron. A pair of MOS transistor is used in order to maintain linear operation of the synapse and can produce positive or negative synaptic weight. This architecture can be expandable to any size neural network by forming tree structure. By altering the connections, other network paradigms can also be implemented using this basic modules. The strength of this approach is the expandability and the general applicability. The layout design of a four-neuron fully connected feedback neural network is presented and is simulated using SPICE. The network shows correct retrieval of distorted patterns.

1. 서론

본 논문에서는 신경회로망 칩의 실용화 시대에 대비하여 신경회로망의 설계 구조를 모듈화 함으로써 다양한 응용성과 확장성을 용이하게 실현하기 위한 신경회로망 칩의 구조 및 회로설계와 실험결과를 제시하고 있다.

실시간 처리를 필요로 하는 응용을 위하여 신경회로망의 hardware 구현은 필수적인 것으로 여겨진다[1]. Hardware 구현에는 크게 광학적인 방법과 전자적(VLSI) 구현의 두 가지 방법이 있다. 전자적 구현에는 디지털과 아날로그 접근방법이 있는데, 디지털방식은 프로그램이 용이하고, 가중치의 정밀도가 높고, 그것의 저장에 쉽다는 장점이 있는 반면, 아날로그방식은 연산부의 면적이 디지털방식보다 작기 때문에 칩 면적에 잇점이 있고, 속도가 빠르고, 생체뉴런과 비슷하게 비동기적으로 동작하게 된다[2].

본 논문에서는 신경회로망의 hardware 구현을 위하여 현재 기술로 접근하기가 용이한 VLSI 구현에 대하여 다루었고, 상호연결 배선의 효율성을 높이고자 아날로그방식을 사용하여 홉필드 신경망모델을 다루었다[3]. 홉필드 신경망은 연상기억이나 최적화 문제를 푸는데 주로 사용된다. 이 신경망의 큰 장점은, 규칙적인 구조때문에 hardware 구현이 용이하여 다른 모델보다 큰 회로망을 구현할 수 있다는 점이다.

시냅스가 저항으로 구현되어, 음의 가중치를 표현하기 위해서는 뉴런의 출력이 두거나 필요로 하는 홉필드 신경망의 단점을 극복하고자, 본 논문에서는 양과 음의 값을 표현할 수 있는 곱셈기를 사용하여 시냅스를 구성한 모델을 제안하였다. 따라서 한개의 뉴런 출력만이 사용되므로 상호연결 배선의 효율성을 높이고자 하였다. 또한 (2 X 1) MUX를 사용하여 feed-back은 물론 feed-forward 회로에도 적용 할 수 있도록 하여 범용성을 가지도록 하였다[4]. 먼저 곱셈기의 기능과 구조를 살펴본다.

2. 아날로그 선형 곱셈기

홉필드 신경망의 recall 규칙은 다음과 같다.

$$V_i = f_h \left[\sum_{j=1}^n W_{ij} V_j - I_i \right]$$

여기서 scalar 곱, $\sum W_{ij} V_j$ 를 구현하기 위한 기본회로로 MOS transistor를 제안한다. MOS의 비선형 성분을 제거하도록 4 개의 동일한 MOS transistor 로 구성된 이 회로는 [그림 1] 과 같다[5].

[그림 1] 의 회로에서 출력단의 전류는

$$I_1 - I_2 = 1/R(V_1 - V_2) \dots\dots\dots (1)$$

$$\text{여기서 } 1/R = 1/R_1 - 1/R_2 = \mu C_{ox} W/L(V_{F1} - V_{F2})$$

그리고, 선형영역에서 동작하기 위한 범위는 다음과 같다.

$$V_1, V_2 \leq \min[V_{F1} - V_T, V_{F2} - V_T] \dots\dots\dots (2)$$

제안된 transistor 회로의 출력단을 op-amp의 차동 증폭 입력단에 연결하여, 아날로그 선형곱셈기를 구성한다. 이 회로를 MOS만 사용하여 구성할 수 있는데, 사용하는 MOS는 depletion 또는 enhancement, 그리고 pMOS 와 nMOS 모두 가능하다. [그림 2] 는 이 곱셈기를 보여준다.

[그림 2]의 회로에서 출력은

$$V_o = \frac{K(V_{F1}-V_{F2})(V_1-V_2)}{K_o(V_{C1}-V_{C2})} \quad (3)$$

여기서, $\begin{cases} K = \mu C_{ox}W/L \\ K_o = \mu C_{ox}(W/L)_o \\ V_{C1} \text{ 과 } V_{C2} \text{ 는 저항값을 조절하는 제어전압.} \end{cases}$

윗 식에서 $(V_{F1}-V_{F2})$ 항이 양의 값을 가질때, 이 회로가 선형영역에서 동작하기 위해서는 다음을 만족해야 한다.

$$|V_1, V_2| \leq |V_T| \quad (4)$$

$$V_o = \min[(V_{C1}-V_T), (V_{C2}-V_T)] \quad (5)$$

그리고 μ 와 C_{ox} 가 같으면

$$V_o = \frac{(W/L)(V_{F1}-V_{F2})(V_1-V_2)}{(W/L)_o(V_{C1}-V_{C2})} \quad (6)$$

$V_{F2} = 0$ 으로 놓으면 위의 식에서

$$V_o = \frac{(W/L)(V_{F1})(V_1-V_2)}{(W/L)_o(V_{C1}-V_{C2})} \quad (7)$$

$$= G \cdot (V_{F1})(V_1-V_2) \quad (8)$$

$$\text{단, } G = \frac{(W/L)}{(W/L)_o(V_{C1}-V_{C2})}$$

또한, 식(8)에 의해서 [그림 2]는 [그림 3]과 같이 간단 될 수 있다.

[그림 3]에서, $V_2 = 0$ 으로 놓고 0보다 큰 V_1 을 가하면 V_o 가 양의 값이 되고, $V_1 = 0$ 으로 놓고 같은 값을 V_2 에 가하면 음의 V_o 가 되어서, 양의값과 음의값의 가중치를 표현할 수 있다. [그림 4]에 이것의 실험결과를 나타내었다. 이 곱셈기를 사용한 신경망의 구성(6,7)을 다음에 설명한다.

3. 홉필드 신경망의 구성

아날로그 곱셈기를 사용한 기본 신경망구조를 [그림 5]에서 보여준다. 아날로그 곱셈기에서와 같은 해석 방법을 이용하면 [그림 5]에서의 출력 V_o 는

$$V_o = [K_1 V_{F11}(V_{11}-V_{12}) + \dots + K_n V_{Fn1}(V_{n1}-V_{n2})] / [K_o(V_{C1}-V_{C2})] \quad (9)$$

여기서 W 와 L 의 비율은 1이 아니고 μ 와 C_{ox} 는 같은 동일한 MOS transistor를 사용하면

$$V_o = \frac{1}{(W/L)_o(V_{C1}-V_{C2})} \sum_{i=1}^n (W/L)_i V_{Fi1}(V_{i1}-V_{i2}) \quad (10)$$

따라서, MOS Tr.의 W/L 비율과 V_{C1} , V_{C2} 로 인해서 V_o 는 가변적이다.

곱셈기의 출력 V_o 가 입력으로 사용되는 neuron은 nMOS inverter 2개를 사용하여 sigmoid 함수를 나타내도록 하였다. Neuron의 출력은 다른 곱셈기의 V_{Fi1} 으로 연결되어, 되먹임형 신경망을 구성한다. Neuron으로 들어가는 신호와 feedback되는 신호가, MOS의 gate에 연결되기 때문에 fan-in과 fan-out 능력이 커진다.

(2 X 1) MUX를 사용하여 4-뉴런 홉필드 신경망을 나타낸 구성도를 [그림 6]에 제시하였다. MUX의 스위치 동작에 의해서 feed-back은 물론 feed-forward회로에도 적용할 수 있도록하여 범용성을 가지도록하였다.

4. 실험결과와 배치설계

Op-amp 한개와 (2n + 4)개의 MOS transistor로써 2n-tuple 벡터 입력의 scalar 곱을 구현하도록 새롭게 구성된 홉필드 신경망은, 음의 가중치를 표현하기위한, 반전된 증폭기가 필요 없으므로 VLSI 배선과 상호연결 문제에 있어서 기존의 회로[8,9]보다 효율적이다.

제안된 회로를 사용하여 4-뉴런 회로를 구성하여 간단한 연상기억회로에 대해서 SPICE 모의실험을 하였다. 실험을 위한 회로가 간단하도록 W/L 비율을 모두 같게 놓았고, 입력 저항 2 M Ω , 출력저항 75 Ω 을 가지는 op-amp를 사용하였다. 그리고, 표준CMOS 공정으로 VLSI 구현을 하기위해서 enhancement MOS를 사용하였다.

모의실험을 위한 가중치로

W_{ij}	$j=1$	2	3	4
$i=1$	0	2	-2	-2
2	2	0	-2	-2
3	-2	-2	0	2
4	-2	-2	2	0

를 사용하였다. 이것은 (1 1 0 0)을 기억 시키기위한 가중치이다. [그림 7]에 보인 결과는 입력이 (1 1 0 0)과 (1 1 0 1), (1 1 1 0) 등 Hamming distance가 1이하는 경우의 출력값이다. 그리고 입력이 (0 0 0 0) 등 Hamming distance가 2 이상인 경우의 실험에서는 (1 1 0 0)으로 수렴하지 않았다.

제안된 4-뉴런 홉필드 신경망의 배치설계를 [그림 8]에 제시하였다. 이 배치설계는 VALID사의 tool인 LED로 설계하였고, PAD를 제외한 그림이다.

4-뉴런의 신경망을 계속 확장하기위해서 [그림 9]와 같은 구조를 제안하였다. 이 구조에 의하면 binary tree 형식으로 뉴런간의 연결이 이루어짐으로 N개의 뉴런을 사용할 때 전연결구조(fully-connected)일지라도 면적 복잡시티가 $O(N \log N)$ 이 된다.

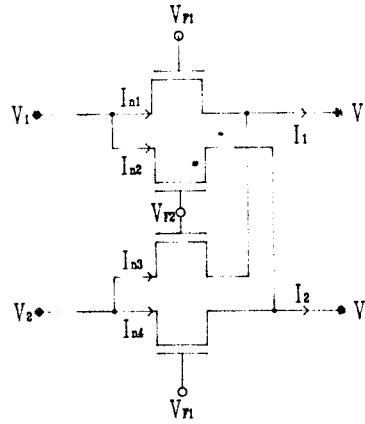
5. 결론

본 논문에서는 양의 전압으로 +, - weight를 표현하는 곱셈기를 제안하여 시냅스를 구성하였고, 이 회로를 이용하여 4-뉴런 홉필드 신경망을 구현하였다. 이 회로에서는 뉴런의 출력이 한개만 사용되기 때문에 배치설계에서의 면적효율이 증진되었다. 또한, 기본블럭을 가지는 모듈형 배치설계를 제시하여 확장성을 가지도록하였다. 그리고 스위치 역할의 MUX를 사용하여 feedback 과 feedforward 회로에 적용할수 있도록하여 범용성을 도모하였다. 그러나 (2n+4)개의 MOS로 2n-tuple 입력을 표현할때, 처리 data의 양을 증가시킬경우에 op-amp 전류 구동능력 증가의 필요성과 선형성을 위한 가중치를 조절하는데 있어서 전압의 한계치가 있다는 문제로 인하여 정밀도에 제약이 가해지게된다.

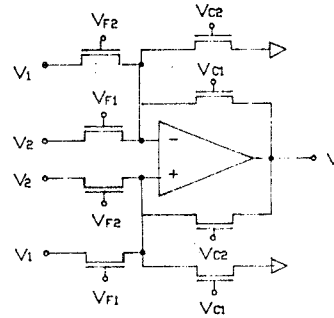
앞으로 연구할 점은, 가중치를 구성하는 전압을 칩의 내부에서 조절하며 유지하는 것과 가중치의 선형범위를 늘리는 문제이다. 그리고 더 나아가 패턴인식 등에 응용할때 사용되는, 학습규칙을 내부적으로 포함한 신경망, 즉 학습가능한 신경망을 hardware로 구현하는 문제를 앞으로 계속 다루고자 한다.

참고문헌

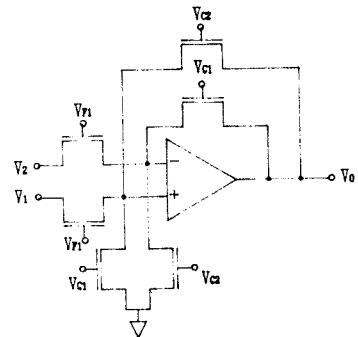
[1] Robert Hecht Nielsen, *Neurocomputing*, Addison-Wesley Company, 1990.
 [2] D. Del Corso, K.E. Grosspietsch, and P. Treleaveng, "Silicon Neural Networks," special issue IEEE Micro, a collection of good papers on digital and analog artificial neural networks, December 1989.
 [3] 이종호, "Hopfield Optimization Network의 응용과 VLSI 구현", 신경회로망 연구회 발표자료, 연세대, 1990.12.
 [4] N.I. Khachab and M. Ismail, "Novel Continuous-Time All MOS Four-Quadrant Multipliers", Proc. of IEEE Int. Symp. Circuits and Systems, May 1987, pp.762-765.
 [5] M. Ismail, S.V. Shirley, and R.G. Beale, "A New MOSFET-C Universal Filter Structure for VLSI", IEEE Journal of Solid-State Circuits, vol.23, No.1, February 1988, pp.183-194.
 [6] C. Mead and M. Ismail, *Analog VLSI Implementation of Neural Systems*, Kluwer Academic Publishers, 1989, Chapter 5.
 [7] F.M.A. Salam, N. Khachab, M. Ismail, and Y. Wang, "An Analog MOS Implementation of The Synaptic Weights For Feedback Neural Nets", Proc. IEEE ISCAS, May 1989, pp.1223-1226.
 [8] D.W. Tank and J.J. Hopfield, "Simple 'Neural' Optimization Networks: An A/D Converter, Signal Decision Circuit, and a Linear Programming Circuit", IEEE Tran. on Circuits and Systems, vol.CAS-33, No.5, May 1986, pp.533-541.
 [9] J.J. Hopfield, "Neurons with Graded Response Have Collective Computational Properties Like Those of Two-State Neurons", Proc. of National Academy of Sciences USA 81, May 1984, pp.3088-3092.



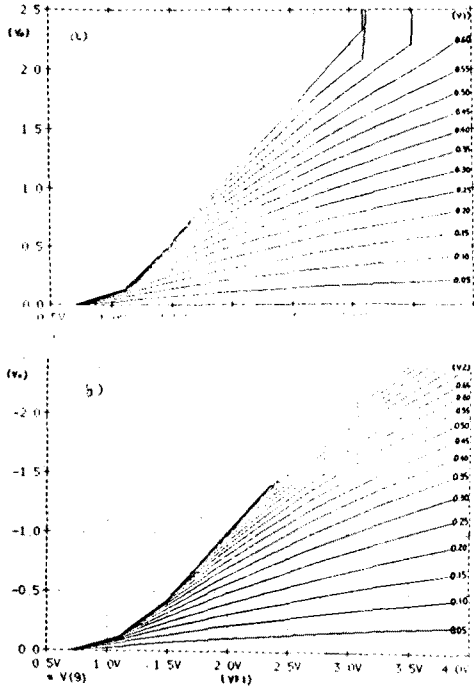
[그림 1] MOS transistor



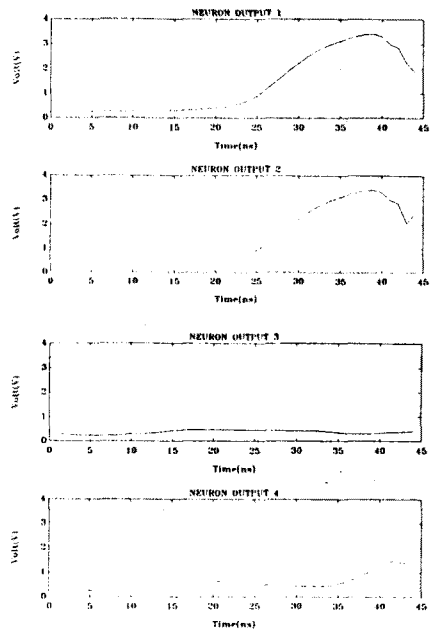
[그림 2] MOS로 구성된 곱셈기 회로



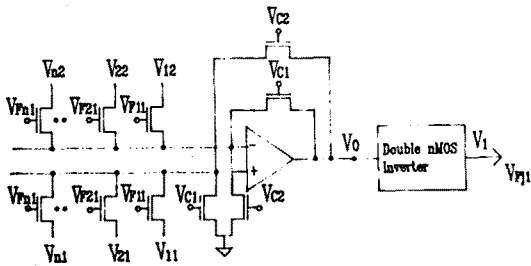
[그림 3] MOS의 갯수를 줄인 곱셈기



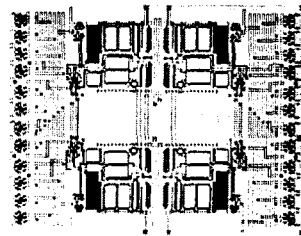
[그림 4] a) 양의 weight를 나타낸 곱셈기의 출력
b) 음의 weight를 나타낸 곱셈기의 출력



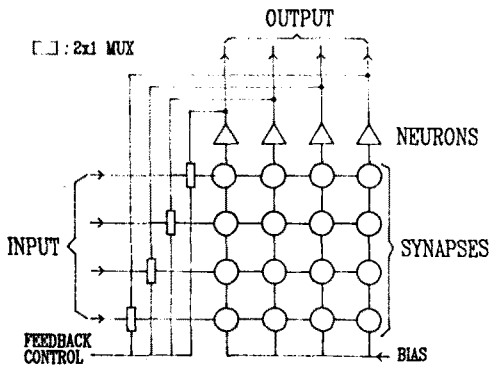
[그림 7] 신경망의 연상 기억 SPICE 실험결과



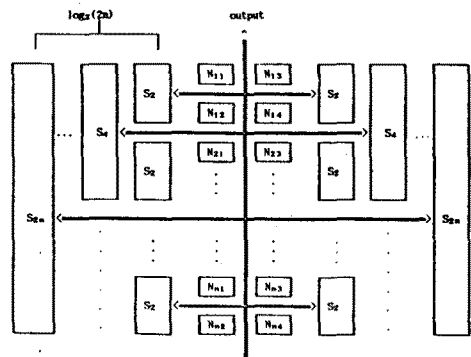
[그림 5] 곱셈기를 이용한 기본신경망의 구성



[그림 8] 4-뉴런 홉필드 신경망의 배치설계



[그림 6] MUX 를 이용한 신경망 구조



[그림 9] 확장성을 위한 tree 구조