

장파장 광수신 OEIC의 제작 및 특성

Fabrication and Characteristics of Long Wavelength Receiver OEIC

박기성^o, 오광룡, 김정수, 이웅탁
한국전자통신연구소, 광전자 연구실

Abstract

The monolithically integrated receiver OEIC using InGaAs/InP PIN PD, junction FET's and bias resistor has been fabricated on semi-insulating InP substrate. The fabrication process is highly compatible between PD and self-aligned JFET, and reduction in gate length is achieved using an anisotropic selective etching and a non-planar OMVPE process.

The PIN photodetector with a 80 μm diameter exhibits a leakage current of less than 5 nA and a capacitance of about 0.35 pF at -5 V bias voltage. An extrinsic transconductance and a gate-source capacitance of the JFET with 4 μm gate length (gate width = 150 μm) are typically 45 mS/mm and 0.67 pF at 0 V, respectively. A voltage gain of the pre-amplifier is 5.5.

I. 서론

광소자와 주변 전자 회로를 단일칩위에 집적시킨 광전집적회로 (OEIC: Opto-electronic Integrated Circuit)는 고성능, 고신뢰성 및 저가격이라는 특성때문에 여러 분야에의 활용이 예상되면서 최근 많은 연구가 진행되고 있다. 특히 이들중에서 InP계 물질을 사용하여 광검출기와 증폭회로를 집적시킨 장파장 광수신 OEIC는 실리카 광섬유의 최저 손실 파장대에서 우수한 광수신 응답 특성을 나타내며 미약한 전기 신호를 취급하는 수신단으로 집적의 필요성이 가장 높은 부분이어서 여러가지 OEIC중에서 가장 활발한 연구가 이루어지고 있다. 그러나 이러한 필요성에도 불구하고 InP계 트랜지스터의 제작 기술이 단일칩 집적을 위해 필수적인 소자 특성의 정밀 제어 단계에 까지 아직 이르지 못했기 때문에 장파장 광수신 OEIC는 아직까지 집적도도 낮고 여러가지 구조가 시도되고 있는 단계에 있다. InP계 JFET와 InGaAs PIN PD를 집적시킨 경우,¹⁾⁻³⁾ MISFET와 PIN PD를 집적시킨 경우들이 있으며,⁴⁾ 또한 최근에는 GaAs나 InAlAs와 같은 에너지갭이 큰 물질을 중간층으로 사용하여 트랜지스터로는 MESFET나 HEMT를 광검출기로는 PIN PD나 MSM PD 등을 집적시켜 우수한 특성을 나타낸 사례들이 있다.⁵⁾⁻⁷⁾

본 논문에서는 그 특성이 비교적 우수하고 가장 안정된 것으로 알려진 InGaAs PIN PD와 JFET를 집적시킨 새로운 구조의 OEIC에 대하여 제작 및 특성에 관하여 고찰하였다.

II. 제작 공정

그림-1에 제안된 OEIC의 제작 공정 단면도가 있다. 먼저 OMVPE에 의해 PIN PD를 위한 $1 \times 10^{15} \text{ cm}^{-3}$ 의 도우핑 농도를 갖는 1.5 μm 두께의 undoped-InGaAs 흡수층, 0.1 μm 두께의 InP etching stop층 및 JFET와 바이어스 저항을 위한 $1 \times 10^{17} \text{ cm}^{-3}$ 의 도우핑 농도를 갖는 0.3 μm 두께의 n-InP 채널층을 성장시킨다. 그림-1의 (b)에서 보는바와 같이 게이트 길이 (L)이 결정되는 undoped-InGaAs층의 이방성 선택 에칭을 한후 0.5 μm 두께의 p⁺-InP층을 비평면 OMVPE 공정에 의해 두번째 성장을 한다. 그리고 p형 저항성 접촉을 위한 금속을 lift-off 방법으로 증착하고 열처리를 한다. 그후에 InP, InGaAs 및 InP층들을 연속적으로 에칭해내면 FET 게이트의 자기 정렬 구조가 형성된다. 이때 에칭에

사용되는 용액은 InP 선택 에칭을 위해서는 $1\text{HCl} + 8\text{H}_3\text{PO}_4$ 이며, InGaAs 선택 에칭을 위해서는 $5\text{H}_3\text{PO}_4 + 1\text{H}_2\text{O}_2$ 이다. 나머지 공정으로는 n형 저항성 접촉을 위한 자기 정렬 금속 증착 및 열처리, passivation과 평면화를 위한 $1.0\ \mu\text{m}$ 두께의 polyimide 공정 그리고 끝으로 소자간 배선 및 bonding pad를 위한 금속 증착이 있다. 제작된 광수신 OEIC의 현미경 사진 및 회로도가 그림-2에 있다. 집적된 회로는 한개의 PIN PD와 바이어스 저항 및 두개의 JFET로 구성된 전치 증폭단으로 구성되어 있다.

III. 특성 측정 및 결론

지름이 $80\ \mu\text{m}$ 인 PIN PD는 $-5\ \text{V}$ 의 바이어스 전압에서 누설 전류는 $5\ \text{nA}$ 미만이며, 정전 용량은 대략 $0.3\ \text{pF}$ 정도의 값을 나타내었다. 그림-3과 4는 각각 바이어스 전압에 따른 PIN PD의 누설 전류와 정전 용량이다. 그림-4의 C-V 곡선으로부터 undoped-InGaAs층의 도우핑 농도는 high 10^{15} 내지 low $10^{15}\ \text{cm}^{-3}$ 로 계산된다. 그림-5는 제작된 JFET의 게이트 전압이 $-2\ \text{V}$ 에서 $0.5\ \text{V}$ 까지의 I-V 특성 곡선이다. 게이트 길이 및 폭이 각각 $4\ \mu\text{m}$ 및 $150\ \mu\text{m}$ 인 JFET의 전형적인 extrinsic transconductance 값은 $0\ \text{V}$ 에서 $45\ \text{mS/mm}$ 이며, 최대값은 $110\ \text{mS/mm}$ 까지 나타내었다. 그림-6에 게이트 전압에 따른 드레인 전류 및 transconductance 값이 나타나있다. 그림-7은 게이트 전압에 따른 게이트-소오스간 정전 용량으로 $0\ \text{V}$ 에서 $0.67\ \text{pF}$ 를 나타내었다. 그리고 구동 FET 및 active load로 구성된 전치 증폭단의 전압 이득은 대략 5.5 이며 이의 전달 곡선이 그림-8에 나타나있다.

결론적으로, InGaAs PIN PD와 자기 정렬 구조의 JFET로 구성된 광수신 OEIC를 제작하였으며, 제작된 OEIC는 5.5 정도의 전압 이득 특성을 나타내었다.

참 고 문 헌

[1] R.F.Leheny, et. al., Electron. Lett., vol.16, no.10, 1980, p.353
 [2] Y.Akahory, et. al., Electron. Lett., vol.25, no.1, 1989, p.37
 [3] W.S.Lee, S.A.Kitching, and S.W.Bland, Electron. Lett., vol.25, no.8, 1989, p.522
 [4] K.Kasahara, et. al., Electron. Lett., vol.20, no.8, 1984, p.314
 [5] J.Shimizu, et. al., Electron. Lett., vol.26, no.12, 1990, p.824
 [6] H.Nobuhara, et. al., Electron. Lett., vol.24, no.19, 1988, p.1247
 [7] W.P.Hong, et. al., Electron. Lett., vol.25, no.23, 1989, p.1561

* 이 연구는 파기처 특정 연구 사업에 의한 것임

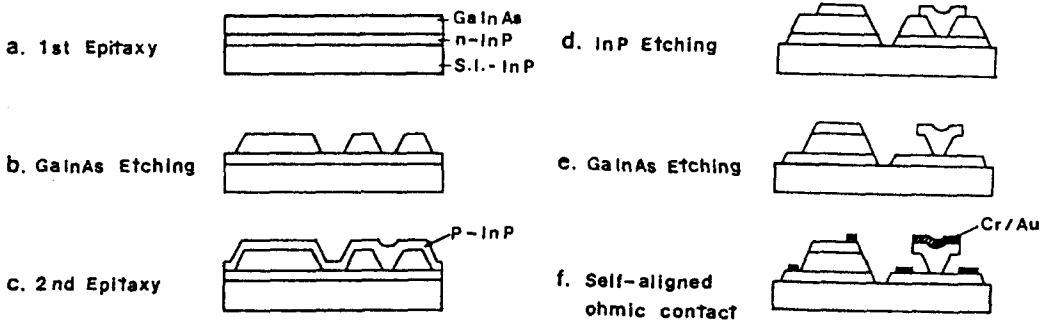
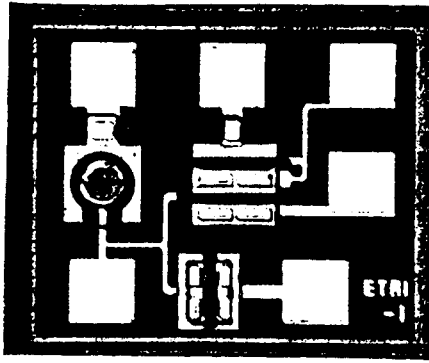
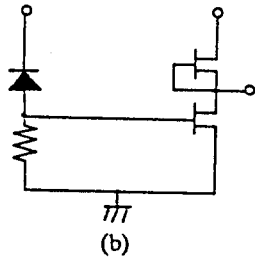


그림-1 제안된 광수신 OEIC의 제작 공정 단면도



(a)



(b)

그림-2. (a) 제작된 OEIC의 현미경 사진 및
(b) 회로도

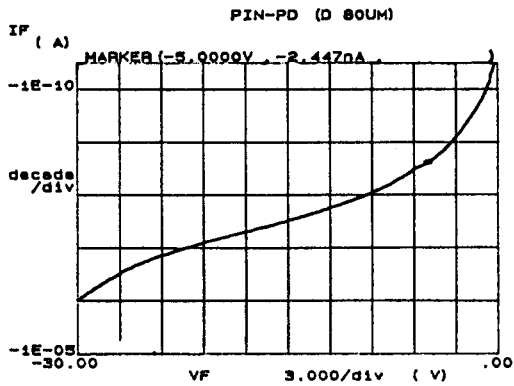


그림-3 InGaAs PIN PD의 바이어스 전압에 따른 누설 전류

High frequency C-V plot

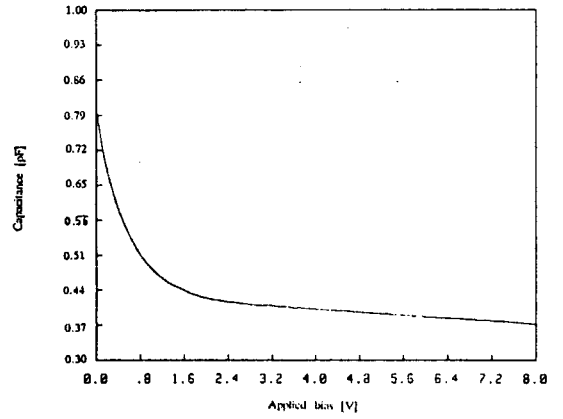


그림-4 InGaAs PIN PD의 바이어스 전압에
따른 정전 용량

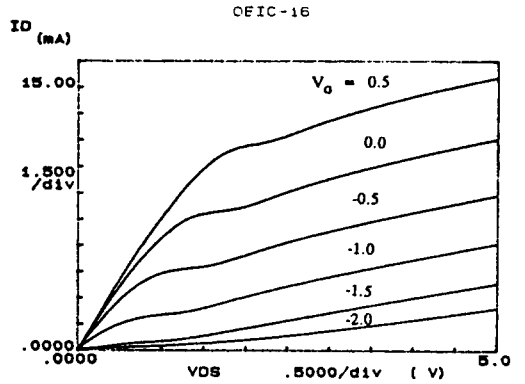


그림-5 InGaAs JFET의 I-V 특성 곡선

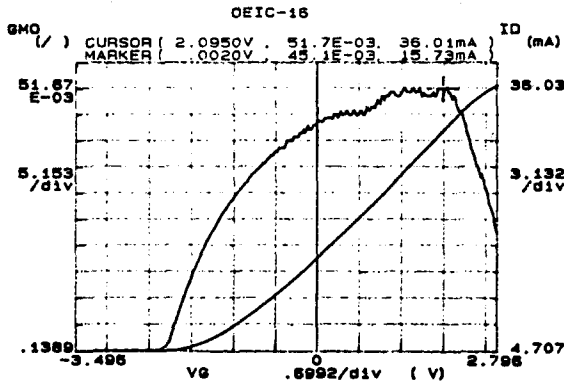


그림-6 InGaAs JFET의 게이트 전압에 따른 드레인 전류 및 transconductance 값 ($V_{DS} = 3\text{ V}$)

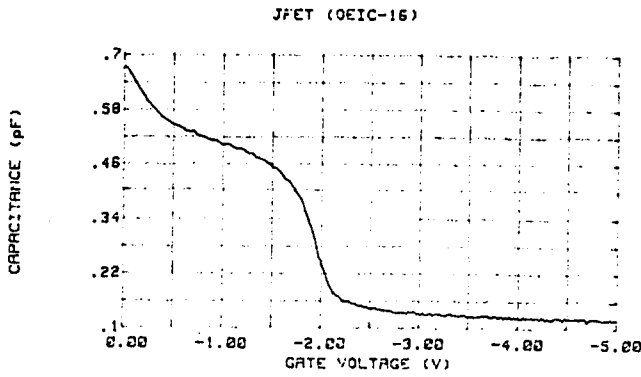


그림-7 InGaAs JFET의 게이트 전압에 따른 게이트-소오스간 정전 용량

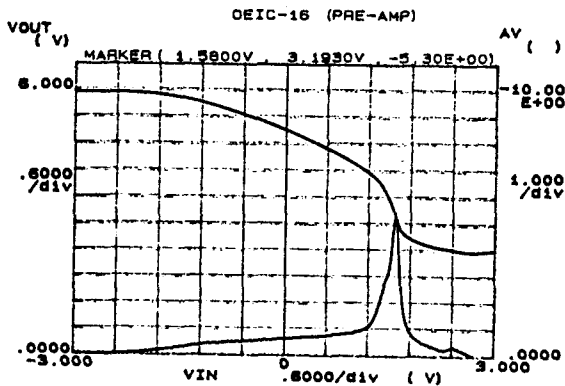


그림-8 전치 증폭단의 전달 곡선 및 전압 이득 ($V_{DD} = 6\text{ V}$)