

잔류 광전도체 어레이를 이용한 광전신경망의 학습성능분석

Analysis of Optoelectronic Neural Networks with Persistent Photoconductors Array

김 중문, 송 석호, 유 병수

한국전자통신연구소, 기초기술연구부

ABSTRACT

An optoelectronic implementation of analog and non-volatile synaptic weights of neural networks is proposed by using the doping modulated amorphous silicon multilayer. The persistent photoconductivity(PPC) of the multilayer induced by a short illumination is characterized in experiment and implemented to the non-volatile synaptic weights. An optoelectronic processor with the single layer perceptron algorithm is also proposed. Some learning equations of the processor are derived and the results of simulation are presented.

I. 서론

패턴 혹은 음성을 실시간적으로 인식하기 위해서는, 기존의 컴퓨터 구조와는 다른 정보처리 방식을 필요로 한다. 연상기억(associative memory)과 학습(learning)을 기초로 하는 인간의 뇌는 이러한 인식 분야에서 뛰어난 능력을 가지고 있으므로, 뇌의 정보처리 방식을 공학적으로 구현하기 위한 신경회로망의 연구는 새로운 정보처리 방식의 컴퓨터 구현연구로 많은 관심을 끌고있다. 신경회로망은 높은 병렬성과 많은 연결선을 특징으로 하고 있는데, 현재의 전자기술로 구현하기 위하여 많은 연구를 하고 있으나, 병렬성을 이루기 위한 많은 상호 연결선을 집적화시키는 것과 뉴런간 가중치를 하드웨어로 구현하는데 많은 연구를 필요로 한다. 반면에 광학적 구현 방식에 있어서는, 광의 특성인 병렬성이 신경회로망의 병렬처리 능력을 잘 해결할수 있을 것으로 보인다. 그러나, 신경회로망을 광학적으로 구현하기 위해서는 전체 시스템의 콘트롤과 비선형 함수의 구현동이 해결되어야 하며, 실용화를 위한 시스템의 집적화가 요구된다. 따라서, 광학적 구현의 장점인 높은 병렬성과, 전자적 구현의 장점인 고정적화 및 다양한 함수 구성능력을 모두 갖출수 있는 광전자적(optoelectronic) 구현방식의 연구가 많은 관심을

끌고있다.[1] 즉, 광전기적 구현 방식에서는 광자의 병렬성을 이용하여 많은 상호 연결선의 문제점을 해결하고, 전자 회로를 이용하여 비선형 함수와 전체 시스템의 콘트롤을 구성한다. 집적화한 광전 신경회로망의 구현 방식에서는 전자회로에 의하여 조정되는 공간 광변조기(SLM)를 사용하여 광신호들을 조정하고, 광신호는 뉴런간의 연결 강도를 병렬적으로 조절시킨다[2]. 이와같이 구성하면 광신호를 전자신호로 변환시키는 수광 디바이스가 집적화하는데 중요한 디바이스가 된다. 발표되고 있는 광전 신경회로망의 수광 디바이스로는, 현재 전자회로에서 많이 사용하고 있는 디바이스인 광 다이오드[3], 광 트랜지스터[4], 촬상소자(charge coupled device 등)[5,6] 등을 사용하고 있다. 수광 디바이스들은 SLM을 통과하는 빛의 값을 검출하여 뉴런간의 연결 강도를 표시하게 되는데, 빛이 차단되게 되면 그 값을 잃어버리게 된다. 신경회로망이 갖는 기억 능력을 구현하기 위해서는 수광 디바이스가 가지는 값을 다른 주변 회로를 구성하여 기억시켜야 되므로, 복잡한 기억회로를 필요로하여 집적도 및 학습속도를 감소시키는 단점을 갖게된다.

이러한 단점을 극복하기 위해서는 광에 의하여 변화된 값이 주변회로가 없이도 지속적으로 기억할수 있는 디바이스가 필요하다. 즉, 광기억

물질을 사용하여 뉴런간 연결 강도를 기억시킬 수 있는 디바이스의 구현이 요구된다. 전자 포획 물질(electron trapping material) 중의 하나인 인(phosphor) 화합물을 이용한 광전기적 구현방식이 발표된바 있다[7,8]. 이의 특성은 가시광에 의하여 여기된 전자가 기저 상태로 내려가지 않고 포획 준위(Trapping level)에서 머물러 있다가 적외선 파장의 빛을 가하면 포획 준위에 축적된 전하의 양에 따라 빛을 낸다. 이를 이용하면 광에 의하여 음과 양의 뉴런간 연결 강도를 표시할수 있을뿐만 아니라, 전자를 포획 준위에 머물게하여 연결강도를 기억시킬수 있다. 그러나, 서로 다른 파장의 빛이 사용되어야 하는 단점을 갖는다.

본 논문에서는 뉴런간의 연결 강도를 기억시키기 위한 한 방법으로 비정질 실리콘의 잔류 광전도도(persistent photoconductivity: PPC)[9,10]를 이용하는 방식을 제안하고자 한다. 그리고 잔류 광전도도를 양자화된 값으로 사용하여 가변적이며, 아날로그 가중치로 사용할때 PPC의 시간에 따르는 변화 특성이 광전 신경망의 구현에 있어서 학습에 미치는 영향과 하드웨어 구현에 적합한 학습조건을 분석하였다.

II. 비정질 실리콘의 PPC를 이용한 광전 신경회로망

비정질 실리콘의 PPC 특성은 이들이 npnp... 또는 pnpn... 형태로 도핑된 초격자 구조를 가질때 나타난다. 실험에 사용된 npnp... 형태의 비정질 실리콘은 각층의 두께가 35nm 이고, n-형이 6층 p-형이 5층이며, 각층의 도핑농도는 200 ppm 이다. 적층된 비정질 실리콘을 진공 오븐으로 450K에서 30분간 어닐링하면 암전도값(dark conductance)을 보인다. 이러한 상태에서 입사되는 빛의 양에 따라 잔류 저항값이 변화하며 일정량 이상의 빛이 들어오면 포화현상을 보인다. 발표된 보고에 의하면 PPC 값은 수일이상 지속되며, 동일 조건에서 적층된 비정질 실리콘은 빛에 노출된 시간과 빛에 노출된 횟수에 따라 기억되는 광전도 값을 증가시킬 수 있다. 그림 1은 약 $5mW/cm^2$ 의 633nm 인 빛을 사용하고, 노출 시간이 1/500초인 경우($10 \mu Joule/cm^2$)에 광전도도 곡선을 나타낸 실험 결과이다. 암전도 값은 $0.53 \times 10^{-8} \Omega^{-1}$ 이며, 빛을

비추후 40초 후에는 약 $0.15 \times 10^{-8} \Omega^{-1}$ 정도의 전도도 증가를 보이고 있다. 이러한 짧은 시간 동안의 노출에 의한 광전도도의 시간 의존성을 수식화하면, 다음과 같이 두개의 지수함수로 나타낼수 있다.

$$F(t) = [2.3 \times \exp(-0.25t) + 7.7 \times \exp(-8.9t) + 1] \times F_{ppc} \quad (1)$$

여기서, 한번의 노출에 의해 변화된 광전도도가 최종적으로 도달하는 PPC를 F_{ppc} 라 하였다. 한번에 입사되는 빛의 세기와 노출시간이 일정하면, 노출 횟수에 따라 암저항 값과, 포화 저항값 사이를 양자화된 잔류 저항값으로 나타낼 수 있다. 그림 2에 일정량의 빛($5mW/cm^2$, 노출시간=1/500초)이 반복해서 비정질때 광전도 곡선이 어떠한 형태로 양자화 되고 변화하는지를 보여준다. 초기 상태에서 첫번째 빛을 비출때의 전도도 증가는 제외하고, 10초 간격을 두고 연속해서 비출때의 광전도도 증가량을 보면 거의 일정한 양이 증가되고 있다. 그러나, 전도도 값은 빛을 비추는 간격에 따라 측정되는 증가량이 다르고, 빛을 비추지 않은 상태에서는 계속 감소하여 PPC값으로 도달하게 되므로 실제로 뉴런간 연결강도에 적용하기 위해서는 식 (1)의 시간 의존성이 학습에 미치는 영향을 고려해야 된다.

잔류 광전도체 어레이로 이루어진 광전 신경회로망에 구성도를 그림 3에 도시하였다. 그림 3(a)는 광전 신경망의 개략도로서 입력 신호인 음과 양의 전압과 연결 강도를 나타내는 비정질 실리콘 어레이, 그리고 뉴런에서의 비선형 함수 구현을 위한 비교기(comparator)로 이루어져 있다. 입력 전압으로 표시되는 i 번째 뉴런과 비교기를 거친후의 출력인 j 번째 뉴런간의 연결 강도를 W_{ij} 행렬 요소로 나타내면, 각각의 W_{ij} 는 흥분 연결강도 W_{ij}^E 와 억제 연결강도 W_{ij}^I 의 두 요소로 나누어 표시할 수 있다. 이러한 두 연결강도를 이루는 한쌍의 PPC 요소로 하나의 W_{ij} 를 나타내고, 이러한 광전도체 어레이를 2차원적으로 배열하여 뉴런간 연결 강도를 나타내는 행렬(W_{ij})을 구현하게 된다. 즉, 가중치가 되는 적층된 비정질 실리콘에 흥분 및 억제강도 요소에 각각 $+V^E$ 와 $-V^I$ 전압을 가하여 음과 양으로 가중치를 가지도록 할수있다. 입력 및

출력은 1 또는 0의 이진값을 가진다. 그림 3(a)의 R_L 에서 얻은 출력전압은 다음과 같이 표시될 수 있다.

$$V_i^{out}(t) = R_L \times \sum_{j=1}^N [F_{ij}^E(t)V_j^E - F_{ij}^I(t)V_j^I], \quad (2)$$

$$i = 1, 2, \dots, N.$$

여기서, $F_{ij}^E(t)$ 는 ij 번째 광 전도체 어레이의 광전도도로서 식 (1)과 같은 시간 의존성을 갖는다. N 은 입력층의 뉴런수이다. 그림 3(b)는 광 전도체 어레이와 SLM을 사용하여 구성된 광전 뉴런 프로세서의 구조도로서, 수 cm^2 의 면적을 갖는 칩(chip)크기로 집적화 할 수 있음을 보인다.

III. 학습능력 분석

적중된 비정질 실리콘의 잔류 광전도도로 뉴런간 가중치를 표시할때, 그림 1, 혹은 식 (1)과 같이 잔류 광전도도가 빛을 받은후 서서히 감소하여 PPC 값에 도달하는 시간 의존성을 학습 과정에서 고려해야 한다. 본 논문에서 다루고자 하는 단층 퍼셉트론 학습은 다음과 같이 뉴런간 가중치를 조정하는 법칙을 갖는다.

$$\Delta W[n] = \eta \times (T[n] - O[n]) \times I[n]. \quad (3)$$

여기서, n 은 가중치를 변화시키는 횟수이고, η 은 학습율, $I[n]$ 은 입력, $O[n]$ 은 비선형 함수를 지난후의 출력, 그리고 $T[n]$ 은 원하는 출력이다. 본 논문에서 제안된 광전신경망에서의 학습식은 다음과 같은 가정을 가지고 유도된다.

- (1) 임의의 시간에서 잔류 광전도도의 시간 의존성은 식(1)의 $F(t)$ 를 따른다.
- (2) 일정한 주기에 따라 일련의 빛이 입사되면 광전도도는 일정한 값 만큼씩 증가한다.

위의 두 가정은 일정한 조건하에서 만들어진 비정질 실리콘을 사용하고, 매우 낮은 에너지의 빛을

사용할때는 그림 2의 실험 결과에서 보는 바와같이 일반적으로 성립된다.

$W[0]$ 를 초기의 뉴런간 연결 강도를 나타내는 행렬이라 하고, $W[1]$ 과 $W[2]$ 를 식 (3)에 따라 학습된 연결 강도라 할때,

$$W[1] = W[0] + (1+F[1])\Delta W[1] \quad (4)$$

$$W[2] = W[1] + (1+F[1])\Delta W[2] - (F[1]-F[2])\Delta W[1] \quad (5)$$

와 같이 각각 표기할 수 있다. 여기서 $F[1], F[2]$ 는 각각, 첫번째와 두번째 학습이 이루어지는 시간에서의 광전도도와 F_{ppc} 의 비율로서, 식 (1)로부터 구해진다. 따라서, 식 (4)에서의 $(1+F[1])$ 항은, 식 (3)에 의해 학습을 하는 경우 $\Delta W[1]$ 만큼의 가중치 변화를 얻지 못하고, 광전도도가 F_{ppc} 에 도달하기전에 갖는 $F[1]$ 만큼의 양이 추가되는 효과를 나타낸다. 식 (5)의 마지막항 $(F[1]-F[2])\Delta W[1]$ 은 $W[1]$ 학습에서 빛을 받아 변화된 광전도도가 다음 학습경우인 $W[2]$ 가 계산되는 동안에 감소하는 양을 나타낸다. 위의 (4)와 (5)식들을 n 번째 학습까지 확장하면 아래의 식과 같이 간단한 학습식으로 유도될 수 있다.

$$W[n+1] = W[n] + \Delta W[n+1] - \sum_{k=0}^n (F[k] - F[k+1])\Delta W[n-k+1], \quad F[0]=0 \quad (6)$$

그림 3에서 제안된 광전 뉴런 프로세서의 학습 능력을 식 (6)에 따라 시뮬레이션을 하였다. 분석에 사용된 데이터는 32개의 요소로 된 10개의 이진 벡터 패턴을 택하였으며, 이들 10개의 패턴을 10개의 노드로된 출력층에서 분리하여 인식하는 문제를 택하였다. 식 (6)에서 $(F[k]-F[k+1])$ 값이 매우 작게 되는 k 항 이상은 학습에 영향을 주지않는 외부 잡음으로 보고 시뮬레이션을 수행할때는 무시하였다. 학습의 완료는 식(3)에 의하여 결정되는 가중치를 이용하여 목적하는 값과

출력하는 값과의 차이가 없을때로 볼수있다. 그러나 컴퓨터상에서 위와같이 하여 학습이 완료되었다 하더라도 실제 구현에서는 가중치에 해당하는 광전도도가 계속해서 감소하므로, 학습이 완료된 가중치들을 일정값 이하로 감쇄시킨후 입력값을 다시 넣어 원하는 출력이 나와야 학습이 끝난 것으로 볼수있다. 본 시뮬레이션에서도 이러한 감쇄효과를 고려하였다. 여기서 일정값 이하한 식(6)의 $(F[k]-F[k+1])$ 항이 무시될수 있는 k 항 이하를 말한다. 감쇄된 가중치를 이용하여 출력된 값이 목표값과 차이가 없을경우 학습이 완료된것으로 본다.

한번 학습하는데 걸리는 시간(ΔT)은 1/500 초의 빛을 비추후 광전도도가 식 (1)에 의해 일정량으로 도달할때까지 기다리는 시간에 의해 결정된다. 따라서 ΔT 에 의해 학습의 가능성과 학습의 속도가 결정된다. ΔT 값을 무한대에서 잡는다는 것은 PPC 곡선에서 감쇄가 없는 F_{ppc} 값이 되므로 일반적인 퍼셉트론법칙을 다르게 된다. 그러나, ΔT 가 커지면 빠른 학습을 할수 없으므로, 가능한한 ΔT 값을 작게 잡아야한다. 그림 4에 ΔT 의 변화에 따른 시뮬레이션의 결과를 도시하였다. ΔT 가 클수록 학습반복횟수(iteration)를 줄일 수 있었으며, 본 시뮬레이션에서 취급한 데이터의 인식에서는 $\Delta T = 0.01sec$. 정도까지도 충분히 학습이 완료되었다. 실제 구현 시스템에서는 SLM으로서 LCTV를 사용하는 경우를 고려하고 있기때문에, LCTV 스크린의 반응시간과 비슷한 시간을 우선적으로 고려하여 수행하였다.

IV. 결과 및 토의

관류 광전도도를 이용한 광전 신경회로망을 제안하였으며, 적합한 학습식을 유도하였다. 그리고, 시뮬레이션을 통하여 본 논문에서 제안된 광전 신경회로망의 학습 가능성을 분석하였다. 광전도도가 시간에 따라 계속해서 감소하므로 학습시간 간격(ΔT)이 길어지면 원래 모델의 학습식을 따르나, 가능하면 간격을 줄여서 학습시간을 단축할 필요성이 있다. 그러나 학습시간 간격이 작으면 PPC 곡선에서 급격히 감소하는 영역에서의 광전도도 값을 이용하므로, 정상상태의

값(F_{ppc})과 차이가 커서 학습이 되지않을 수도 있다. 이러한 점을 고려하여 하드웨어 구성에 적합한 시간을 찾아본 결과 0.01초 까지는 적합한 학습을 할수 있었다. 앞으로 더욱 세밀한 학습 능력의 분석이 요구되나, 본 논문에서는 그 가능성만을 제시하고자 하였다. 뉴런간 연결강도를 구현하는데 하드웨어의 간소화가 광전 신경망의 집적화에 중요한 핵심 요소중의 하나이기 때문에, 비정질 실리콘의 관류 광전도도를 사용한 광전 신경회로망은 응용가능한 고집적 하드웨어로서 가능성을 갖고 있다.

참고 문헌

1. Nabil H. Farhat, "Optoelectronic Neural Networks and Learning Machines," IEEE Electronic Circuits and Devices Magazine, Sep. 32 (1989).
2. David Yu-Shan Fong and Christopher Tocci, "An Optoelectronic scheme for neural networks," Int. Joint Conf. on Neural Networks, Jan. II-129 (1990).
3. J.Ohta, K.Kojima, Y.Nitta, S.Tai, and K.Kyuma, "Optical neurochip based on three-layered feed-forward model," Optical Society of America, 15, 1362 (1990).
4. C.H.Neugebauer, A.Agranat, and A.Yariv, "Optically Configured Phototransistor Neural Networks," Int. Joint Conf. on Neural Networks, Jan. II-64 (1990).
5. A.Agranat, C.F.Neugebauer, and A.Yariv, "Parallel optoelectronic realization of neural networks models using CID technology," Applied Optics, 27, 4354 (1988).
6. A.Agrant and A.Yariv, "Semiparallel microelectronic implementation of neural network models using CCD technology," Electronics Letters, 23, 580 (1987).
7. Joseph Lindmayer, "A New Erasable Optical Memory," Solid State Tech. Aug. 135 (1988).

8. F.Itoh and K. Kitayama, "Optical outer-product learning in a neural network using optically stimuable phosphor," Optical Society of America, 15, 860 (1990).
9. S.C Agarwal and S. Guha, "Amopous silicon doping superlattice," J. of Non-Crystalline Solids, 77&78, 1097 (1985).
10. J.kakalios and H.Fritsche, "Persistent Photoconductivity in Doping-Modulated Amopous Semiconductors," Physical Review Letters, 53, 1602 (1984).

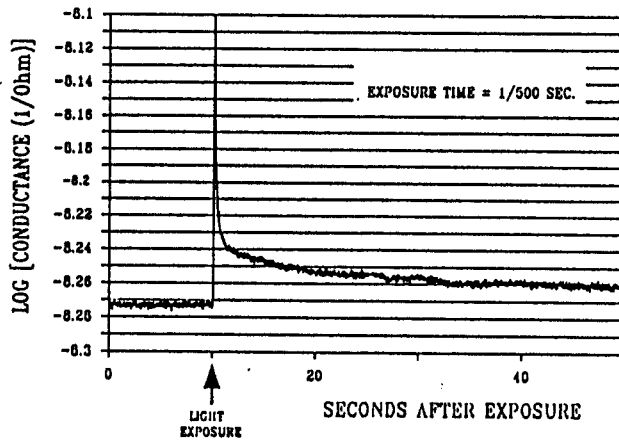


Figure 1. Time dependence of photoconductance of npn... a-Si:H multilayer at room temperature, after 1/500sec illumination with $5mW/cm^2$ 633 nm light.

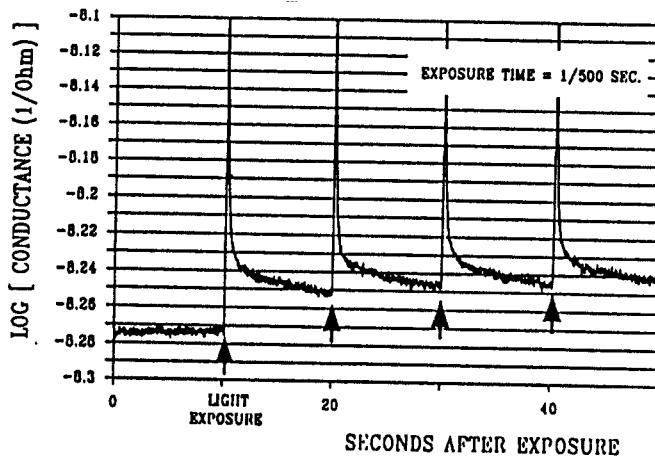


Figure 2. Photoconductances induced by a series of illuminations with the 1/500sec. exposure time

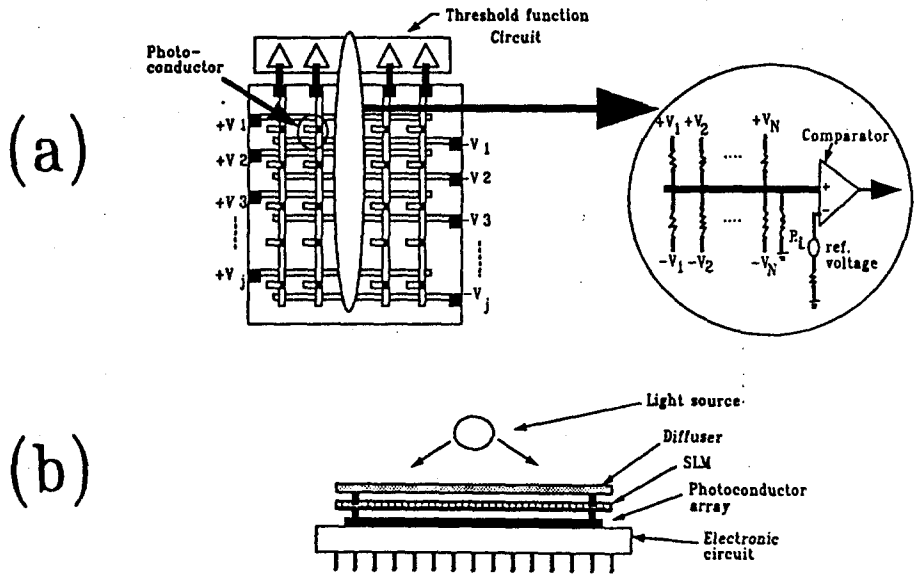


Figure 3. (a); schematic diagram of an optoelectronic neural network with a-Si:H photoconductive array, (b); side view of optoelectronic neural processor with SLM.

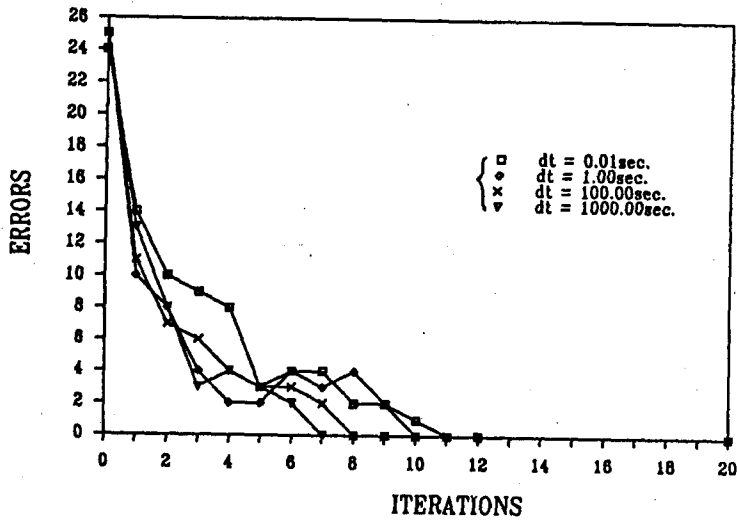


Figure 4. Results of simulation with 10 binary patterns with 32 binary elements. $\eta=0.2$ and dt = the time duration between learning cycles (ΔT in the text).