

컴퓨터의 간헐적 차단시 디지털제어시스템의 알고리즘 연구와 시뮬레이션

장 성 환 \* 두 평 수 \*\* 장 순 면 \*\*

원광대학교 전기공학과 교수 \* 원광대학교 대학원 \*\*

A study on the algorithm for Digital Control System with  
intermittant computer interruptions and its simulation

S. Wh. Jang\* P. S. Du\*\* S. M. Jang\*\*

\*. \*\* Dept of Electrical Eng. Won Kwang University

ABSTRACT

A mathematical model under intermittant computer interruptions and its simulation results are presented. As a result have simulated for example to digital PID controller presented by Salama, it occured transient phenomena intermittant computer interruption on real time. That is, it presented reason that is occurred instantaneous vibration phenomena when digital computer is interrupted intermittantly.

1. 서론

디지털 컴퓨터를 제어기로 이용하는 디지털 제어 시스템에서는 실시간(Real Time)공정은 물론 방대한 정보처리와 연산시간이 매우 빠른 마이크로 컴퓨터가 시스템구현에 결정적인 영향을 미친다. 디지털 제어 시스템에서는 컴퓨터의 기억장치에 정보를 기억시키거나 읽어내는 일, 연산처리 및 계산 등의 모든 공정이 샘플링 순간에 이루어진다. 컴퓨터의 샘플링 순간이 정상적으로 이루어지는 동안 임의의 샘플링이 온 상태가 되어야할 순간에서 영 상태도 지연될 경우 컴퓨터의 모든 공정이 정상적으로 이루어지리라고는 보장할 수 없다. 또한 컴퓨터에 의해 처리해야 할 여러가지 작업중 우선 순위에 의해 다른 작업이 일시적으로 중단되는 경우에도 디지털제어 시스템에 순간 순간 새로 계산된 제어입력을 전송하지 못하고 연기할 수도 있다. 원격 제어 시스템에서 측정정보가 전송라인의 중간장치에 의해 일시적으로 차단된다고 하면 제어 법칙을 순간 순간 계산하지 못할 것이다. 이와 같은 원인으로 컴퓨터가 간헐적으로 차단되어 새로 계산되어야 할 제어입력이 지연되어 디지털 제어시스템의 안정도에 불안정 요소를 유발할 것으로 예상된다. 본 연구의 목적은 디지털 제어 시스템에서 제어기로 컴퓨터를 이용하는 경우 컴퓨터의 실시간 계산 시간의 간헐적 차단시 알고리즘을 유도하였다. Salama<sup>1)</sup>에 의해 제시한 디지털 PID제어기를 예제로 시뮬레이션한 결과 실시간 간헐적 차단시 과도현상이 발생하였으며 이는 제어시스템에 차단시 순간적 동요현상을 유발하게 되는 원인이 됨을 보였다.

2. 수학적 모델<sup>2)</sup>

선형 시불변 이산치제어시스템으로 구성한 그림 1의 블록 선도로부터 다음식을 유도한다.

$$X_p(k+1) = A_p X_p(k) + B_p U(k) \quad (2-1)$$

$$Y(k) = C_p X_p(k) \quad (2-2)$$

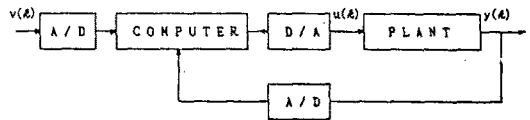


Fig 1. Block diagram of a Sampled-data control system with computer controller

여기서

$X_p(k)$ 는  $n \times 1$  상태벡터,  $U(k)$ 는  $r \times 1$  제어입력벡터,  $Y(k)$ 는  $m \times 1$  출력벡터이고,  $A_p$ ,  $B_p$ ,  $C_p$ 는 각각  $n \times n$ ,  $n \times r$ ,  $m \times n$  차원의 상수 행렬이다.

특히( $A_p$ ,  $B_p$ )는 완전제어 ( $C_p$ ,  $A_p$ )는 완전관측이 가능하다.

실시간  $k$ 에서 컴퓨터에 의해 계산되는 제어법칙은 다음식이 된다.

$$U(k) = C_a X_d(k) + D_d Y(k) + E_d V(k) \quad (2-3)$$

디지털 컴퓨터를 상태방정식으로 표현하면 다음식이 된다.

$$X_d(k+1) = A_d X_d(k) + B_d V(k) + F Y(k) \quad (2-4)$$

$$U(k+1) = V(k) \quad i=1, 2, \dots, N$$

여기서

$X_d(k)$ 는 디지털 컴퓨터의 상태벡터,  $V(k)$ 는 외부입력벡터이다.

실시간  $k+1$ 에서 디지털 컴퓨터가 정상적으로 계산된다고 하면, 식(2-1)과 식(2-2)으로부터

$$X_p(k+1) = (A_p + B_p D_d C_p) X_p(k) + B_p C_a X_d(k) + B_p E_d V(k) \quad (2-5)$$

를 얻는다. 또한 식(2-2), (2-4), (2-5)로부터 다음식을 유도한다.

$$X(k+1) = A_{n1} X(k) + B_{n1} V(k) \quad (2-6)$$

$$Y(k) = C_{n1} X(k) \quad (2-7)$$

여기서

$$X(k) = \text{Col} \{ X_p(k); X_d(k) \} \quad (2-8)$$

$$A_{n1} = \begin{bmatrix} A_p + B_p D_d C_p & B_p C_d \\ F C_p & A_d \end{bmatrix} \quad (2-9)$$

$$B_{n1} = \begin{bmatrix} B_p E_d \\ B_d \end{bmatrix} \quad (2-10)$$

$$C_{n1} = [C_p \quad 0] \quad (2-11)$$

컴퓨터가 실시간  $k+1$ 에서 이용된다면 다음식을 얻는다.

$$X_p(k+2) = A_p X_p(k+1) + B_p U(k+1) \quad (2-12)$$

$$U(k+1) = C_d X_d(k+1) + D_d C_p X_p(k+1) + E_d V(k) \quad (2-13)$$

$$X_d(k+2) = A_d X_d(k+1) + B_d V(k) + F C_p X_p(k+1) \quad (2-14)$$

식(2-12)와 (2-14)에 식(2-1)과(2-4)를 대입하면 다음식을 얻는다.

$$X_p(k+2) = (A_p^2 + A_p B_p D_d C_p + B_p C_d F C_p) X_p(k) + (A_p B_p C_d + B_p C_d A_d) X_d(k) + (A_p B_p E_d + B_p C_d B_d) V(k) \quad (2-15)$$

$$X_d(k+2) = (F C_p B_p D_d C_p + A_d F C_p + F C_p A_p) X_p(k) + (A_d^2 + F C_p B_p C_d) X_d(k) + (A_d B_d + F C_p B_p E_d + B_d) V(k) \quad (2-16)$$

또한 식(2-15)와 식(2-16)으로 부터 다음식을 얻는다.

$$X(k+2) = A_{n2} X(k) + B_{n2} V(k) \quad (2-17)$$

여기서

$$A_{n2} = \begin{bmatrix} A_p^2 + A_p B_p D_d C_p + B_p C_d F C_p & A_p B_p C_d + B_p C_d A_d \\ A_d F C_p + F C_p B_p D_d C_p + F C_p A_p & A_d^2 + F C_p B_p C_d \end{bmatrix} \quad (2-18)$$

$$B_{n2} = \begin{bmatrix} A_p B_p E_d + B_p C_d B_d \\ A_d B_d + F C_p B_p E_d + B_d \end{bmatrix} \quad (2-19)$$

한편 컴퓨터가 실시간 k+1에서 차단(interrupted)되었다고 가정하면 실시간 k+1에서 제어입력법칙 U(k)와 X\_d(k+1)은 새로 계산하지 못하고 k+1 이전의 데이터를 그대로 이용할 수 밖에 없으므로 다음식으로 된다.

$$U(k+1) = U(k) \quad (2-20)$$

$$X_d(k+2) = X_d(k+1) \quad (2-21)$$

$$X_p(k+2) = A_p X_p(k+1) + B_p U(k) \quad (2-22)$$

식(2-22)에 식(2-1)에서 식(2-4)까지를 대입하면 다음식을 유도한다.

$$X_p(k+2) = [A_p^2 + (A_p + I_p) B_p D_d C_p] X_p(k) + (A_p + I_p) B_p C_d X_d(k) + (A_p + I_p) B_p E_d V(k) \quad (2-23)$$

따라서 실시간 k+1에서 컴퓨터 차단하여 시스템 상태전이 방정식은 다음식으로 표현된다

$$X(k+2) = A_{ui} X(k) + B_{ui} V(k) \quad (2-24)$$

여기서

$$A_{ui} = \begin{bmatrix} A_p^2 + (A_p + I_p) B_p C_p & (A_p + I_p) B_p C_d \\ F C_p & A_d \end{bmatrix} \quad (2-25)$$

$$B_{ui} = \begin{bmatrix} (A_p + I_p) B_p E_d \\ B_d \end{bmatrix} \quad (2-26)$$

비록 컴퓨터가 실시간 k+1에서 제어법칙을 계산하지 못할 지라도 k+1 순간이 지난 이후에는 정상적으로 계산하게 되므로 다음식을 얻는다.

$$X(k+3) = A_{ui} A_{ui} X(k) + A_{ui} B_{ui} V(k) + B_{ui} V(k)$$

$$X(k+4) = A_{ui}^2 A_{ui} X(k) + A_{ui}^2 B_{ui} V(k) + A_{ui} B_{ui} V(k) + B_{ui} V(k)$$

$$X(k-1+i) = A_{ui}^{i-3} X(k) + A_{ui}^{i-4} B_{ui} V(k) + A_{ui} B_{ui} V(k) + B_{ui} V(k) \quad (2-27)$$

또한 컴퓨터가 k+1에서 차단되었다면 이순간에서의 상태전이 행렬 방정식은 다음식으로 간단히 표현된다.

$$X(k+1+i) = A_{ui}^i X(k) + B_{ui} V(k) \quad (2-28)$$

여기서 i > 4

$$A_{ui} = A_{ui} (A_{ui})^{i-3} A_{ui} \quad (2-29)$$

$$B_{ui} = A_{ui} \left[ \sum_{m=0}^{i-4} (A_{ui})^m \right] B_{ui} + [(A_{ui})^{i-3} + I_p] B_{ui} \quad (2-30)$$

### 3. 컴퓨터 차단시 제어법칙

컴퓨터 차단은 한 샘플링 주기 또는 두 샘플링 순간에서만 지속된다고 할 경우 이 순간에서는 컴퓨터가 새로운 제어법칙을 계산하지 못하게 된다. 그러나 이 주기가 지난 다음 샘플링에서는 정상적으로 계산되는 것으로 한다.

따라서 데드비트 제어입력 U(0), U(1), ..., U(N)이 계산되게 되므로 다음식을 세울 수 있다.

$$Y(N) = V_o \quad (3-1)$$

또한 공정계의 순환해와 디지털 컴퓨터의 순환해는 다음식으로 표현된다.

$$X_p(N) = A_1 A^{N-2} X_p(0) + A_1 A^{N-3} B_p C_d X_d(0) + A_1 A^{N-4} B_p C_d X_d(1) + A_1 B_p C_d X_d(N-3) + A_p B_p C_d X_d(N-2) + B_p C_d X_d(N-1) + A_1 A^{N-3-i} B_p E_d V_o + A_p B_p E_d V_o + A_p B_p E_d V_o + B_p E_d V_o \quad (3-2)$$

$$X_d(N) = A^{N-1} X_d(0) + \sum_{i=0}^{N-2} A^{N-2-i} F C_p X_p(i) + \sum_{i=0}^{N-2} A^{N-2-i} B_d V_o \quad (3-3)$$

여기서

$$A = [A_p + B_p D_d C_p] \quad (3-4)$$

$$A_1 = [A_p^2 + (A_p + I_p) B_p D_d C_p] \quad (3-5)$$

식(3-2)에 식(3-3)을 대입하여 간단한 형태로 다시 쓰면 다음식을 얻는다.

$$P X_d = W \quad (3-6)$$

$$R X_p = Z, \quad X_d(N) = X_d(N-1) = 0 \text{ 일때} \quad (3-7)$$

여기서 X\_p(0)와 X\_d(0)은 컴퓨터 차단시 초기조건이다.

$$X_d = \text{Col}\{X_d(0) : X_d(N-1)\} \quad (3-8)$$

$$X_p = \text{Col}\{X_p(0) : X_p(1) : \dots : X_p(N-1)\} \quad (3-9)$$

$$P = [C_p A_1 A^{N-3} B_p C_d : C_p A_1 A^{N-4} B_p C_d : \dots : C_p A_1 B_p C_d : C_p A_p B_p C_d : C_p B_p C_d] \quad (3-10)$$

$$W = [-C_p A_1 A^{N-2} : I_p - C_p (\sum_{i=0}^{N-2} A_1 A^{N-3-i} + I_p) B_p E_d] \begin{bmatrix} X_p(0) \\ \dots \\ V_o \end{bmatrix} \quad (3-11)$$

$$R = [A^{N-2} F C_p : A^{N-3} F C_p : \dots : F C_p] \quad (3-12)$$

$$Z = [-A_d A^{N-1} : -\sum_{i=0}^{N-2} A^{N-2-i} B_d] \begin{bmatrix} X_d(0) \\ \dots \\ V_o \end{bmatrix} \quad (3-13)$$

식(3-6)과 (3-7)로 부터

$$X_d = P^{-1} (P P^T)^{-1} W = [a : \alpha] \begin{bmatrix} X_p(0) \\ \dots \\ V_o \end{bmatrix} \quad (3-14)$$

$$X_p = R^T (R R^T)^{-1} Z = [b : \beta] \begin{bmatrix} X_d(0) \\ \dots \\ V_o \end{bmatrix} \quad (3-15)$$

또는

$$X_d(i) = \alpha_i V_o \quad \text{여기서} \begin{cases} X_p(0) = 0 \\ i = 0, 1, \dots, N-1 \end{cases} \quad (3-16)$$

$$X_p(i) = \beta_i V_o \quad \text{여기서} \begin{cases} X_d(0) = 0 \\ i = 0, 1, \dots, N-1 \end{cases} \quad (3-17)$$

여기서 우리는 다음과 같은 해를 가정한다.

$$X_d(N) = \alpha(N) V_o \quad (3-18)$$

$$X_p(N-1) = \beta(N-1) V_o \quad (3-19)$$

$$X_p(N) = \beta(N) V_o \quad (3-20)$$

$$U(1) = \theta_1 V_o \quad (3-21)$$

여기서

$$U(i) = \text{Col}\{U(0) : U(1) : \dots : U(N)\} \quad (3-22)$$

$$\theta_i = \begin{bmatrix} C_d \alpha_0 + D_d C_p \beta_0 + E_d \\ C_d \alpha_1 + D_d C_p \beta_1 + E_d \\ \dots \\ C_d \alpha_i + D_d C_p \beta_i + E_d \end{bmatrix} \quad i = 0, 1, \dots, N \quad (3-23)$$

이때 행렬  $\alpha(N), \beta(N-1), \beta(N)$ 이 반드시 유일해가 될 필요는 없다.

### 4. 시뮬레이션 및 결과 고찰

본 연구에서 유도한 식(3-14), 식(3-15), 식(3-22)을 시뮬레이션하였다. 예제로는 Salami가 제시한 디지털 PID

MIMO 시스템을 이용하였다. 이때 시스템의 모델식은 다음과 같다.

$$A_u = \begin{bmatrix} 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & & 0 & 0 & 0 \\ 0 & 0 & 0 & -1 & 0 & 0 & -1 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & 0 & 0 & -1 & 0 \\ 0 & 0 & 0 & 0 & 0 & -1 & 0 & 0 & -1 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 \end{bmatrix}$$

$$B_u = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ -1 \\ -1 \\ 1 \end{bmatrix}$$

$$C_u = \begin{bmatrix} 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 \end{bmatrix}$$

컴퓨터의 실시간 k=[2,3]에서 또는 k=[3,4]에서 차단되었을 때의 시뮬레이션 결과는 그림 (3-A)과 그림(3-B)와 같다. 이 결과에서 차단되는 순간보다 한 샘플링이 지난 k=i+1에서 과도현상이 발생하고 k=i+2에서 부터는 정상상태로 회복됨을 알 수 있다.

본 연구의 시뮬레이션 결과로 볼때 디지털 컴퓨터를 제어기로 이용하는 디지털 컴퓨터 시스템의 공정이 매우 예민한 작업을 실시할 경우에는 간헐적 차단 순간에 피크점이 발생하며 공정계에 동요현상을 유발하여 불안정 요소가 된다. 따라서 비교적 정교하고 복잡한 디지털 제어 시스템을 설계할 경우에는 컴퓨터의 간헐적 차단에 대비한 보완적 알고리즘이 보충되어야 할 것으로 사료된다.

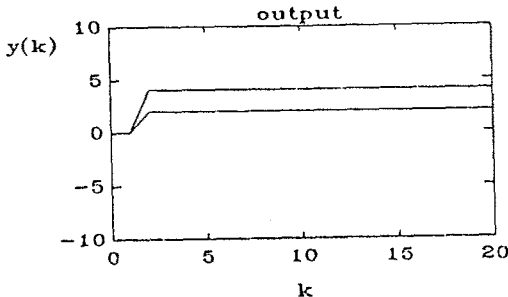
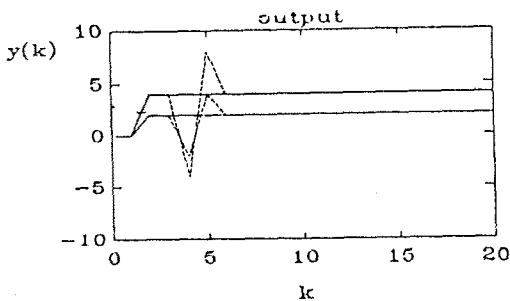
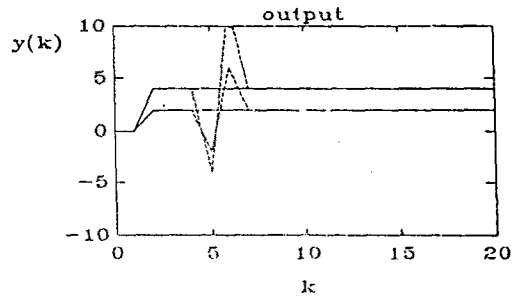


Fig2. response presented by Salama



(A)



(B)

Fig3. simulation results under intermittent computer interruptions

### 5. 결 론

본 연구에서는 컴퓨터의 간헐적 차단시 디지털 컴퓨터 시스템에 대한 수학적 모델식을 유도하였다. 본 연구의 시뮬레이션 결과로 볼때 디지털 컴퓨터를 제어기로 이용하는 디지털 컴퓨터 시스템의 공정이 매우 예민한 작업을 실시할 경우에는 간헐적 차단 순간에 피크점이 발생하며 공정계에 동요현상을 유발하여 불안정 요소가 된다. 따라서 비교적 정교하고 복잡한 디지털 제어 시스템을 설계할 경우에는 컴퓨터의 간헐적 차단에 대비한 보완적 알고리즘이 보충되어야 할 것으로 사료된다.

### 참고문헌

1. Karl J. Aström and Björn Wittemark, "Computer controlled system" Prentice-hall Inc, 1984
2. B.C.Kuo, "Digital control system", Holt Rinehard and winston Inc, 1980
3. Paul Katz, "Digital control using micro processors", Prentice-hall Inc, 1981
4. B.K.Bose, "Introduction to microcomputer control", Microcomputer control of power electronics and drives, IEEE Press, p3-22, 1987
5. M.Morris, Mano, "Computer architecture", Prentice-hall Inc, 1982
6. Z.V Rekasius, "Stability of digital control with interruptions", IEEE Trans on automatic control, Vol AC-31, No 4, p356-359, April, 1986
7. S.Wh.Jang, "Stability of Sampled Data Control Systems with Computer Interruptions", TKIEE, Vol 36, No 7, p 30-37, 1987, 7
8. James A.Cadzow and Hinrich R. Martens, "Discrete-time and computer control systems", Prentice-hall Inc, 1970
9. Ahamed I.A and Salama, "Design techniques of digital PI and PID controller for linear discrete time multivariable systems", Applied digital control, p 149-169, 1985