

# 전력선을 이용한 자동검침 시스템에서의 PSK 복조 및 동기처리

김인수\*    박양하\*    오상기\*    김관호\*    김요희\*    문홍석\*\*    바세용\*\*

한국전기연구소\*                      한기술연구원\*\*

## PSK Demodulation and Synchronization at Automatic Meter Reading System using Distribution Power Lines.

INSOO KIM\*    YANGHA PARK\*    SANGKI OH\*    KWANHO KIM\*    YOHEE KIM\*    HONGSUK MOON\*\*    SEIUNG PARK\*\*

Korea Electrotechnology Research Institute\*                      KEPCO\*\*

### ABSTRACT

In this paper, We present demodulation and synchronization method of phase shift keying signal using Double Frequency Vector Technique for Reference Vector.

2nd Harmonic Vector for Reference Vector is utilized in discriminating between noise and carrier signal, and in producting correlation value for data bit logical level.

And we applied this demodulator to Automatic Meter Reading System being communicated with electric distribution power lines.

Reference로 하여 잡음과 정보의 구별, 정보 감지, 동기 처리 및 복조 방법을 제시하고자 한다.

### II. 통신단말장치의 수신부 구성

BPSK 신호는 일정한 진폭을 가진 정현파의 신호를 2진 데이터의 한 논리 레벨이 어떤 위상을 가질때 다른 논리 레벨은 그것과 180° 다른 위상을 가지는 신호로 구성되어 있다. 이것을 수식으로 표현하면

$$V_{bpsk}(t) = A \cos(\omega t) \dots\dots\dots (1)$$

또는

$$V_{bpsk}(t) = A \cos(\omega t + \pi) = -A \cos(\omega t) \dots (2)$$

이다.

(1) 또는 (2) 식의 신호가 전송로를 거쳐 복조기에 도달할 때의 신호는

$$V_{bpsk}(t) = A' \cos(\omega t + \theta) \dots\dots\dots (3)$$

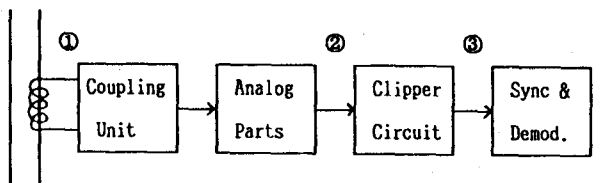
이다.

(3)의 형태는 위상변조이므로 진폭이 A → A'로 변화된 것은 의미가 없으며 정보는 위상에 실려 있음으로 신호의 변화는 위상이 θ만큼 변화하였다. 즉 시간적으로 θ/ω로 만큼 지연된 형태로 나타내게 된다. 이들 신호는 그림 1의 ① 위치에서는 그림 2와 같이 상용전원 주파수 60Hz 위에 Carrier 주파수로 위상변조 되어 나타난다.

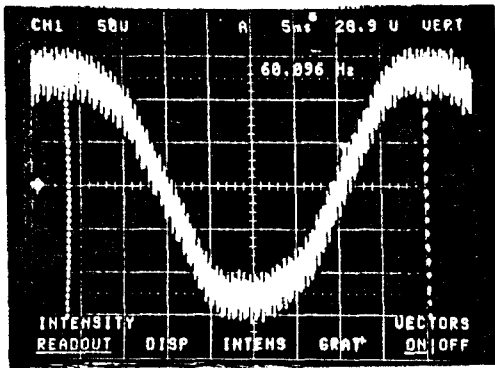
### I. 서론

전력을 공급하는 목적으로 시설된 전력선을 정보 전송로로 활용할 때 통신선에서는 존재하지 않는 전력선 고유의 잡음 특성, 신호감쇄 특성 및 임피던스 특성등을 고려하여 시스템을 설계하여야 한다.

따라서 전력선을 정보 전송의 매체로 활용하여 전력 사용량 자동검침 및 부하 제어등 전력회사와 수용가 사이의 정보 전송을 하고자 할때 가장 중요한 요소는 통신 부분이다. 이런 통신 부분에서 어떤 방식을 채택하는가에 따라 시스템의 Performance가 좌우됨으로 여러 요소를 감안하여 선택하여야 한다. 본 시스템에서의 변조 방식은 같은 S/N비를 가질때 여러 확률이 적은 PSK 변조방식을 선택하였고 동기 방식은 상용전원에 동기를 맞추면 전송 속도가 제한되므로 상용전원에 비동기이면서 동기를 위한 동기 비트열을 사용하여 동기화 처리하였으며 본 논문에서는 Carrier 주파수의 2배되는 주파수를

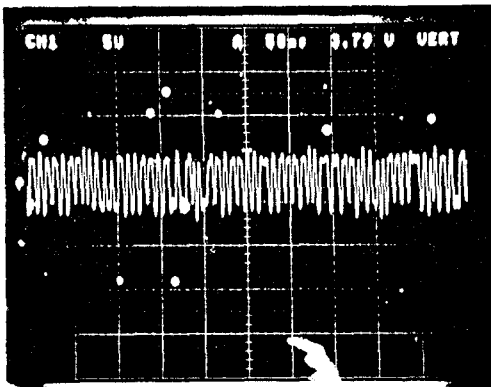


(그림 1 통신 단말장치의 수신 구성도)



(그림 2 상용전원에 BPSK 변조된 Carrier 신호가 실린 형태)

이들 신호는 HPF로 구성되어 있는 결합장치를 통하여 상용전원 주파수의 신호는 제거되고 고주파의 Carrier 신호 및 잡음이 통과되어 각종 Filter와 Amp로 구성되어 있는 Analog부분 통과하면 상당수의 잡음이 제거되고 신호의 크기가 일정한 형태로 만들어지며 이때의 파형은 그림 3과 같다.



(그림 3 Analog Part의 출력 신호 형태)

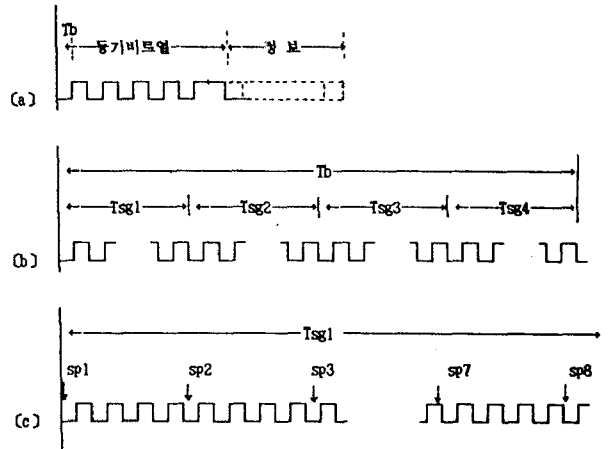
그림 3의 신호는 Clipper 회로에서 0, 5V로 제한되어 동기 및 복조기로 입력되며 이때 Limit된 신호는 위상성분의 정보를 가지고 있다.

### Ⅲ. 동기 및 복조 처리

본 시스템은 메시지의 정보 비트열 앞에 11 비트의 동기 비트열을 붙여서 정보의 송·수신을 행한다. 이 11비트의 동기 비트열은 동기를 맞추기 위해서 0 와 1의 반복되는 9 비트와 Data 비트의 논리 레벨을 맞추기 위한 연속되는 1의 2 비트로 구성되어 있으며 그림 4의 [a]와 같다. 그리고 이들 각 Data 비트들은 4개의 Segment로 나누어 Sampling 처리되는데 이것을 그림 4의 [b]에 나타내었고, 이들 1개의 Segment는 그림 4의 [c]에서와 같이 8개의 Sampling 과정을 거쳐 처리된다.

송신 장치에서의 Data bit는 일정한 Bit 간격 또는 미리 정해

진 Data 속도에 의한 Data Symbol 시간동안 Carrier에 위상변조되어 전송되고 수신장치의 Clipper 회로를 통과한 Carrier 신호는  $N + 1/S$  Carrier Pulse마다 Sampling 하여 1 Data bit를 8개의 Polarity Sample로 구성된 4개의 Segment 나눈다.



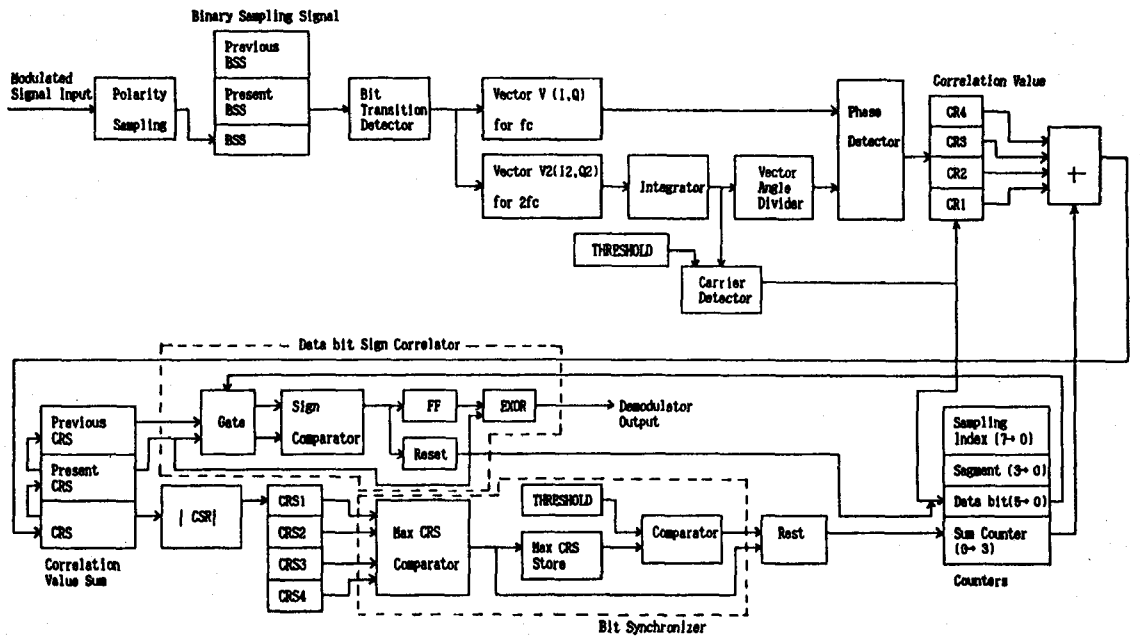
(그림 4 Data bit의 구조)

이때 Sampling Rate와 Carrier 주파수의 비가 정수가 되지 않도록 선택한 Sampling Pulse Rate에서 동간격으로 Sample한다. 그림 5에서 Polarity Sampling에서 레벨 Low이면 0, 레벨 High이면 1이 8 bit Binary Sampling Signal Store에 저장된다.

1개의 Segment에서 Sampling 되어 그림 5에 저장되는 한 형태는 그림 6중의 한 형태가 되며 Binary Sampling Signal Store에 저장된다.

Sample Count	7	6	5	4	3	2	1	0	
①	1	1	1	1	0	0	0	0	(+7, -3)
②	0	1	1	1	1	0	0	0	(+6, -2)
③	0	0	1	1	1	1	0	0	(+5, -1)
④	0	0	0	1	1	1	1	0	(+4, -0)
⑤	0	0	0	0	1	1	1	1	(-7, +3)
⑥	1	0	0	0	0	1	1	1	(-6, +2)
⑦	1	1	0	0	0	0	1	1	(-5, +1)
⑧	1	1	1	0	0	0	0	1	(-4, +0)

(그림 6 8bit Sample Signal Store 형태)



[그림 5 동기 및 복조기 구성도]

이때 Binary Sampling Signal의 주기는  $f_{BS} = \frac{f_c}{N \times S + 1}$ 가 되며 여기서  $f_c$ 는 Carrier 주파수이다.

Sampling 주파수  $f_s = f_c / (N + 1 / S)$ 이다.

Baud 속도는 데이터 비트당 Sampling Signal수인  $G$ 를 결정하므로 정해진다. Baud 속도는  $B = f_c / G (N \times S + 1)$ 가 된다.

8 bit Binary Sampling Signal의 이웃 bit와의 전이를 검색하여 전이가 일어나는 Sampling Index에 해당되는 Weight 값을  $f_c$ 에 대한 Lookup Table과  $2f_c$ 에 대한 Lookup Table에서 찾아서 Vector V와 Vector V2에 저장한다.

$f_c$ 와  $2f_c$ 에 대한 Weight 값은 표 1과 같다.

Sampling Index	V (I, Q)	V2 (I2, Q2)
7	(12, -12)	(0, -1)
6	(17, 0)	(1, 0)
5	(12, 12)	(0, 1)
4	(0, 17)	(-1, 0)
3	(-12, 12)	(0, -1)
2	(-17, 0)	(1, 0)
1	(-12, -12)	(0, 1)
0	(0, -17)	(-1, 0)

[표 1.  $f_c$ ,  $2f_c$ 에 대한 Weight 값]

여기서  $2f_c$ 에 대한 Vector 신호는 일정 Segment 동안 Integrator에서 모여 평균화 되는데 이것은 각 Segment에 대한 Correlation Value를 구하기 위한 Reference Vector로 사용하기위함과 Carrier Detector에서 Carrier 검출 유무를 판단하는데 이용된다.

표 2에는 Phase Detector에서 출력되는 Correlation Value를 구하기 까지 필요한 각종 Vector의 값을 표시하였다.

이들은 아래와 같이 구성되어 있다.

V (I, Q)는 Carrier의 기본 주파수에 대한 Vector이며 표 1에 값이 표시되어 있고, V2 (I2, Q2)는 Carrier의 제 2 Harmonic 주파수에 대한 Vector이며 또한 표 1에 값이 표시되어 있다.

Vs (IS, QS) 및 V2S (I2S, Q2S)는 각각 Sampling 과정에서 0 → 1 과 1 → 0로 각각 전이가 일어날때의 값인 합성된 합성 Vector들이다.

이들의 예는 다음과 같다.

$$VS \text{에 대한 성분은 } IS = I_p + (-I_n) = 17 - (-17) = 34$$

$$QS = Q_p + (-Q_n) = 0 + 0 = 0$$

이며, V2S에 대한 성분은

$$I2S = I2_p + I2_n = 1 + 1 = 2$$

$$Q2S = Q2_p + Q2_n = 0 + 0 = 0$$

이다. 여기서 P는 0 → 1로 Positive 전이, n는 1 → 0로 Negative 전이가 나타날때이다. 그리고 그림 5의 Integrator

에서 구해지는 평균 Vector  $V2_{avg}$  ( $I2_{avg}$ ,  $Q2_{avg}$ )는 16 Segment 동안 들어오는 합성 Vector 들의 값을 평균치를 취한 값을 가지며 Reference Vector  $VR$  ( $IR, QR$ )는 평균 Vector  $V2_{avg}$ 를 angle divide시켜 구한 값을 가진다.

Sampling Index	7	6	5	4	3	2	1	0	7	6
I	12	17	12	0	-12	-17	-12	0	12	17
Q	-12	0	12	17	12	0	-12	-17	-12	0
IS	24	34	24	0	-24	-34	-24	0	24	34
QS	-24	0	24	34	24	0	-24	-34	-24	0
I2	0	1	0	-1	0	1	0	-1	0	1
Q2	-1	0	1	0	-1	0	1	0	-1	0
I2S	0	2	0	-2	0	2	0	-2	0	2
Q2S	-2	0	2	0	-2	0	2	0	-2	0
I2 avg	0	32	0	-32	0	32	0	-32	0	32
Q2 avg	-32	0	32	0	-32	0	32	0	-32	0
IR	32	32	32	0	32	32	32	0	32	32
QR	-32	0	32	32	-32	0	32	32	-32	0
CR	+1536	+1088	+1536	+1088	-1536	-1088	-1536	-1088	+1536	+1088

[표 2 각종 Vector Value]

그리고 그림 5의 Phase Detector 출력 Correlation Value

$$CR = (IS \times IR) + (QS \times QR)$$

$$= (34 \times 32) + (0 \times 0) = +1088$$

이 된다. 여기서 부호 +는 현재의 Segment가 상대적 논리 1이 되며 만약 CR의 값이 - 부호를 가지면 상대적 논리 0을 나타낸다. 또한 그림 5의 Integrator의 출력  $V2_{avg}$  값이 미리 설정한 THRESHOLD 값을 능가하면 Carrier가 수신 되었다는 것을 알 수 있다. Carrier가 검출되면 그림 5에서 Phase Detector 후의 과정이 계속 되는데 동기화 처리 과정은 표 3과 같다.

Segment	SC1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Data																
Phase Detector	-CR	-CR	+CR	+CR	+CR	+CR	-CR	-CR	-CR	-CR	+CR	+CR	+CR	+CR	-CR	-CR
Segment Counter	3	2	1	0	3	2	1	0	3	2	1	0	3	2	1	0
Sum Counter	0	0	1	2	0	0	1	2	3	0	1	2	3	0	1	2
CR1	-CR	-CR	-CR	-CR	+CR	+CR	+CR	+CR	-CR	-CR	-CR	-CR	+CR	+CR	+CR	+CR
CR2	0	-CR	-CR	-CR	+CR	+CR	+CR	+CR	-CR	-CR	-CR	-CR	+CR	+CR	+CR	+CR
CR3	0	0	+CR	+CR	+CR	+CR	-CR	-CR	-CR	-CR	+CR	+CR	+CR	+CR	-CR	-CR
CR4	0	0	0	+CR	+CR	+CR	+CR	-CR	-CR	-CR	-CR	+CR	+CR	+CR	+CR	-CR
CRS1	CR	CR	CR	CR	3CR	3CR	3CR	3CR	9CR	9CR	9CR	9CR	7CR	7CR	7CR	7CR
CRS2	0	2CR	2CR	2CR	7CR	7CR	7CR	7CR	10CR	10CR	10CR	10CR	14CR	14CR	14CR	14CR
CRS3	0	0	CR	CR	CR	CR	3CR	3CR	3CR	3CR	9CR	9CR	9CR	9CR	9CR	9CR
CRS4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

[표 3 데이터 비트 동기화 과정]

표 3에서 상대적 논리 레벨을 나타내는 부호를 지난 Correlation Value는 1 Data bit 시간동안 즉, 4 Segment 동안 합쳐서 Correlation Value Sum 값인 CRS를 만들어 내며 이 CRS가 최대치로 나타날때 마다 Sum Counter는 0으로 Reset되며 이것은 1 Data bit의 마지막 Segment를 의미하나 미리 설정한 THRESHOLD 값을 넘지 못하면 아직 bit 동기가 이루어 지지 않았음을 의미하며 최대 CRS가 THRESHOLD 값을 넘어면 Sum Counter가 더이상 Reset 되지 않도록 Reset의 출력이 나타나지 않는다. 표 3에서 3번째 Data bit를 받았을 때 동기가 이루어졌음이 나타나 있다.

Sum Counter가 0이 될때마다 그때의 CRS의 부호가 Data bit의 상대적 논리 레벨이 되며 동기화 비트열중에서 Data bit의 절대적 논리 레벨을 맞추기 위한 논리 1의 연속적인 10, 11번째 Data bit가 Data bit Sign Correlator에서 상대적 논리 레벨을 나타내는 CRS의 부호를 절대적 논리 레벨로 맞추어 준다. 그림 5에서 Data bit Counter는 Carrier가 검출되면 Count Down을 시작하여 Counter 1이 되며 Data bit의 Sign이 동일할때 Rest을 통하여 Data bit Counter를 - 값을 가지게 한다. Data bit Counter가 -가 되면 모든 동기화 과정이 끝나 그 뒤에 복조기에서 출력되는 Data bit는 정보 비트를 의미하며 정보 해석 과정으로 들어가게 된다.

#### IV. 결론

본 복조기를  $N + 1 / S = 4 + 1 / 8$  Carrier Pulse 마다 Sampling 처리하여 8 bit Sample Signal을 발생시켰으며 따라

서 Sampling 주파수는  $f_s = f_c / (N + 1/S) = 9615.38 / (4 + 1/8) = 2331\text{Hz}$ 가 되며 이때 Data 전송속도  $B = f_c / G (N \times S + 1) = 9615.38 / 132 = 72.8437$  Baud가 된다.

위와 같은 속도로 본 복조기를 통하여 Data를 전송한 결과 정확한 Data bit 동기를 맞추어 줌으로써 완벽한 Data 복조가 이루어졌으며 또한 전력선에 포함 되어 있는 여러 종류의 Noise에 대하여서도 2fc에 대한 Vector  $V2$ 를 이용하여 효과적으로 변별이 가능하다.

#### V. 참고문헌

1. Taub, Schilling, PRINCIPLES OF COMMUNICATION SYSTEMS, MGH, 1986.