

# BICMOS를 이용한 전류형 고속 8비트 A/D변환기

\* 한 태희, 조 상우, 이 희덕, 한 철희  
한국과학기술원, 전기 및 전자공학과

## A High-speed 8-Bit Current-Mode BICMOS A/D Converter

\* Tae-Hi Han, Sang-Woo Cho, Heui-Deok Lee, Chul-Hi Han  
Dept. of Electrical Engineering, KAIST

**Abstract** - This paper describes a High-Speed 8-bit Current-Mode BiCMOS A/D Converter. The characteristics of this A/D Converter are as follows. First, as ADC is operating in current-mode we can obtain the properties of increase of converting speed, low noise, and wideband. Second, the properties of high switching speed in bipolar transistor and of high packing density, low power consumption in MOS transistor are combined. Finally we reduce chip area by designing it with subranging mode and improve the converting speed by performing subtraction directly, which doesn't need D/A convertings, using current switching element. This converter is composed of two 4-bit ADC, current source array which provides signal and reference current, current comparator and encoding network.

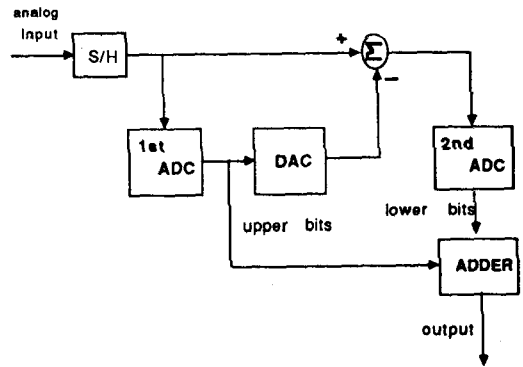


그림 1. 2단 병렬형 A/D 변환기

### I. 서론

#### (1) 아날로그-디지털 변환기의 개요

디지털 신호는 아날로그 신호에 비해서 정확도를 비트 수로 제어가 가능하고 제작 및 기타 신호 처리가 용이하므로, 아날로그 신호가 디지털 신호로 변환되어 처리, 저장 및 전송되는 추세이다. 이러한 신호 변환을 수행하는 것이 아날로그-디지털 변환기(이하 ADC)이다. 각 용도에 따라 ADC에 요구되는 특성은 다르게 되며, 주요 특성으로는 변환속도와 해상도, 그리고 구현 비용등을 들 수 있다. 오늘날 VLSI 기술의 발달로 인해 모듈리틱 형태로 ADC가 개발됨에 따라 작은 칩면적과 저전력소비 특성 또한 중요하게 되었다.

흔히 쓰이는 ADC에는 다음의 것들이 있다[1].

축차 비교형 변환기

전하 재분포 변환기

flash-type 변환기

$\Sigma$ - $\Delta$  아날로그-디지털 변환기

여러 종류의 ADC중, HDTV 및 영상 신호처리에는 빠른 변환속도와 8내지 10 비트 이상의 해상도를 갖는 ADC가 쓰이게 되며, 보통 flash-type 구조가 사용된다. 그러나 전 병렬(full-flash)형으로 설계할 경우 많은 소자수가 필요하다. 따라서 소자의 면적이 증가하게 될 뿐 아니라, 높은 전력소비에 따른 문제도 발생하게 된다. 이와 같은 단점을 보완하기 위해 2단(two step)병렬형의 ADC가 쓰이게 된다.

다음의 그림 1은 2단병렬형 변환기의 구조도이다[2].

이것은 변환기의 해상도를 높이기 위해 작은 해상도를 갖는 1차 ADC와 2차 ADC를 사용하여, 각각의 출력이 가산기(Adder)에서 합쳐져서 나오게 된다. n-비트 ADC를 전 병렬형으로 할 경우  $2^n - 1$  개의 비교기가 필요한데 비해, 2단 병렬형의 경우에는  $2 \times (2^{n/2} - 1)$  개의 비교기가 필요하므로 소자수는 크게 감소된다. 문제점으로는 변환속도가 반으로 줄고, 1차 ADC와 DAC 및 2차 ADC의 이득정합에 의해 변환기의 정확도가 결정된다는 것이다.

본 논문에서는 8 비트의 ADC를 구현하는데 있어 이단병렬형으로 하며, 1차 ADC 후 DAC를 거치지 않고 바로 subtraction을 수행하여 이 결과로 2차 ADC를 수행함으로써 변환속도저하를 감소시키고자 한다.

#### (2) 전류형 ADC

또한 전병렬형 ADC의 구현에 있어 지금까지는 전압을 신호원으로 하여 주로 이를 정합된 저항 또는 축전기 배열을 통해 기준 전압과 비교함으로써 출력을 내게 되는데, 이런 경우 회로의 node에서의 settling time이 변환 속도에 많은 영향을 끼치게 된다. 반면 전류형 신호로 받아들일 경우 속도와 잡음면에서 유리하게 되고 정확한 저항이나 축전기가 필요하지 않게 된다. 제안되어지는 ADC에서는 전류형 신호원으로 받아들이고 바이폴라 소자의 빠른 스위칭 속도와 MOS소자의 고집적 및 저전력 소비 특성을 살린 BiCMOS소자로 회로를 구현하고자 한다[3].

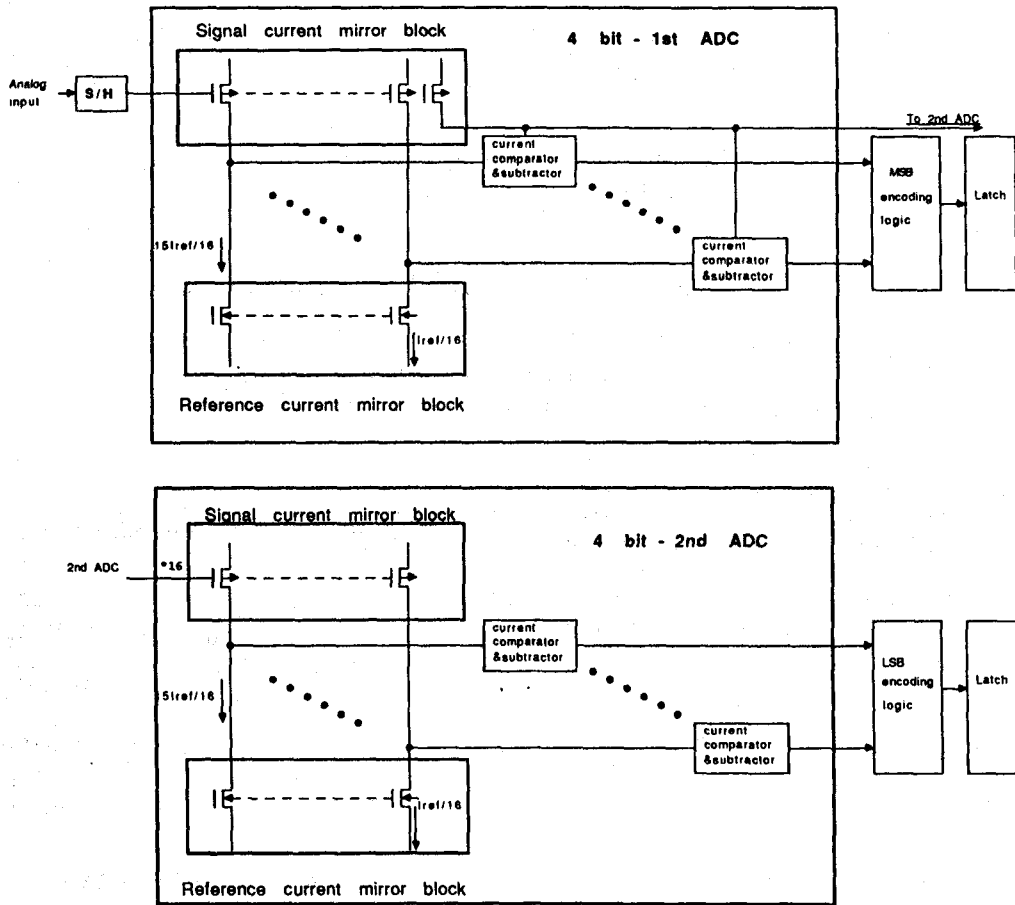


그림 2. 전류형 A/D 변환기의 전체 모식도

II. 8비트 전류형 ADC

(1) 동작

그림 2에서 전류 신호가 외부에서 S/H 를 거쳐 들어오면 먼저 1차 ADC에서 전류 반복기를 통해 동일한 16개의 신호전류를 만들어 내고, 이중 15개의 신호전류와 기준전류 반복기에서 만들어진 15/16 Iref, 14/16 Iref, ..., 1/16 Iref 가 전류비교기에서 비교되어진다. 비교되어진 결과는 다시 15개의 차감기로 전달되고 신호의 크기에 따라 차감기는 MSB를 위한 Low 또는 High의 출력을 Encoding Logic에 보내는 동시에 16번째 신호전류원에서 비교기에서 결정된 비트에 해당하는 양만큼의 전류를 빼내게 된다. 남은 신호전류는 16배로 되어 2차 ADC를 통해 다시 기준전류와 비교되어지며 여기서 나머지 비트가 결정된다.

(2) 전류 반복기

① 단순 전류 반복기

단순 전류 반복기는 구성은 쉬운 출력저항이 크지 못해 전류정합이 그리 정확하지 못하다는 단점이 있다. 해상도는 반복기를 구성하는 MOS 소자가 모두 포화영역에서 동작해야 하는 조건에서 얻을 수 있다. NMOS가 포화영역에서 동작할때

$$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2 \quad \dots \dots \quad (1)$$

$$(\beta = k_n \frac{W}{L}, k_n = \mu n C_{ox})$$

으로 표시되고

$$\frac{\Delta I}{I_{in}} = \frac{I_{out} - I_{in}}{I_{in}} \quad \dots \dots \quad (2)$$

이라 할때

$$\frac{\Delta I}{I_{in}} = \frac{\Delta \beta}{\beta} - \Delta V_T \left[ \frac{2\beta}{I_{in}} \right]^{1/2} \quad \dots \dots \quad (3)$$

으로 표시된다.  $\frac{\Delta \beta}{\beta} = 0.3$  \*라 하고 이를 무시하면

$$\Delta I = -\Delta V_T (2I\beta)^{1/2} \quad \dots \dots \quad (4)$$

이다. 모든 MOS 소자가 포화영역에서 동작하려면 그림 3의 (a)에서

$$V_{GS3} - V_T + |V_{GS4}| \leq V_{DD} \quad \dots \dots \quad (5)$$

이어야 하고

$$I_{max} = \frac{\beta}{2} \left[ \frac{V_{DD} - V_T}{2} \right]^2 \quad \dots \dots \quad (6)$$

으로 표현된다. 또한

$$|\Delta I| = \frac{1}{2} \text{LSB} = \frac{I_{max}}{2^{(n+1)}} \quad \dots \dots \quad (7)$$

일때

$$N = 1.44 \ln \left[ \frac{V_{DD} - V_T}{4 V_{DD}} \right] - 1 \quad \dots \dots \quad (8)$$

이고 적당한 data에 대해 8비트 이상의 분해능을 나타낸다. (대개 5 \* 이하의 전류오차)

② Cascode 형 전류 반복기

Cascode 형 전류 반복기를 쓸 경우 출력 저항이 증가해 전류 정합이 좋아진다는 장점은 있으나 모든 MOS 트랜지스터가 포화영역에서 동작하기 위해서는 그림 3의 (b)에서

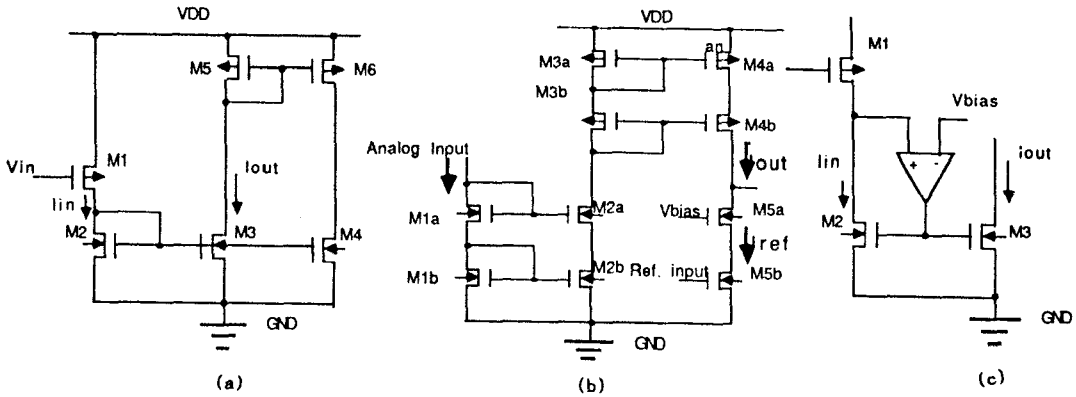


그림 3. 전류 반복기 (a) 단순 전류 반복기 (b) Cascode 형 전류 반복기 (c) Active 전류 반복기

$$I_{max} = \frac{\beta}{2} \left[ \frac{V_{DD} - 3V_T}{4} \right]^2 \dots \dots (10)$$

로 제한된다.

식 (4), (7) 를 참조하면

$$N = 1.44 \ln \left[ \frac{V_{DD} - 3V_T}{8 V_{DD}} \right] - 1 \dots \dots (11)$$

로 되어, 적당한 data에 대해서 7비트 이상의 해상도를 갖는다는 것이 힘들게 된다. ( 예를 들어  $V_{DD} = 5V$ ,  $V_T = 0.7V$ ,  $V_T$ 의 부정합을 0.2% 라 할때  $N = 6.8$  이다 )

㉓ Active 전류 반복기

좋은 전류 정합을 얻기 위해서는 전류 반복기의 트랜지스터를 최대 가능 게이트-소오스 전압에서 작동시킴으로써 문턱전압  $V_T$ 의 부정합의 영향을 방지하는 것이다. 동시에 mirroring 소자의 채널 길이 모듈레이션 효과를 없애기 위해 드레인-소오스 전압이 반복기의 입력과 출력 사이의 전압차로부터 완충되어야 하는 것이고, 이를 위해 그림 3의 (c)와 같은 Active 전류 반복기를 쓰게 되었다.

다. 이때 4 비트의 MSB가 결정된다. 나머지 전류를  $I_{sgn}$ 이라 하면 Active 전류 반복기를 통해 16배 되어져 2차 ADC에서 다시 전류 비교기를 통해 기준 전류와 비교되어져 나머지 4 비트를 결정하게 된다.

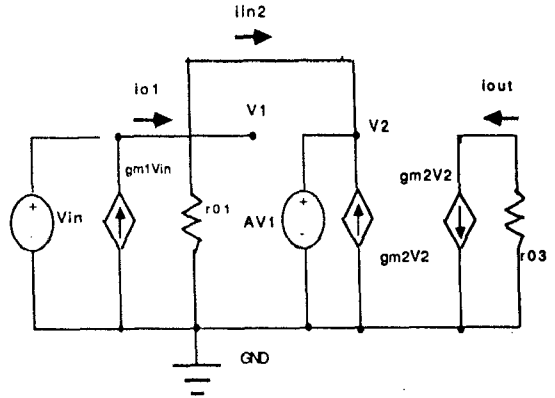


그림 4. Active 전류 반복기의 소신호 모델

그림 4'로부터

$$\frac{i_{in2}}{i_{o1}} = \frac{r_o}{r_o + 1 / A gm} \dots \dots (12)$$

따라서

$$\frac{i_{o1} - i_{in2}}{i_{o1}} = \frac{1}{A gm r_o} \dots \dots (13)$$

$$\left( r_o \gg \frac{1}{A gm} \right)$$

으로 표현가능하고 A가 100 일 경우 수십배 정도의 전류 정합 개선이 이루어진다[4].

(3) 전류 비교기 및 차감기 ( subtractor )

① 동작

그림 5.에서 신호 전류와 기준전류의 차이가 전류 비교기를 통해 들어가는 경우 즉  $I_{difference} > 0$  이면 Q1 은 도통, Q2는 차단,  $V_1$ 은 low,  $V_2$ 는 high. 그 결과 M3 도통 M4 차단. 따라서 M3 을 통해  $I_{sgn}$  에서 1/16 만큼의 전류가 뽑아진다. 또  $V_3$ 가 high가 되어 이것이 Encoding Logic으로 향한다.  $I_{difference} < 0$  이면, 유사한 원리로  $V_3$ 가 low가 되어 subtraction을 수행하지 않는다. 이러한 비교기, 차감기가 각각 15개 존재하여 신호전류에서 MSB에 해당하는 만큼의 전류를 빼내고 나머지가 2차 ADC로 가게 된

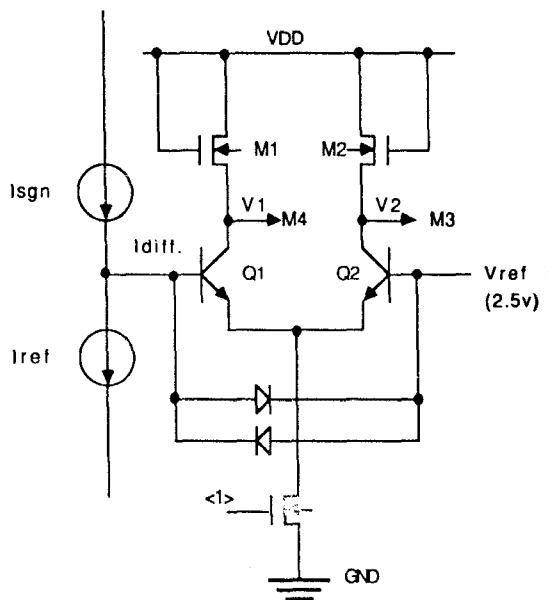


그림 5. 제안된 전류 비교기

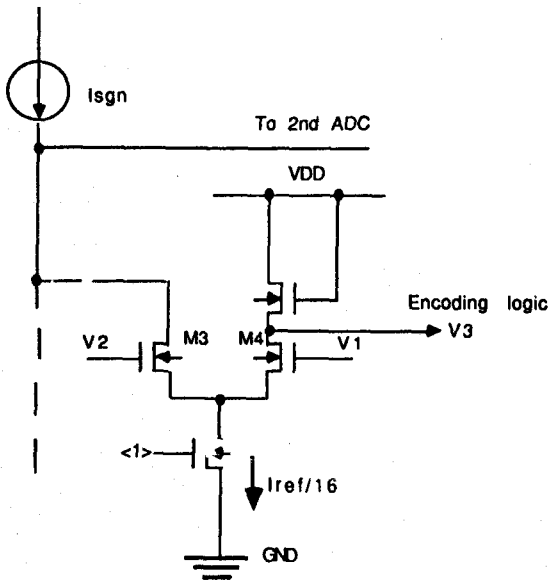


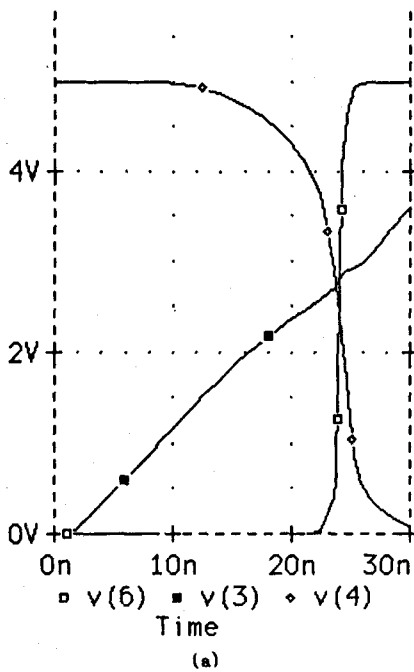
그림 6. Subtractor

IV. 결론

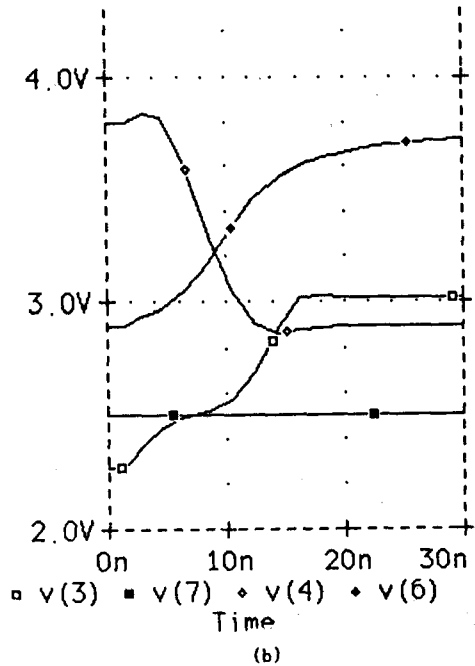
8 비트 ADC를 전류형 신호로 사용한 2단(two-step)병렬형으로 설계하였으며, 변환의 고속화를 위해 1차 ADC 후 DAC를 생략하고 신호 전류를 기준전류에서 바로 감하고, 감해진 신호전류를 가지고 2차 ADC 하는 방법을 사용하였다. 여기에서는 또한 BiCMOS 기술을 사용함으로써 바이폴라 소자의 장점과 MOS 소자의 장점을 이용하여 고속 및 저전력 특성을 갖도록 설계하였다.

참고문헌

- [1] 이 재식, "새로운 Digital-Predictive A/D 변환기의 설계 및 구현", 한국 과학기술원 석사 논문, 1991
- [2] Masayuki Ishikawa, "An 8-bit 50-MHz CMOS sub-ranging A/D Converter with Pipelined Wide-Band S/H", IEEE J. Solid State Circuits, vol. 24 pp. 1485-1491
- [3] C. Toumazou, F. J. Lidgey, "Analogue IC design: the current-mode approach", IEE circuits and system series 2, pp. 491-593
- [4] David G. Narin, "Current-mode algorithmic A/D converters", IEEE J. Solid State Circuits, vol. 25 pp. 997-1003, 1990



(a) CMOS inverter cascade형 전류 비교기



(b) 제안된 전류 비교기

그림 7. 전류 비교기의 SPICE simulation 결과

III. 시뮬레이션 결과

그림 5에 나타난 전류 비교기와 CMOS inverter cascade형 전류 비교기[4]를 SPICE로 simulation 해본 결과를 그림 7에 나타내었다. 결과에서 제안된 전류 비교기의 switching time 이 더 빠름을 알 수 있다.