

## 저전압 VDMOS 의 ON-저항 모델링

•김 성동, 김 일중, \*최 연익, 한 민구  
 서울대학교 전기공학과, \*아주대학교 전자공학과

## An Advanced On-Resistance Model for Low Voltage VDMOS

•Seong-Dong Kim, Il-Jung Kim, \*Yeans-Ik Choi and Min-Koo Han  
 Seoul National University, \*Ajou University

## ABSTRACT

An advanced on-resistance model of VDMOS devices in the low voltage regime is proposed and verified by 2-D device simulations. The model considers the lateral gaussian doping profiles in the channel region and exact current spreading angles in the epitaxial layer for both linear and cellular geometries by employing the conformal mapping. It is found out that the on-resistance of low voltage VDMOS may be overestimated considerably if it is analyzed by the conventional method. The 2-D device simulation results show that the proposed model is valid for all ranges of cell spacings and breakdown voltages.

## I. 서 론

항복 전압이 100 V 이하인 저전압 전력 MOSFET 은 입력 임피던스가 크고, switching 특성 및 온도 안정성 등이 우수하여, 최근에 전력 전자 회로 및 고전압 집적 회로 (HVIC) 등에 널리 이용되고 있다. 그러나 전력 bipolar transistor에 비해 on-저항이 비교적 크기 때문에 최적 설계 시 문제점이 되어, 그의 최소화를 위한 여러가지 연구가 수행되어 온 바, 기존의 on-저항 모델은 주로 고전압 영역에서 맞는 것으로 저전압 영역에서는 다소 부정확한 단점을 가지고 있다.

일반적으로 VDMOS 의 on-저항은 채널, 축적층, JFET 및 에피층 저항으로 구성되어지는 model[1][2]들로 해석되어 왔다. 이 중에서, Hu[2]가 제시한 model은 모든 cell 구조에 간단하게 적용할 수 있고, 고전압 영역에서 실험값과 잘 일치하기 때문에 가장 널리 사용되고 있다. 그러나, 이 모델은 채널 영역의 불순물 농도 분포를 균일하다고 가정하였고, 축적층 및 JFET 영역에서의 전류의 2 차원적인 확산 현상을 고려하지 않았으며, 에피층에서의 전류 확산각이 일정하다고 가정하였기 때문에, 에피층 이외의 저항 성분들이 중요해지는 저전압 영역에서는[1] 상당한 오차를 일으킬 수

있다. 본 논문에서는 이러한 요소들을 고려하면서, 저전압 영역에서 on-저항을 정확하게 해석할 수 있는 모델을 제시하였고, 2 차원 소자 시뮬레이션을 통하여 그 타당성을 검증하였다.

## II. on-저항 모델

본 논문에서 해석하고 있는 VDMOS 의 구조를 그림 1 에 나타내었다. 여기에서, S 는 p body 층의 크기이고 a 는 p body 층 사이의 간격이다. 또한, n<sup>+</sup> source 층의 수평 및 수직 접합 길이는 x<sub>a</sub> 와 t<sub>a</sub> 로, p body 층의 수평 및 수직 접합 길이는 x<sub>b</sub> 와 t<sub>b</sub> 로 각각 표시하였고 에피층의 두께는 t<sub>epi</sub> 로 나타내었다.

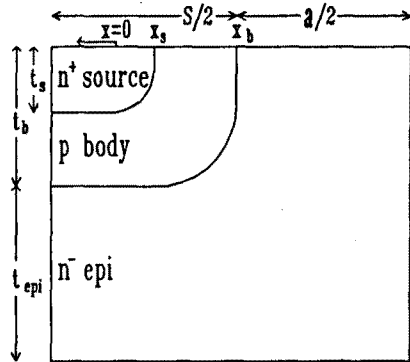


그림 1. VDMOS 의 수직 단면도

## 1. 채널 저항

채널 영역의 불균일한 불순물 농도 분포를 고려한 정확한 채널 저항은 이미 본 저자들이 발표한 바 있는 모델[3] 을 사용하였다. 즉, 2 차원 gaussian 농도 분포식으로부터,

채널 길이, 최대 농도 및 그 위치, 농도 분포를 해석적으로 계산하고, 이 계산된 채널 영역을 채널에 따라 수평 방향으로 작은 부분 요소로 나누어서, 각 부분 요소에서의 역전층 이동도와 문턱 전압을 구하여 저항을 계산하였다. 이렇게 얻어진 각 부분 요소들의 저항을 모두 더함으로써 채널 저항을 얻을 수 있다. 한편, 기존의 모델과의 정확한 비교를 위하여, 채널내의 최대 농도와 그 위치도 해석적으로 구하였다.

$$R_{ch} \cdot A = \frac{S + a}{2} \sum_{i=1}^n R_{ch, i} \quad (\text{linear})$$

$$= \frac{(S+a)^2}{4S} \sum_{i=1}^n R_{ch, i} \quad (\text{cellular}) \quad (1)$$

여기서,

$$R_{ch, i} = \frac{L_i}{\mu_{n, i} \cdot C_{ox} \cdot (V_g - V_{th, i})} \quad (2)$$

이고,  $R_{ch, i}$ ,  $L_i$ ,  $\mu_{n, i}$  및  $V_{th, i}$  는 각각  $i$  번째 부분 요소의 저항, 길이, 역전층 이동도 및 문턱 전압이며,  $A$ 는 단위 소자의 면적이다. 역전층 이동도는 실험식(4)을 이용하였다.

### 2. 축적층 및 JFET 저항

최근에, gate 전극 아래의 축적층 및 JFET 영역에서의 전류의 2 차원적인 확산 현상을 고려하기 위하여, 표면 전류 분포의 미분 방정식으로부터 유도된 해석적인 access 저항 모델[5]이 제시되었다. 이 모델은 p body 층 사이의 간격이 큰 경우에도 실험값과 매우 잘 일치하는 결과를 얻을 수 있어, 본 논문에서는 축적층 및 JFET 저항 대신에 이 access 저항 모델을 적용하였다.

$$R_{acc} \cdot A = \frac{\beta \rho_{sp} t_1}{2} (S + a) \operatorname{cth} \frac{\beta a}{2} \quad (\text{linear})$$

$$= \beta \rho_{sp} t_1 \frac{(S+a)^2}{4S} \frac{C_1 K_0(\beta S/2) + I_0(\beta S/2)}{C_1 K_1(\beta S/2) - I_1(\beta S/2)} \quad (\text{cellular}) \quad (3)$$

여기서,

$$t_1 = \max ( t_b \cdot \sin 45^\circ, \text{공핍층 두께} )$$

$$\beta = \frac{\rho_a}{\rho_{sp} t_1} \quad ( \rho_a : \text{표면 비저항} )$$

$$C_1 = I_1 \left( \frac{\beta}{2} (S+a) \right) / K_1 \left( \frac{\beta}{2} (S+a) \right)$$

$I_0, I_1, K_0, K_1$  : Bessel 함수

### 3. 에피층 저항

에피층 저항은 그림 2(a)와 같이 일정한 전류 확산 각도  $\alpha$  (일반적으로  $45^\circ$ ) 를 가정하여, 이 때 생기는 사다리꼴의 저항을 계산하는 방법[2]이 사용되어 왔다. 그러나, 에피층의 두께 ( $t_{epi}$ ), cell의 크기 ( $S$ ) 및 cell 사이의 간격 ( $a$ )이 변화함에 따라  $\alpha$ 도 변화한다. cell의 구조가 linear일 경우에는, JFET 영역과 에피층이 만나는 부분(그림 2(a)의 선분 WX)이 등전위라고 가정하여, 등각 사상(conformal mapping)을 적용하여 cell의 크기에 상관없이 정확한 에피 저항을 판단할 수 있다. 즉, Jacobian 함수를 이용하면[6], 그림 2(a)를 그림 2(b)와 같이 변환시킬 수 있어 에피층 저항을 쉽게 구할 수 있다. 고전압 영역에서 cell의 구조가 선형일 경우, 사다리꼴 모델은 등각 사상으로 정확히 계산한 결과와 비교하여 5% 이내의 오차를 갖는다고 알려져 있다[2]. 그러나, 저전압 영역에서는 이 오차가 커질 수 있고, cell의 구조가 cellular일 경우에는 등각 사상을 적용시켜 해석하지 않았다. 본 논문에서는 등각 사상과 사다리꼴 모델을 함께 응용하여 linear 및 cellular cell 구조의 정확한 저항을 계산하였다.

모든 cellular cell 구조의 중심 단면도는 그림 2(a)와 같이 된다. 이 때의 에피층 저항을 등각 사상으로 정확히 구

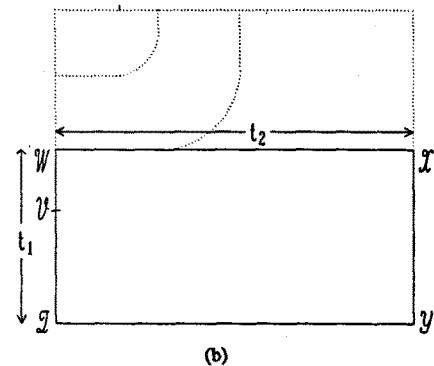
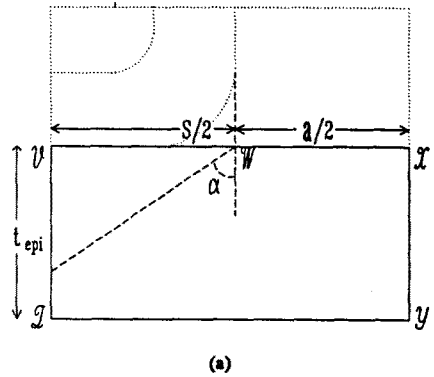


그림 2. 등각사상에 사용된 VDMOS의 에피층 수직 단면도  
(a) 사다리꼴 모델 (b) 등각사상에 의해 변환된 사각형

하여 ( $R_{ep1}$ ), linear 구조의 사다리꼴 에피층 저항 모델 ( $R_{ep2}$ )과 같다고 놓음으로써(즉,  $R_{ep1}=R_{ep2}$ ), 전류 확산 각도를  $t_{ep1}$ ,  $S$  및  $a$ 의 함수로 정확히 얻을 수 있다. 이렇게 계산된 전류 확산 각도를 cellular 구조의 사다리꼴 에피층 저항 모델에 대입함으로써, cell의 크기에 따른 정확한 에피층 저항을 얻을 수 있다.

$$R_{ep1} = \frac{\rho_{ep1} t_1}{Z t_2} \quad (4)$$

$$R_{ep2} = \frac{\rho_{ep1}}{2 \cdot Z \cdot \tan \alpha} \ln \left[ 1 + \frac{2 \cdot t_{ep1} \cdot \tan \alpha}{a} \right] \quad (5a)$$

$$\text{단, } \left[ \tan \alpha \leq \frac{S}{2 \cdot t_{ep1}} \right]$$

$$R_{ep2} = \frac{\rho_{ep1}}{2 \cdot Z \cdot \tan \alpha} \left[ \ln \left( 1 + \frac{S}{a} \right) + \frac{2 t_{ep1} \tan \alpha - S}{S + a} \right] \quad (5b)$$

$$\text{단, } \left[ \tan \alpha \geq \frac{S}{2 \cdot t_{ep1}} \right]$$

$$R_{ep1} \cdot A = \frac{\rho_{ep1}(S+a)}{4 \cdot \tan \alpha} \ln \left[ \frac{a+2t_{ep1}\tan\alpha - S}{a+2S-2t_{ep1}\tan\alpha} \cdot \frac{2S+a}{a} \right] \quad (6a)$$

$$\text{단, } \left[ \tan \alpha \leq \frac{S}{2 \cdot t_{ep1}} \right]$$

$$R_{ep1} \cdot A = \rho_{ep1} \left[ t_{ep1} - \frac{S}{2 \cdot \tan \alpha} \right] + \frac{\rho_{ep1}(S+a)}{4 \tan \alpha} \ln \left[ \frac{2S+a}{a} \right] \quad (6b)$$

$$\text{단, } \left[ \tan \alpha \geq \frac{S}{2 \cdot t_{ep1}} \right]$$

4. on-저항

앞에서 얻어진 저항 성분들을 모두 더하여 전체 on-저항을 구할 수 있다. 비교를 위하여 기존의 방법[2]으로도 on-저항을 계산하였다.

$$R_{on} \cdot A = (R_{ch} + R_{acc} + R_{ep1}) \cdot A \quad (7)$$

5. 2 차원 소자 시뮬레이션

본 논문에서 제시한 on-저항 모델을 검증하기 위하여, 2 차원 소자 시뮬레이션을 수행하였다. 모든 파라미터들은 비교를 위하여 해석적인 모델들과 일치시켰다. 본 논문에서 사용한 파라미터들은 표 1과 같다. 여기서 에피층 두께와 에피층 비저항은 Hu[2]에 의해 제시된 설계 방법에 따라서 산출하였다.

표 1. 2 차원 소자 시뮬레이션의 입력 파라미터

p body 크기( $\mu\text{m}$ )	15
n <sup>+</sup> source 수직 접합 깊이( $\mu\text{m}$ )	2
p body 수직 접합 깊이( $\mu\text{m}$ )	5
n <sup>+</sup> source 표면 불순물 농도( $\text{cm}^{-2}$ )	$1 \times 10^{20}$
p body 표면 불순물 농도( $\text{cm}^{-2}$ )	$1 \times 10^{18}$
산화막 두께( $\text{\AA}$ )	1000
게이트 전압(V)	10
에피층 두께( $\mu\text{m}$ )	항복전압 100 V 400 V
	6 30
에피층 비저항 ( $\Omega \cdot \text{cm}$ )	항복전압 100 V 항복전압 400 V
	2.4 14.8

III. 결과 및 검토

항복전압이 100 V인 경우의 linear 및 cellular(square well in square cell) cell 구조에 대해서, 기존의 모델과 본 논문에서 제시된 해석적 모델 그리고 2 차원 소자 시뮬레이션 결과를 그림 3 및 그림 4에 각각 비교하여 도시하였다. 그림 3에서 나타난 바와 같이 제시된 해석적 모델이 기존의

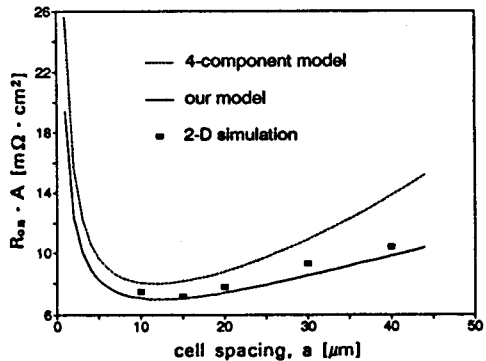


그림 3. p body 사이의 간격에 따른  $R_{on} \cdot A$  (BV = 100 V, linear 구조)

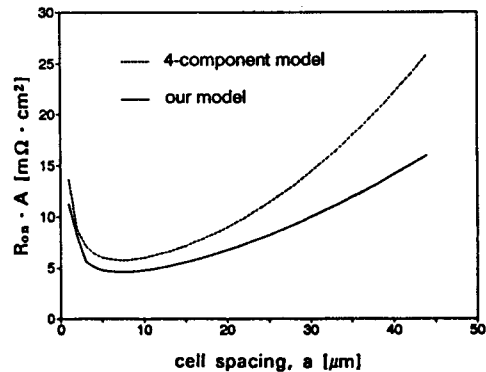


그림 4. p body 사이의 간격에 따른  $R_{on} \cdot A$  (BV = 100 V, cellular 구조)

표 2. 최소 on-저항에서의 성분별 저항 및 on-저항 오차

		$\frac{R_c - R_p}{R_p} [\%]$			$\frac{R_c - R_p}{R_{on,p}} [\%]$			$\frac{R_{on,c} - R_{on,p}}{R_{on,p}} [\%]$
BV[V]	GEOMETRY	R <sub>ch</sub>	R <sub>acc</sub>	R <sub>epi</sub>	R <sub>ch</sub>	R <sub>acc</sub>	R <sub>epi</sub>	R <sub>on</sub>
100	linear	30.86	31.64	-14.45	7.13	12.40	-5.28	14.12
	cellular	30.86	41.58	4.52	7.13	17.03	1.72	25.00
400	linear	28.01	33.40	-9.21	1.03	5.44	-7.37	-0.92
	cellular	28.01	36.76	-2.40	0.94	5.30	-1.98	4.16

R<sub>c</sub> : 기존 모델의 저항 성분  
 R<sub>p</sub> : 제시된 모델의 저항 성분  
 R<sub>on,c</sub> : 기존 모델의 on-저항  
 R<sub>on,p</sub> : 제시된 모델의 on-저항

4-성분 모델[2]에 비해 2 차원 소자 시뮬레이션 결과에 보다 더 잘 일치하고 있음을 확인할 수 있었다. 두 그림 모두, 각 모델의 on-저항의 최소값에 해당하는 p body 층 사이 간격이 거의 일치하였으며 그 해당 간격에서 해석적 모델에 대한 기존의 모델의 오차는 linear와 cellular 구조에 대해 각각 14 % 와 25 % 를 나타내었다. 더구나, 해석적 모델의 결과는 p body 층 사이 간격에 따른 on-저항의 변화가 덜 민감하여 quasi-saturation 영향을 고려한 최적 설계에 바람직하다.

그림 5 및 그림 6 은 각각 항복전압이 400 V인 경우의 linear 및 cellular 구조의 on-저항을 비교한 것이고 그림 7에서는 그림 5에 해당하는 linear 구조에 대한 두 모델의 성분별 저항을 분석하여 도시하였다. 고전압 영역에서는 해석적 모델 및 기존의 모델이 시뮬레이션 결과와 거의 차이가 없었지만 그림 7에서 나타난 바와 같이, 기존의 모델은 에피층 저항이 낮은 반면 다른 저항 성분을 높게 잡아 성분별로 오차를 발견할 수 있었다.

표 2는 위에서 비교한 두 모델의 최소 on-저항에서의 오차를 각 성분별로 분석한 것이다. 표 2에서 볼 수 있는 바와 같이, linear 구조인 경우, 저전압 영역 뿐만 아니라 고전압 영역에서도 사다리꼴 에피층 저항 모델[2]에서 나타난 5 % 의 오차범위를 초과하였음을 확인할 수 있으며, cellular 구조에서는 축적층 영역의 증가로 인하여 access 저항의 오차가 상대적으로 크게 나타났다. 그러나, 항복전압이 100 V이하로 감소함에 따라 채널 저항의 영향이 보다 중요해질 것이다.

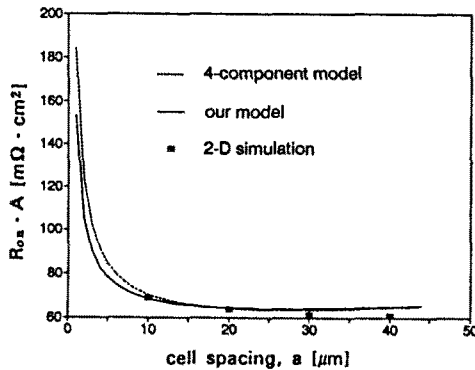


그림 5. p body 사이의 간격에 따른 Ron \* A (BV = 400 V, linear 구조)

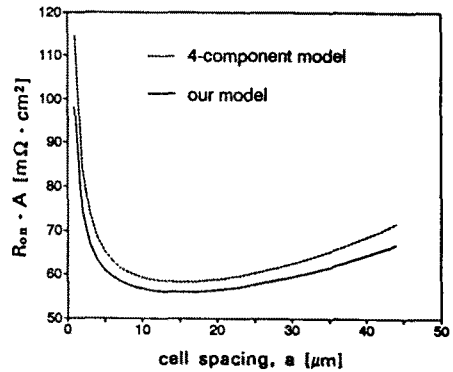


그림 6. p body 사이의 간격에 따른 Ron \* A (BV = 400 V, cellular 구조)

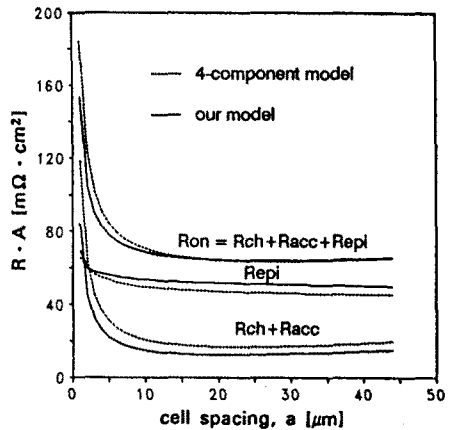


그림 7. 각 성분별 저항과 Ron \* A (BV = 400 V, linear 구조)

IV. 결론

본 논문에서 제시한 해석적 모델과 기존의 모델을 2 차원 소자 시뮬레이션에 의한 결과와 비교한 바, 고전압 영역에서는 거의 차이가 없었으나, 저전압 영역에서는 제시된 모델이 시뮬레이션 결과에 더욱 잘 일치함을 확인할 수 있었다. 채널 영역의 gaussian 불순물 농도 분포와 linear 및 cellular 구조에서 에피층의 전류 확산 각도를 각 cell 간격

에 따라 고려하여 저전압 및 고전압 전 영역에서의 보다 정확한 해석적 모델을 확립함으로써, VDMOS의 on-저항에 관한 최적 설계에 도움이 되리라 사료된다. 향후 과제로서 실험을 통하여 본 논문에서 제시한 해석적 모델의 타당성을 검증해야 할 것이다.

#### 참고문헌

- [1] S.C. Sun and J.D. Plummer, "Modeling of the on-resistance of LDMOS, VDMOS, and VMOS power transistors," IEEE Trans. Electron Devices, vol. ED-27, pp. 356-367, Feb., 1980.
- [2] C. Hu, M.H. Chi, and V.M. Patel, "Optimum design of power MOSFET's," IEEE Trans. Electron Devices, vol. ED-31, pp. 1693-1700, Dec., 1984.
- [3] Il-Jung Kim, Yearn-Ik Choi and Min-Koo Han, "A channel resistance modeling in the low voltage VDMOS," J.KIEE, vol. 3, No. 1, 1990.
- [4] S.C. Sun and J.D. Plummer, "Electron mobility in inversion and accumulation layers on thermally oxidized silicon surfaces," IEEE Trans. Electron Devices, vol. ED-27, pp. 1497-1508, Aug., 1980.
- [5] J. Fernandez, S. Hidalgo, J. Parades, F. Berta, J. Rebollo, J. Millan, and F.S. Mestres, "An on-resistance closed form for VDMOS devices," IEEE Electron Device Letters, vol. 10, pp. 212-215, May, 1989.
- [6] K. Board, D.J. Byrne, and M.S. Towers, "The optimization of on-resistance in vertical DMOS power devices with linear and hexagonal surface geometries," IEEE Trans. Electron Devices, vol. ED-31, pp. 1341-1343, Jan., 1984.