

비정질 실리콘 박막 트랜지스터(a-si:H TFT)의 온도의존 특성의 수학적 해석과 모델.

이우선, 윤성도, 강용철, 유병수, 이상일
 조선대학교 전기공학과

Mathematical Model of Temperature Dependent Characteristics of a-si:H Thin Film Transistor

Woo-Sun Lee, Sung-Do Yoon, Yong-Chul Kang, Byung-Soo Yoo, Sang-Il Lee
 Dept of Electrical Engineering, Chosun University

Abstract

A new analytical expression for the temperature variation characteristics of hydrogenated amorphous silicon (a-Si:H) thin film transistors, between 223K and 433K, is presented and experimentally verified. The result show that the experimental transfer and output characteristics at several temperatures are easily modeled between -50°C and 90°C. The model is based on three function obtained from the experimental data of I_D versus V_G . Theoretical results confirm the simple form of the model in terms of the device geometry. It was determined that as the temperature increased, the saturated drain current increased.

I. 서론

스테거형 수소화 비정질 실리콘 박막트랜지스터(inverted staggered type a-si:H TFT)는 제조 공정상 증착하기가 쉽고 많은 물질 들중 큰 면적에 균일하고 쉽게 증착 할 수 있어서 박막형 논리회로, 반도체 표시기, 고체 영상 감지기, CCD(charge coupled device), 탭-탑(lap-top) 컴퓨터, HD-TV 등에 이용되는 표시기의 반도체 소자로서 이용이 증가되고 있다. TFT의 신뢰도를 향상 시키고 active matrix LCD 표시기의 제조 가격을 줄이기 위해서 LCD 논리 회로의 구동 회로는 동일한 박막에 제조 되어야 하고 평판형 액정 표시기의 많은 리드선 을 감소 시키기 위해서는 TFT를 스위칭 matrix 형상으로 제조해야 한다. 비정질 실리콘 박막 트랜지스터는 큰 off resistivity 를 갖고 각각의 cell 에서 능동 스위칭 matrix 에 대해 적당한 on current를 갖는다. A-si:H TFT 제조공정 과정에서 TFT의 a-si층과 SiNx층의 약260 °C의 저온 증착공정은 고온인 MOS-IC보다 큰장점이 있다. 최근에 a-si:H TFT 을 더 광범위 한곳에 응용하고 실용화하기 위해서는 더 정확한 수학적 모델과 온도 영향에대한 실험적인 연구가 요구되고 있다. Neudeck et al [1]-[4] 는 a-si:H TFT 의 I_D - V_G 특성을 모델링 하고 해석 하였는데, 이 모델의 식은 주로 상온에서 모델링 되었다. 아직 우리나라에서 상용화 되지않고 있는 a-si:H TFT 의 회로를 상용화를 목적으로 개발하기 위한 중요한 이슈 중의 하나로 TFT 의 제작 및 각종 특성에 관계 되는 정확한 온도특성과 수학적모델 개발에 대한 연구들 요구 하고 있다. 이와 관련하여 TFT 의 온도특성에 대한 연구로는 TFT 온도측정 방법과 온도 의존성연구 에대하여 제한적으로 이루어진바 있다. 본 연구에서는 제작된

스테거형 a-si:H TFT를 223K 부터 433K 범위의 온도영역에서 TFT 의 전달특성과 출력특성에 대하여 실험하고 제 특성들을 측정 하였으며, 온도증가에 따른 드레인 포화전류가 지수 함수적인 식에 의하여 모델화 되었고, 이와 관련하여 TFT 디바이스 전압-전류 특성이 측정되고 분석 되었으며, 계산된 모델의 식과 비교되었다.

II. 수학적인 모델

Neudeck et al [3] 에서 a-si:H TFT 의 드레인 전류 I_D 는 다음식과 같이 나타 내었다.

$$I_D = W G_s \frac{dV_o(y)}{dy} \tag{1}$$

여기서 W 는 채널의 폭이고 G_s 는 채널의 sheet conductance 그리고, $V_o(y)$ 는 band bending이 없는 곳에서의 공간전하층의 전위이다. 식(1)을 적분하면 드레인 전류 I_D 는 다음식으로 나타낼 수 있다

$$I_D = \frac{W}{L} \int_{V_B}^{V_A} G_s(V) dV \tag{2}$$

여기서 V_A 는 소오스 측 전위이고 V_B 는 드레인 측 전위이며, L 은 채널의 길이 이다. 식(2)는 a-si:H TFT 의 포화영역에서 온도와 관련하여 제안한 모델의식 (3) 으로 나타 낼 수있다

$$I_D = K(T) [V_G - V_T(T)]^{\eta(T)} \tag{3}$$

여기서 드레인 전류를 결정하는 변수인 η 는 실제적으로 a-si 경계면의 절연층에서 극부적인 bulk state 에서 결정된다. 여기서 V_G 는 게이트 전압이고 V_T 는 트레시홀드 전압이다. 제안된 모델식에서 트레시홀드 전압 $V_T(T)$ 와 지수적 factor인 $\eta(T)$ 와 계수 $K(T)$ 는 완전하게 온도에 의존한다. 이들 세가지 함수들은 실험에 의한 결과값을 분석하여서 결정 된다.

A-si경계면에서 band tail 예의한 상태 밀도를 N_0 라 하면 이 식은 지수함수적인 표현의 식인 다음식 (4)로 나타 낼 수 있다.

$$N_0 = N_{00} e^{\beta(E - E_0)} \tag{4}$$

그리고 반도체와 절연체상의 증착 조건에는 서로 차이가 있으므로 이 차이 η 는 서로 다른 값을 갖게되고 식(5)와 같이 된다.[5]

$$\eta = \frac{0.95q}{KT\beta} + \eta_0 \quad (5)$$

여기서 실험결과 값을 분석한결과 η_0 는 온도와는 독립된 양이고 η 는 온도가 증가함에 따라서 감소하게된다. 온도의 함수인 V_T 와 K 값은 중간온도 영역 T_0 에서 식(6), (7) 과 같이 나타 낼수 있다

$$V_T(T) = V_T(T_0) - a_1 (T - T_0) \quad (6)$$

$$K(T) = K(T_0) \exp [a_2(1/T_0 - 1/T)] \quad (7)$$

여기서 T_0 는 절대온도로서 상온 이고 a_1 과 a_2 값은 실험 결과를 분석하여 결정되는 상수이다. V_T 는 $K(T)$ 가 지수 함수적으로 증가 함에 따라서 온도와 함께 선형적으로 감소 하게된다.

III. 실험 결과

A. η 와 V_T 및 K 값에 대한 분석

그림1은 제조된 a-si:H TFT에서 측정된 트레시홀드 전압 V_{th} 와 η 값을 나타내는데 η 값은 온도영역 223K 에서 363K의 온도에 대한 함수 값이다. 이 값은 식(5), (6)에서 알수있는 바와같이 온도가 증가함에 따라서 감소하는 경향을 나타낸다. 그림2는 온도의 함수인 $K(T)$ 값을 나타내는데 이 값은 온도가 증가함에 따라서 지수함수적으로 증가하게 되고 식(7)을 만족한다. 그림(2), (3)의 파라메타는 전 온도 영역에 걸쳐서, 포화 드레인 전류와 게이트 트레시 홀드전압 이상에서인 TFT 활성영역에서 이다. 그림 3, 4 는 드레인 전압이 15V 이상의 영역에서 TFT의 게이트 전압과 드레인 전류와의 관계를 온도와 관계하여 나타냈다.

각각의 고정된 온도에서 식(8)은 η, V_T 와 K 를 얻는데 사용되었다.

$$\eta/T_0 = K^{(1/\eta)} (V_G - V_T) \quad (8)$$

트레시 홀드전압은 η/T_0 와 V_G 곡선중의 linear 부분을 컴퓨터 분석에의하여 선택한후 직선을 그어서 얻을수 있는데 반도체 파라메타 분석기에의해서 자동적으로 plotting되었다. 또 η, V_T 및 K 값을 반복하여 계산하기 위하여 컴퓨터 프로그램을 작성 하였으며 이 프로그램은 이들 값에 대한 자기 정수가 얻어 질때 까지 반복하여계산 하여 값을 구하였다. 기율기의 η 승으로 결정되는 K 값은 그림2 와 같이 선형화하여 computer를 이용한 simple curve fit방법에 의하여 구하였다. 그림 1, 2 에서는 각각의 온도에 따른 η, V_T 와 K 값을 나타낸다. 온도 증가에 따른 각점에서의 $V_T(T)$ 값 을 최소 자승법에 의한 값을 위하여 그리면 기율기를 알수있다.

B. a-si:H TFT 의 온도 변화 특성

식(5), (6), (7)을 이용하여 식(3)에 의해서 모델링 된 드레인 전류는 그림3 와 같고 223K 에서 363K 까지 실험에 의하여 측정된 실험결과 값과 잘 일치 됨을 보였다. 드레인 전류는 게이트전압과 온도가 증가 함에 따라서 증가 되었고, 게이트 전압 을 6V-16V 범위에서 각각 고정 시켰을때 온도증가에 대한 드레인 전류 관계를 계산값과 실험에의한 결과값과 비교하여 그림4에 나타낸다. 223K-363K는 상업적으로 이용이 가능한 온도 이므로 이 온도범위를 택하였고, 본 모델에 의한 수학적인 계산을 하기위하여 각온도에서 드레인 전류를 계산 할수있는 프로그램을 작성하였다.

드레인 전류는 온도가 증가 됨에 따라서 증가되었고, 게이트전압의 모든 영역에 걸쳐서 모델과 잘 일치 되었다. 국부적인 에너지 갭(gap)상태에서 확대되어진 상태까지의 전자의 활성화 에너지는 게이트 전압이 증가 함에 따라서 감소되어 결과적으로 증가되어진 드레인 전류의 차이는 적게 되었다. 디바이스 모델이 국부적인 상태에서 큰 에너지상태밀도를 갖기때문에 모델에 사용된 작은 스퍼터와 프라즈마 증착에 의해서 제작된 TFT 디바이스에 적용 된다.

그림 5(a)는 온도영역 223K 부터 363K이고 게이트전압 10V 일때 드레인전류와 드레인 전압특성을 실험에의한 결과 값과 모델에 의해서 계산한 값과의 비교한 결과를 나타 내는데 온도가 증가 함에 따라서 포화드레인 전류의 포화점은 높은 드레인전압에서 발생하였고 모델에 의한 값은 실험에 의한 값과 잘 일치 하였다.

그림 5(b)는 온도를 303K 로 고정하고서 게이트전압을 증가시켰을 경우인데 선형화된 드레인 전류는 모델에 의한 값과 실험에 의한 값이 잘 일치 됨을 보였다.

363K 를 넘는 고온에서 드레인전류의 변화는 363K이하의 온도에서와는 많은 차이를 보였다. 그림6은 온도영역 363K부터 433K에서 게이트전압이 8V-16V 로 변화 되었을 때 드레인 전류 특성을 나타낸다. 온도가 증가 함에도 불구하고 실제적으로 드레인전류는 감소함을 보였다. 이러한 감소 현상은 반도체 경계면과 a-si사이에서 이동도에 의한 에너지 갭 으로부터인 국부적인 상태에서 전하 트랩(charge trap)이 발생하여 활성화 전자가 감소 되기 때문이다. 그림7은 드레인전압 15V, 게이트전압이 8V-16V 이고 온도영역이 223K- 433K 일때 상온300K 를 중심으로 변화 되는 드레인전류의 변화를 나타낸다. 온도가 300K 이하 이고 낮은 게이트전압 일때 드레인전류는 낮게 되었고, 300K 이상의 온도에서는 낮은 게이트전압에서 드레인전류가 높게되었다, 이 현상도 역시 고온에서 발생하는 TFT의 전하트랩에 의해서 활성화 전자의 감소에 기인한것으로 본다.

IV 결 론

본 논문에서는 a-si:H TFT 의 드레인 전압 전류에 대한 온도 변화특성 모델에 사용 할수 있는 방정식을 유도하고 분석하였는데 유도 된 식은 TFT 온도 변화 특성에 대한 해석을 위한 모델이며 유도된 모델의 타당성이 실험적으로 증명 되었다. 유도된 식은 온도를 측정 하므로서 요구되는 3가지 변수를 가지는데 실험에의한 결과 값으로부터 쉽게 구할수 있다. 광범위한 온도 영역에서 드레인전압 대 드레인전류와 게이트전압이 간단한 하계 모델링 되었으며, 실험에 의한 결과값과 잘 일치 됨을 보였는데 온도가 증가 함에 따라서 드레인전류는 더 높은 드레인 전압에서 포화됨을 보였다.

포화 드레인전류는 223K 에서 363K 까지는 온도가 증가 함에 따라서 증가 되었고, 363K 에서 433K 까지는 오히려 감소 됨을보였다. 이와 같이 고온에서의 드레인전류의 감소현상은 반도체 경계면과 a-si층에서 국부적인 상태밀도가 존재함으로 인해서 전하트랩이 증가되고 이동도가 감소 되기 때문 이다.

REFERENCES

- [1] G.W.Neudeck, A.K.Malhotra, "An amorphous silicon thin film transistor: Theory and experiment, "Solid State Electronics, vol.19, pp 721-729, 1976.
- [2] G.W.Neudeck, K.Y.Chung and H.F.Bare, "A simplified model for the static characteristics of amorphous silicon thin film transistors, "Solid States Electronics, vol.29, no.6 pp 639-645, 1986.
- [3] G.W.Neudeck, H.F.Bare and K.Y.Chung, "Modeling of ambipolar a-Si:H thin film transistors, "IEEE Trans. Electron Devices, vol. ED-34, no.2, pp.344-349, Feb. 1987.
- [4] G.W.Neudeck, K.Y.Chung and H.F.Bare, "An accurate CAD model for the ambipolar a-Si:H TFT, "IEEE Trans. Electron Device, vol. ED-34, no.4, pp.866-871, Apr. 1987.
- [5] K.Y.Chung, G.W.Neudeck, "Transient analysis of the CMOS like a-Si:H TFT inverter circuit, "IEEE Solid States Circuits, vol. 24, no.3, pp. 822-829, 1989.
- [6] R.Bashir, C.Subramanian, G.W.Neudeck and K.Y.Chung, "Delay time studies and electron mobility measurement in an a-Si:H TFT, " IEEE Electron Devices, vol.36, no.12, pp.2944-2948, Dec. 1989.

FIGURE

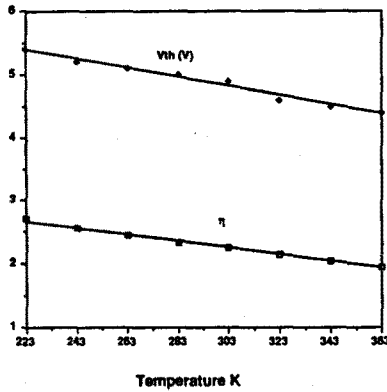


Figure 1. η and threshold voltage as a function of temperature from 223K to 363K.

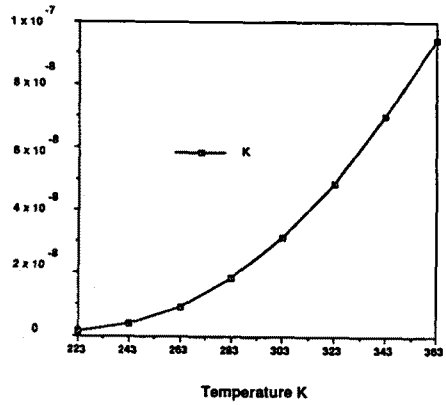


Figure 2. K value in the temperature range 223K to 363K.

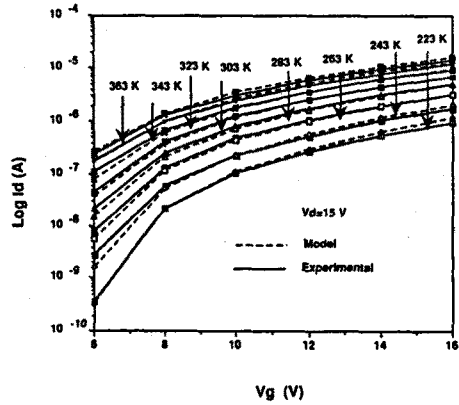


Figure 3. Experimental and modeled I_D - V_g characteristics of a TFT between 223K and 363K

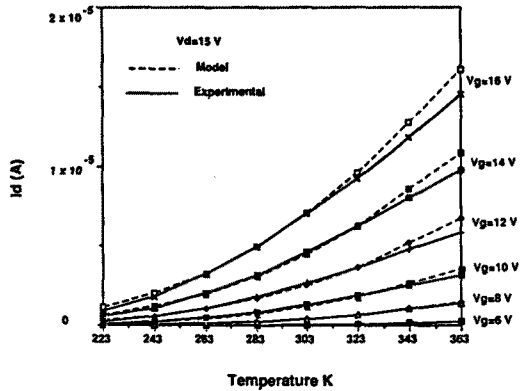
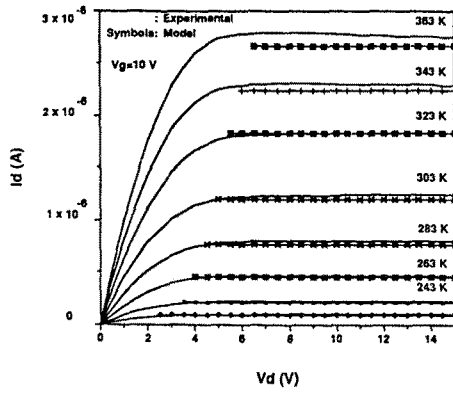


Figure 4. The comparison of the drain current versus temperature at several gate voltages.



(a) at fixed gate voltage $V_G=10V$,

(b) gate voltage varies 8 to 16V

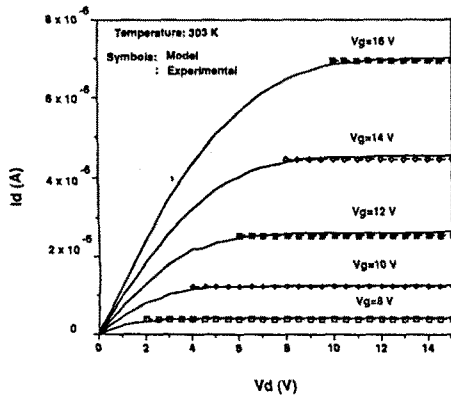


Figure 5. The comparison of measured and modeled output characteristics in temperature range 223K to 363K.

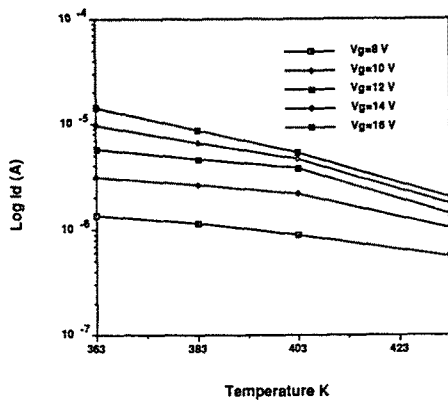


Figure 6. Measured drain current between 363K to 433K at several gate voltages .

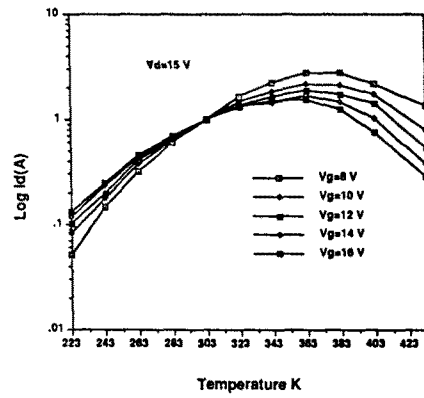


Figure 7. Normalized to 300K drain current from 223K to 433K.