

# SCR 및 TRIAC PSPICE 모델에 관한 연구

원충연 양승호 김세찬 김덕헌  
성균관 대학교 전기공학과

## A Study on a PSPICE Model for the SCR and TRIAC

Won Chung Yuen Yang Seung Ho Kim Sei Chan Kim Duk Heon  
Dept. of Electrical Eng. Sung Kyun Kwan University.

PSPICE is a general purpose circuit program that can be applied to simulate and calculate the performance of electronic circuits. More recently, an ideal voltage controlled switch provided in it is proposed to develop simple computer models for SCR's and TRIAC's. These models enable designer to simulate the steady state and transient analysis of power electronics circuit.

### 1. 서론

1970년대 미국 캘리포니아 대학으로부터 반도체 집적회로 해석을 위해 개발된 시뮬레이션 프로그램인 PSPICE (Simulation Program with Intergrated Circuit Emphasis) 는 전기전자 분야의 일반회로 해석에 유용하게 사용할수 있어 대학및 산업분야에서 널리 사용되고 있다. 특히 전력전자 시뮬레이션에 PSPICE, SCEPTRE, 및 ATOSECA 와 같은 프로그램들이 이용되어 왔다. [1] 이 중에서 SPICE 적용해석은 주로 POWER MOSFET, SCR, TRIAC 등의 능동 스위치 소자에 대한 특성해석과 전력변환장치의 모델링에 의한 단편적인 해석에만 응용되었다. [2], [3]

그러므로 전력용 반도체 소자를 이용한 전력 변환기 회로가 산업화의 발달과 더불어 필요가 증가됨에 따라 이들 소자의 간단한 컴퓨터 모델에 관한 연구가 진행되어 왔다. 왜냐하면 PSPICE 컴퓨터 프로그램과 더불어 이상적인 전압 스위치와 이상적인 전류제어 스위치가 회로 요소로서 추가 되면 다이리스터 소자들의 간단한 모델을 구성하는데 사용될 수 있기 때문이다.

본 논문에서는 R 및 R-L 부하를 가진 다이리스터 제어 반

파 정류회로 및 단상교류전압 제어를 예로서 보이고자 한다. 이 모델과 직류전동기 PSPICE 컴퓨터 모델한 제시될수 있다면 장차 직·교류 전동기-전력변환기 결합 시스템도 해석이 가능하다고 생각 된다. [5], [6]

### 2. PSPICE 모델링 및 해석

SPICE에서 간단한 SCR 모델 회로는 다음과 같다.

```
.SUBCKT 3 2 1 SCR
RGATE 2 5 5 <RGATE>
VGS 5 1 0
SSCR 3 4 6 1 SSCR
VAS 4 1 0
.MODEL SSCR VSWITCH(RON=<RON>ROFF=<ROFF>
VON=1 VOFF=0)
FSENSE 1 6 POLY(2) VGS VAS 0 <P1> <P2>
RSENSE 6 1 1
CR 6 1 <CR>
.ENDS
```

이 설명에서 괄호(<>)내의 양은 SCR 모델을 기술하는데 도입된 수치적인 값을 표시한다. 이러한 설명의 회로 표현은 그림 1에 보여진다.

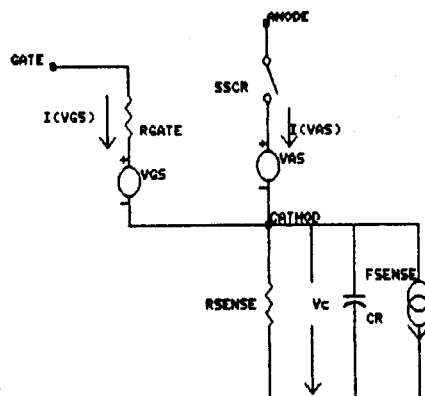


그림 1. SCR에 대한 모델

3. SCR 모델결정 및 회로 동작

특별한 SCR을 가정하기 위해서는 적절한 선택이 파라미터를 포함하여 만들어져야한다. 예로서 GE사의 C149M10 SCR을 선택하였다. 자세한 계산식은 생략한다. 앞서 언급한 P1, P2식은 아래와 같다. [4]스위치 파라미터에 대하여 임의의 선정이  $V_{ON}=1V$  and  $V_{OFF}=0$  가 지적되면  $RSENSE=1\Omega$  이 임의적으로 선택된다.  $R_{ON}$  값은  $R_{ON}=0.0125\Omega$ 을  $25^\circ C$ 에서 온 상태 저항  $=V_{TM}/I_{TM}$ 으로 선택될수 있다.

$R_{OFF}$ 값은 오프상태 저항  $=V_{RSM}/I_{DRM}=720/7 \times 10^{-3} = 103 K\Omega$  모델로 선정된다.  $R_{GATE}$  값은 모델동작에 대하여 오히려 임의적이다. 게이트 점호 특성을 사용하여 P1 승수는 (1) 식으로 표시된다.  $V_{OP}=5V$ 이면  $PI=4$ 이다. P2 승수에 대한 값은 (2)식과 함께 애노드 전압  $=V_{DRM}=600[V]$ 일때 자기점호가 일어남으로서 선택된다.

$$P1 = V_{ON} * REAT * RSENSE / V_{GE} \quad (1)$$

$$P2 = V_{C1} * R_{S1} / V_{DKM} \quad (2)$$

$V_{OP}$ : 게이트 신호에 필요한 점두 게이트 펄스

$V_{C1}$ : R변화점에서 상용 하는 값

$R_{S1}$ : R변화점에서 상용하는 값

$$CSWITCH = \left\{ \begin{array}{l} \frac{V_{CC}}{RSENSE * P2 * [1 - e^{-t_{ON}/(RSENSE * CR)}]} \\ - \frac{V_{DRM}}{ROFF} \end{array} \right\} / \frac{dV}{dt} \quad (3)$$

4. TRIAC 모델 결정

TRIAC에 대한 모델은 두개의 SCR이 역병렬로 연결되어 있다. 좀더 간단하고 효과적인 모델은 적절한 제어와 함께 그림 1에 보여진것 처럼 한개의 이상적인 스위치를 사용하여 의하여 형성될 수 있다. 그러므로 만약 그림1에  $FSENSE$  전류가 (4)와 같이 구성된다.

$$FSENSE = P0 + P1 * I(VGS) + P2 * I(VAS) + P3 * I(VGS)^2 + P4 * I(VGS) * I(VAS) + P5 * I(VAS)^2 \quad (4)$$

그러므로 만약에  $I(VGS)_I$  및  $I(VGS)_{III}$  가 + 혹은 - 애노드 전압에 대하여 + 및 - 게이트 점호 전류가 존재하면 각각

$$P1 = \frac{[I(VGS)_{III}^2 - I(VGS)_I^2] * V_{C1}}{[I(VGS)_I * I(VGS)_{III} - I(VGS)_I^2 * I(VGS)_I] * RSENSE} \quad (5)$$

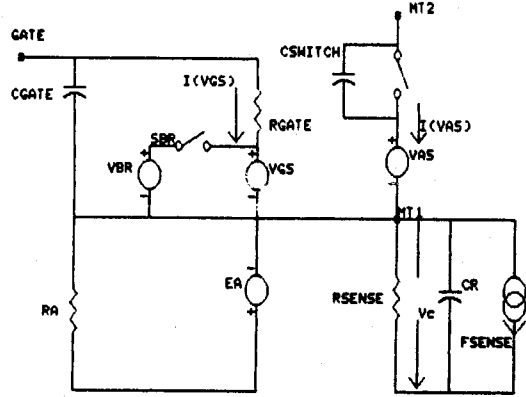


그림 2. TRIAC의 완전한 모델

$$P3 = \frac{[I(VGS)_I - I(VGS)_{III}] * V_{C1}}{[I(VGS)_I^2 * I(VGS)_{III} - I(VGS)_{III}^2 * I(VGS)_I] * RSENSE} \quad (6)$$

유사하게 만약  $I(VAS)_I$ 와  $I(VAS)_{III}$ 이 + 및 - 유지전류 이라면 그때

$$P2 = \frac{[I(VAS)_{III}^2 - I(VAS)_I^2] * V_{C1}}{[I(VAS)_I * I(VAS)_{III}^2 - I(VAS)_I^2 * I(VAS)_{III}] * RSENSE} \quad (7)$$

$$P5 = \frac{[I(VAS)_I - I(VAS)_{III}] * V_{C1}}{[I(VAS)_I * I(VAS)_{III}^2 - I(VAS)_I^2 * I(VAS)_{III}] * RSENSE} \quad (8)$$

보통의 경우  $I(VAS)_I = -I(VAS)_{III} = I_H$ ,  $P2=0$  및  $P5= V_{C1}/[I_H^2 * RSENSE]$ . 에 있어서  $CR$ 이거나 혹은  $CGATE$ 는 바람직한 짧은 시간  $t_{gt}$ 를 산출하기 위하여 더해질수 있다. 대략적으로 게이트 신호 펄스에 의해 결정되는  $I_{GATE}$ 와 함께

$$t_{gt} = (CGATE * I(VGS)_I * RGATE + CR * V_{C1}) / I_{GATE} \quad (9)$$

로 나타내어진다.

수법에 도움을 주고자  $CR$ 을 사용하는 것이 항상 편리하다. 그리고 바람직한  $t_{gt}$ 을 얻으려면  $CGATE$ 를 더하여야 한다. TRIAC은  $I_C(VAS)=0$ 후에 즉각적으로 상태변화가 요구되므로  $CR$ 은 가능한한 작게 유지 하여야 한다. 스위치와 병렬로된  $CSWITCH$ 는 전류 전압의 임계 상승을  $dv/dt|_C$ 를 모델링 하기위해 사용된다. 이시점에서 PSPICE TRIAC 시뮬레이션 회로는 자기점호 현상이 나타나어지지 않는다. 이런 상은 그림2의 완전한 회로에서 보여지는 것처럼 부가적인 회로요소와 함께 도입될수 있다. 이회로에서  $EA$ 는 식 (10)

과 같이 형성되는 전압제어된 전압원이다.

$$EA = P2 * V(3,1)^2 \quad (10)$$

$$P2 \approx V_{ON} / V^2_{DRM} \quad (11)$$

5. SCR 및 TRIAC 회로 모델링 및 PSPICE 프로그램

그림 3 (a)는 저항부하의 단상 반파 제어 정류회로이고

(b)는 PSPICE 프로그램이다.

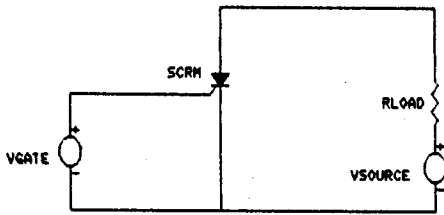
$V_{ON} = 1V$ ,  $V_{OFF} = 0$  그리고  $R_{SENSE} = 1\Omega$ .

$V(3,1) = V_{TM} = \pm 1.3V$ ,  $I(VAS) = I_{TM} = \pm 17A$ ,

그러므로  $R_{ON} = 0.0764\Omega$ ,  $V(3,1) = V_{DRM} = -V_{RRM} = 200V$ ,

$I(VAS) = I_{TRM} = \pm 10\mu A$ , 그래서  $R_{OFF} = 20M\Omega$ .

게이트 점호 특성으로부터  $R_{GATE} = 100\Omega$ 이 적당하다.



(a)

```

GE SCR C149M10 SIMPLE OPERATING TEST
.SUBCKT SCR M 3 2 100
RGATE 2 5 20
VGS 5 1 0
SSCR 3 4 6 1 SSCR
CSW 3 4 450P
VAS 4 1 0
.MODEL SSCR VSWITCH(RON=0.0125 ROFF=103000
+VON=1 VOFF=0)
FSENSE 1 6 POLY(2) VGS VAS 0 50 11
RSENSE 6 1 1
CR 6 1 10U
VCA 100 1 0
.ENDS
XSCR M 3 2 0 SCR M
VGATE 2 0 PULSE(0 5 12.5U 0.2U 0.2U 2U 100U)
VSOURCE 7 0 SIN(0 250 10000 0 0)
RLOAD 3 7 0.4825
.OPTIONS NOMOD NOPAGE RELTOL=0.01
.TRAN 0.2U 100U 0.2U
.PROBE
.END
    
```

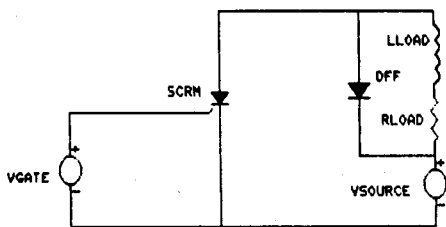
(b)

그림 3. 저항부하를 갖는 단상 반파 제어 정류회로

(a) 회로 (b) PSPICE 프로그램

그림 4 (a)는 유도성 부하를 갖는 단상 반파 제어 정류회로

이고 (b)는 PSPICE 프로그램이다.



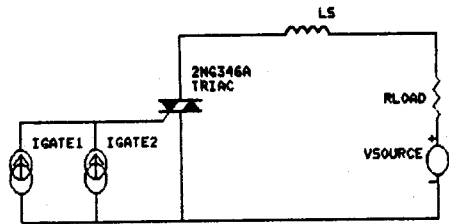
(a)

```

GE SCR C149M10 SIMPLE OPERATING TEST (R-L LOAD)
.SUBCKT SCR M 3 2 100
RGATE 2 5 20
VGS 5 1 0
SSCR 3 4 6 1 SSCR
CSW 3 4 450P
VAS 4 1 0
.MODEL SSCR VSWITCH(RON=0.0125 ROFF=103000
+VON=1 VOFF=0)
FSENSE 1 6 POLY(2) VGS VAS 0 50 11
RSENSE 6 1 1
CR 6 1 10U
VFF 100 1 0
.ENDS
XSCR M 3 2 0 SCR M
VGATE 2 0 PULSE(0 5 12.5U 0.2U 0.2U 2U 100U)
VSOURCE 7 0 SIN(0 250 10000 0 0)
RLOAD 3 7 10
LLOAD 7 8 0.00016
DFF 3 8 DMOD
.MODEL DMOD D
.OPTIONS NOMOD NOPAGE RELTOL=0.01
.TRAN 0.2U 100U 0.2U
.PROBE
.END
    
```

(b)

그림 4. 유도성 부하를 갖는 단상 반파 제어 정류회로  
(a) 회로 (b) PSPICE 프로그램



(a)

```

SIMPLE TRIAC BIPOLAR OPERATION
* MOTOROLA 2N6346A TRIAC
.SUBCKT TRIAC 3 2 100
RGATE 2 5 100
CGATE 2 1 218N
VGS 5 1 0
STRIC 3 4 6 1 STRIC
CSWITCH 3 4 110P
VAS 4 1 0
.MODEL STRIC VSWITCH(RON=0.0764 ROFF=20MEG
+VON=1 VOFF=0)
FSENSE 1 6 POLY(2) VGS VAS -1 66.666 0 16666
+0 2.8E4
RSENSE 6 1 1
EA 7 1 POLY(1) 3 1 0 0 0.01
RA 7 1 1
VBR 8 1 1
SBR 8 5 7 1 SBR
.MODEL SBR VSWITCH(RON=0.001 ROFF=1MEG
+VON=404V VOFF=396V)
CR 6 1 0.1U
VFF 100 1 0
.ENDS
XTRIAC 3 2 0 TRIAC
IGATE1 0 2 PULSE(0 8M 4M 5U 5U 50U 16.666M)
IGATE2 0 2 PULSE(0 -14M 10M 5U 5U 50U 16.666M)
VSOURCE 7 0 SIN(0 160 60HZ 0 0)
RLOAD 8 7 100
LS 3 8 1M
.OPTIONS NOMOD NOPAGE RELTOL=0.01 ITL4=40 TRTOL=2
.TRAN 0.2M 34M 0 0.2M
.PROBE
.END
    
```

(b)

그림 5. (a) 단상 교류 전압 제어 회로  
(b) PSPICE 프로그램

그림5 (a)는 저항 부하를 갖는 단상전압제어기 회로 이고  
(b)는 PSPICE 프로그램이다.  
그림 6,7,8은 각각 그림 3,4,5의 시뮬레이션 결과이다.

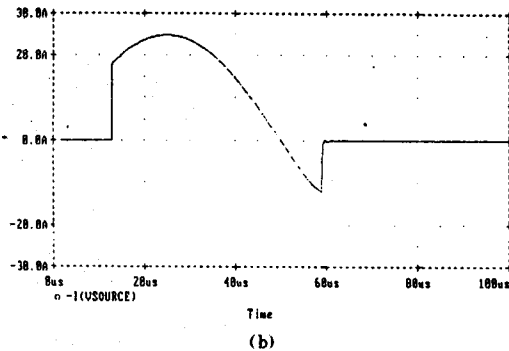
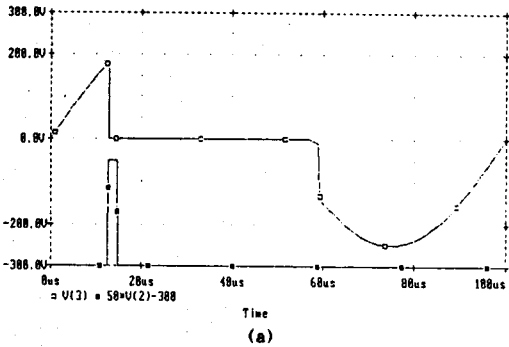


그림 6. 저항 부하를 가진 SCR 반파제어정류회로  
(a) 이노드 및 게이트전압 (b) 이노드 전류

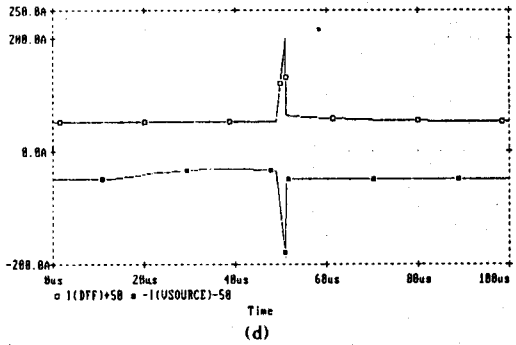
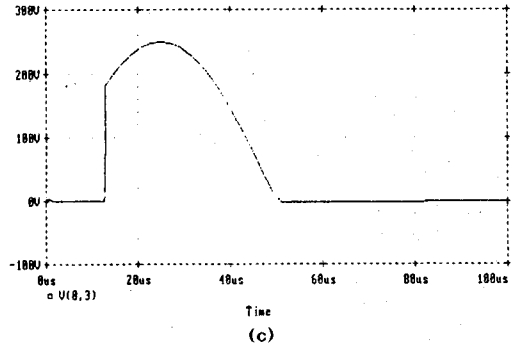
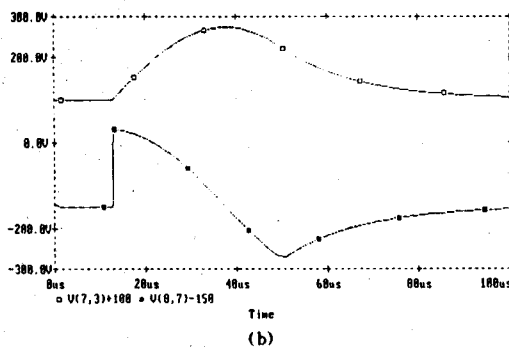
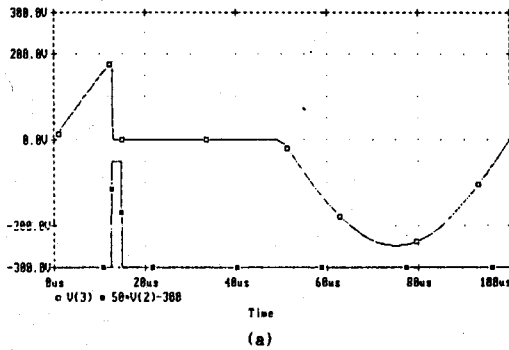


그림 7. 유도성 부하를 가진 SCR 반파제어정류회로  
(a) 이노드 및 게이트전압 (b) 부하저항에 걸린 전압(상) 및 부하인덕턴스에 걸린 전압 (하)  
(c) 유도성 부하에 걸린 전압 (d) 환류다이오드에 흐르는 전류(상) 및 전류(하)

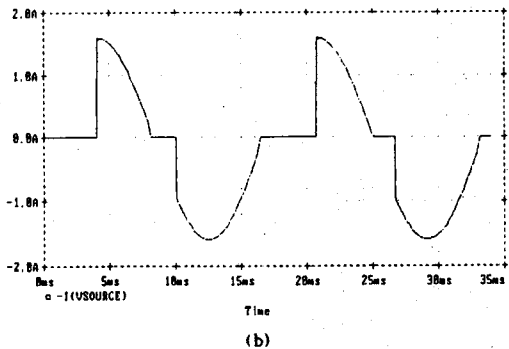
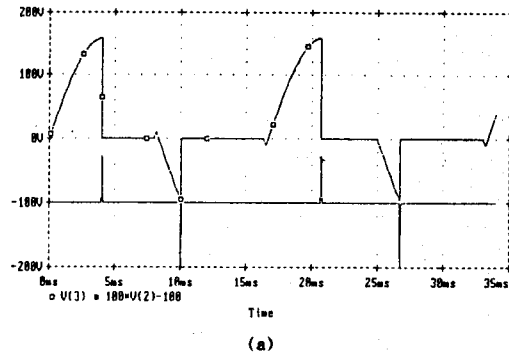


그림 8. 단상 교류 전압 제어기 (a) 이노드 전압 (b) 이노드 전류

6. 결론

본 논문에서는 전기전자 분야에서 일반적으로 해석 및 모의 실험용으로 사용되고 있는 PSPICE에서 제공된 이상적인 전압제어 스위치가 SCR과 TRIAC에 대한 간단한 컴퓨터 모델을 개발하기 위하여 사용되었다. 부가적인 파라미터와 함께 다이리스터 특성의 대부분이 모델화 되었다. 향후 초퍼 3상 인버터에 대하여도 적용이 가능하고 더불어 직류기나 교류기를 PSPICE 프로그램으로 작성하여 시뮬레이션이 가능하리라 생각된다.

참고 문헌

- [1] "PSPICE", MicroSim Corporation (January 1986)
- [2] Walter Banzhaf, Paul W. Tuinenga; Computer - Circuit Analysis Using Spice, Prentice-hall, inc. 1989.
- [3] 김희준, 이영선, "SPICE를 이용한 Forward DC-DC 컨버터 해석", 대한전기학회 하계 학술대회 논문집, pp.387-391, 1990.
- [4] Yung-Chil Liang, "DC Machine Models for SPICE2 Simulation", IEEE Trans. Ind. Electronics, Vol.5, NO.1, pp.16-20, Jan. 1990.
- [5] Y. C Liang and V. J. Gosbell, "A Versatile Switch Model for Power Electronics SPICE2 Simulations", IEEE Trans. Ind. Electron., Vol.IE-36, NO.1, pp.86-88, Feb. 1989.
- [6] Lawrence J. Giacoletto, "Simple SCR and TRIAC PSPICE Computer Models", IEEE Trans. Ind Electron, Vol. IE-36, NO.3, pp.451-455, Aug. 1989.
- [7] 박민호; 전력전자공학, 신흥출판사, 1989.