

半導體 DI switching素子の 電氣의 特性

丁世鎮, 林敬文, 成萬永

Electrical Characteristics of Semiconductor DI Switching Devices

Se Jin Jeong, Kyoung Moon Lim, Man Young Sung

Dept. of Electrical Eng.
Korea University, Seoul, Korea

Abstracts

Double Injection Switching Devices consist of p'and n' contact seperated by a near intrinsic Semiconductor region containing deep trap. A V-Groove Double Injection Switching Devices were proposed for high voltage performance and Optical gating scheme. The experimental result to demonstrate the feasibility of these devices (Planar type, V-Groove type, Injection Gate mode, Optical Gate mode) for practical application are described.

I 序論

본 논문에서는 電力用 半導體 素子에 관한 基礎研究과 새로운 素子の 개발이한 차원에서 高電壓 半導體 스위칭 素子를 設計 提案하고 실험을 통해 製作하여 그 特性을 研究 檢討하므로써 새로운 電力 半導體 素子の 設計 및 製作에 관한 經驗을 쌓고 當面하는 문제점을 해결해 나가고 기술적인 know-how의 획득에 일익을 담당하고자 하는 목표아래 실행되었다. 따라서 2重注入效果에 의한 高耐壓 半導體 스위칭素子の 設計 製作에 초점을 맞추어 Injection Gate 構造와 MOS Gate 構造로 試料素子를 製作해 그 特性을 檢討하였고 최종적으로 Electrical Switching 및 Oxide 膜에서의 Breakdown 現象에 의한 문제점을 해결해 보고자 Optical Gate 構造를 提案하여 이 Optically Gated Semiconductor Switching 素子를 設計 製作한 동시에 Optical Energy에 의해 制御할 수 있는 高電壓 스위칭 素子の 動作特性을 研究하고 Injection Gate 및 MOS Gate 構造로 設計 製作된 素子和 特性을 比較 分析하므로써 Power System에의 활용 가능성을 研究하였다.

II Double Injection 負性抵抗에 의한 스위칭 特性

高電壓 半導體 스위칭素子の 設計와 製作에 있어서 本 논문에서는 2重注入現象(Double Injection)을 利用한 Injection Gate, MOS Gate 및 Optical Gate 構造에 의한 스위칭 素子の 動作 特性을 製作 조건과 연계시켜 解析하였다. 그러므로 우선 Deep Level 不純物이 도핑된 半導體 및 絶緣體에 있어서 2重注入에 의한 電流制御型 負性抵抗이 발생하는 현상을 이론적으로 考察하여 보면 다음과 같다. 즉 禁止帶 중에 1개의 깊은 受體(deep acceptor)準位를 가진 再結合 中心을

단위 체적당 N_A 만큼 포함하고 있는 半導體 또는 絶緣體에서 熱平衡 狀態가 유지되면 再結合中心은 전부 電子를 捕獲하고 있어 負로 대전되어 있고 $N_D=N_A$ cm^{-3} 의 도우나 不純物이 존재하여 電氣의 中性條件이 만족되고 있다. 이와같은 試料에 陽極으로 부터 正孔이 注入될 경우 再結合中心이 負로 대전되어 있기 때문에 正孔의 lifetime은 대단히 작게 나타나며 이것은 再結合中心의 正孔에 대한 捕獲斷面積(capture cross section)은 電子에 대한 것보다 아주 큰 것으로 考慮할 수 있다. 電子를 捕獲하고 있는 再結合中心의 正孔에 대한 捕獲斷面積을 σ_p 이라 하고 빈 상태의 再結合中心이 電子에 대한 捕獲斷面積을 σ_n 이라 하면 $\sigma_p \gg \sigma_n$ 의 관계가 성립한다. 이와같은 상태에서 再結合中心은 正孔의 Sink로서 動作하고 電子濃도 n 과 正孔濃도 p 와의 관계는 $n \gg p$ 로 된다.

따라서 흐르는 電流는 실질적으로 한종류 캐리어인 電子에 의해 구 성되며 인가 電界를 더욱 높여 正孔의 注入이 증가되면 再結合中心이 완전히 正孔으로 채워져 다시 正孔의 lifetime이 길어지게 되고, 捕獲되기 전에 陰極에 도달하게 되어 電子와 正孔 2종류의 캐리어가 電流의 흐름에 관여하게 된다. 이와같은 상태에서 실질적인 2重注入이 開始된다.

이상과 같은 定性的인 解析을 考察하여 다음과 같이 몇 가지 가정을 설정하므로써 2重注入에 관한 理論을 전개할 수 있다.

- 즉 i) 試料는 모든 점에서 電氣적으로 中性이다.
- ii) 電流는 벌크의 성질에 의해 결정되며 電極의 성질에는 관계되지 않는다.
- iii) 擴散 電流는 無視한다.
- iv) 移動度는 電界에 따라 변화하지 않는다.
- v) 再結合中心으로 부터의 캐리어의 熱的 再放出은 무시한다.
- vi) 熱적으로 勵起된 자유캐리어는 무시한다.

이들 조건을 考察하므로써 2重注入이 발생하는 Threshold 電壓은

$$V_{th} = \frac{d^2}{2\mu_p \tau_{p1ow}} \quad (2-1)$$

으로 표현될 수 있다.

여기서 μ_p 는 正孔의 移動度, d 는 試料의 電極間 거리이며, τ_{p1ow} 는 低注入 레벨에서의 正孔의 lifetime으로서,

$$\tau_{p1ow} = \frac{1}{V_p \sigma_p N_A} \quad (2-2)$$

표현된다. V_p 는 正孔의 熱運動狀態에서의 平均速度이다.

印加電壓이 V_{th} 일때 正孔이 電極 사이를 주행하는데 필요한 시간, 즉 전이시간을

$$t_{pth} = \frac{d^2}{\mu_p V_{th}} \text{ 으로 표현하면 식 (2-1)로부터}$$

$$t_{pth} = 2 \tau_{plow} \text{ (2-3)}$$

을 얻을 수 있으며 식(2-3)으로부터 正孔의 전이시간(transit time)이 低注入 레벨에서의 正孔의 lifetime의 2배로 될 때 2重注入이 발생한다는 것을 알 수 있다. 電壓 V_{th} 부근에서 2重注入에 의한 電流가 작은 경우 電子濃度 n 은 試料의 모든 점에서 $n < N_R$ 되며 注入이 증가하면 電極間 어떤 면을 경계로 하여 陽極側에서는 $n > N_R$, 陰極側에서는 $n < N_R$ 로 되며 印加電壓의 대부분은 $n < N_R$ 의 高低抗 領域에 걸리게 된다. 여기서 다시 電流를 증가시키면 $n > N_R$ 인 領域의 幅은 넓어지며 $n < N_R$ 의 領域의 幅은 감소하기 때문에 試料 전체에 걸려있는 電壓은 감소한다.

따라서 電流制御型的의 微分 負性抵抗이 발생한다. 電流를 더욱 증가시켜 試料의 모든 점에서 $n \gg N_R$ 로 되면 $p \approx n$ 으로 되고 正孔과 電子는 거의 같은 lifetime 즉,

$$t_{high} = t_{nhigh} = t_{phigh} = \frac{1}{(v_n \sigma_n N_R)} \text{ (2-4)}$$

으로 된다. 여기서 v_n 은 電子의 熱運動 狀態에서의 平均 速度이다. 한편 이 高注入 레벨과 低注入 레벨에 대한 正孔의 lifetime을 비교하면

$$\frac{t_{phigh}}{t_{plow}} = \frac{v_p \sigma_p}{v_n \sigma_n} \approx \frac{\sigma_p}{\sigma_n} \text{ (2-5)}$$

로 된다. (단, $v_n \approx v_p$ 로 가정) 再結合中心이 미리 역셉터 타입이라면 $\sigma_p \gg \sigma_n$ 이므로 $t_{phigh} \gg t_{plow}$ 로 된다.

이와같이 正孔의 注入레벨을 높이면 正孔의 lifetime이 길어지기 때문에 注入된 거의 모든 正孔은 陰極에 도달하기 쉽게 된다 이것이 負性抵抗의 발생 원인이다. 試料 全域에서 $n \approx p \gg N_R$ 으로 되면 微分抵抗은 正으로 되고 이때 電流-電壓 特性은

$$I = \frac{9 e t_{high} \mu_n \mu_p N_R V^2}{8 d^3} \text{ (2-6)}$$

으로되어 식 (2-6)이 성립되는 最低 電壓을 V_{th} 이라 하면 V_{th} 와 V_M 은 $V_{th}/V_M \approx \sigma_p/\sigma_n$ 의 관계가 있다. 그림 2-1에 V_{th} 로 부터 식(2-6)로 표현되는 領域에서의 電流-電壓 特性을 實線으로 나타내었다. 電流를 더욱 증가시키면 空間 電荷의 影響이 현저하게 나타나 電氣의 中性條件은 성립하지 않게되고 이 領域에서의 電流-電壓 特性은

$$I = \frac{125 K_0 t_{high} \mu_n \mu_p V^3}{18 d^2} \text{ (2-7)}$$

으로 된다. 여기서 K_0 는 誘電率이며 그림 2-1에서 點線으로 나타난 뒷부분이 (2-7)식의 關係를 표현한 것이다. 그리고 電壓이 V_{th} 보다 낮은 領域에서는 注入된 電子에 의한 空間電荷 制限電流가 흐르며, 電氣의 中性條件이 성립되지 않고 再結合中心은 전부 電子를 捕獲하고 있기 때문에 트랩이 없는 경우에 상당하며 電壓의 2승에 비례하는 電流가 흐른다. (그림 2.1에서 點線으로 표시된 아래부분)

이상과 같이 깊은 不純物 準위를 형성하는 原子를 도핑할 경우 2重注入에 의한 負性抵抗 效果가 나타난다는 이론적인 발표는 이미 오래전에 보고되었으나 아직 半導體 素子로서의 활용성이란 측면에

서의 研究는 미흡한 상태에 있다. 따라서 本 研究에서는 2重注入에 의한 負性抵抗의 발생현상을 Au로 도핑시킨 Si에 적용하여 그 實驗的인 特性을 分析하고 理論的인 結果와 比較 檢討하여 高電壓 半導體 스위칭 素子로서의 실용성을 추구하고자 Injection Gate, MOS Gate 및 Optical Gate로 스위칭素子를 設計하여 그 特性을 分析 하였으며 그중 Optical Gate構造의 素子는 本 研究에서 새로이 設計 提案한 것이다.

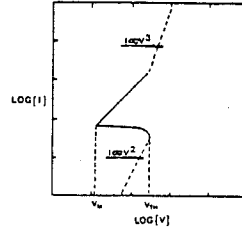


그림 2.1 2重注入에 의한 電流-電壓 特性 (實線은 電氣의 中性條件이 나타나는 領域, 點線은 空間電荷를 고려한 領域)

III Double Injection 스위칭 素子의 設計

3.1 Planar type DI 스위칭 素子의 設計 및 製作

Planar type은 그림 3.1과 같이 設計하여 製作하였으며 Anode와 Cathode사이의 거리는 일정하게 유지하고 Gate 領域을 Anode와 Cathode 사이에서 변화시키면서 素子를 製作하여 I-V 特性을 측정하였다. 素子는 게이트 위치를 각각 달리 設定하여 여러개로 製作하였으며 素子의 製作에 있어서 Anode와 Gate 그리고 Cathode를 형성하는 P*, N* 領域은 BN 및 POC13 소오스에 의해 熱擴散 하였으며 不純物 B, P가 실리콘에서 Au를 gettering하는 것을 방지하기 위해 擴散하는 동안 wafer의 뒤표면은 SiO2막을 형성하여 보호하였다. 그리고 P*와 N*의 擴散이 끝난 다음 SiO2를 에칭하고 wafer의 뒤표면으로부터 Au를 doping하였으며 Au doping 후의 resistivity는 27KΩ-cm로서 Au의 濃度가 $\approx 1.1 \times 10^{15} \text{ cm}^{-3}$ 임을 산출할 수 있었다.

이때 Au소오스는 Au 실리카 필름을 사용하였다. Au의 doping 이 완료된 素子는 Al을 E-Beam 증착하여 metallization시키고 Ohmic contact 을 양호하게 하기위해 400°C N2 분위기에서 5분간 sintering 하여 素子의 製作을 완료하였다.

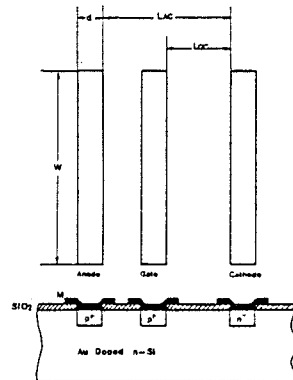


그림 3.1 Planar type DI 스위칭 素子의 構造

3.2 V-Groove Type DI 스위칭素子の設計 및 製作

本 研究에서는 스위칭 電壓을 높이고 아울러 Injection Gate 모드나 MOS Gate 모드에서 야기되고 있는 high power dissipation과 Gate oxide의 Breakdown 電壓등에 관한 문제점을 해결하고 스위칭 속도를 증가시킨다는 차원에서 Optical Gate DI 스위칭素子를 시도하였다. 이 Optical Gate 모드에서는 앞절에서 언급한 Planar Type DI 스위칭素子보다 Anode와 Cathode 사이의 실제적인 거리를 증가시킨다는 목적아래 V-Groove素子를 提案하였으며 V-Groove Type에서는 Injection Gate 및 MOS Gate 모드를 함께 設計하여 그 特性을 비교하여 보았다. V-Groove Type DI 스위칭素子の 設計 断面圖는 그림 3.2와 같으며 Planar Type과 特性을 비교하기위해 Anode와 Cathode 사이의 수평 거리는 같게 設定하였으며 V-Groove DI 스위칭素子에서도 P⁺ 및 N⁺領域은 BN, POCl₃ 소오스에 의해 熱擴散시켰으며 擴散하는 동안 珪片을 통해 不純物 B,P가 擴散되어 Au doping시 gettering 效果를 나타내는 것을 예방하기위해 뒷표면을 SiO₂ 막을 형성하여 P⁺ 및 N⁺領域 形成시 뒷표면을 통한 不純物 注入을 방지하였다.

아울러 V-Groove 에칭은 anisotropic etching 기술에 의하여 anisotropic etching액인 Potassium Hydroxide Solution (1 gram KOH : 1 ml DI wafer)의 에칭特性을 이용하여 에칭하였고 여기서 사용한 마스크는 4.5 μm x 234 μm, 5 μm x 234 μm, 5.5 μm x 234 μm 이었으며 KOH Solution의 에칭속도는 1 μm/min이었다.

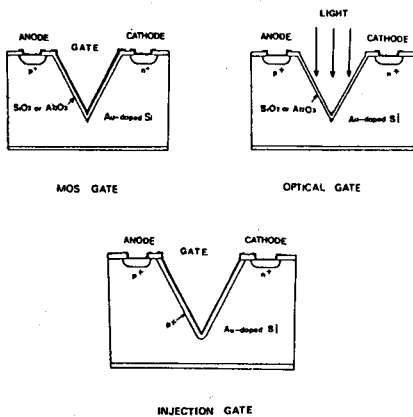


그림 3.2 V-Groove DI 스위칭素子の 設計 断面圖

IV 實驗結果 및 考察

本 研究에서는 個別素子로서의 활용뿐만아니라 HVIC에도 활용할수 있는 高耐壓 스위칭素子の 개발에 관한 基礎研究라는 측면에서 Double Injection 현상을 이용한 DI (Double Injection) 스위칭素子를 設定하여 Planar 및 V-Groove 構造로 設計 製作하고 그 特性을 측정하였다.

한편 Threshold 電壓을 높여 高電壓 特性을 살펴 보고자 제한한 V-Groove素子에서는 이를 Injection Gate 및 MOS Gate에서 나타나고 있는 電力損失과 酸化膜의 絶緣破壞 特性과 같은 문제점을 해결하고 아울러 光電子 工學에의 활용성을 모색한다는 차원에서 Optical Gate V-Groove DI 스위칭素子를 提案하였다. 따라서 그 特性測定 結果를 素子別로 구분하여 나타내면 다음과 같다.

4.1 Planar Type DI 스위칭素子の I-V 特性

本 研究에서 Planar Type으로 製作된素子는 그림 3.1과 같이 제안된 構造에 Anode와 Cathode 사이의 거리를 일정하게 設定하고 Gate의 위치(즉 Cathode와 Gate 사이의 거리)를 변화시키면서 製作하였으며 素子別 設計條件은 표 4.1과 같다.

표 4.1 Planar Type 스위칭素子の 設計條件

素子 No.	Loc (μm)	Loc (μm)	V (volt)	d (μm)	Gate Type
p-1	5	3	10	1	Injection
p-2	5	2	10	1	Gate
p-3	5	1	10	1	-
p-MOS	5	2	10	1	MOS Gate

(parameter 는 그림 3.1 참고)

표 4.1과 같은 條件으로 試作된素子는 SCR과 유사한 스위칭 特性을 나타내고 있었으며 이는 2장에서 언급한 2重注入效果에 기인된다는 이론적인 배경과도 일치하고있었다. 이러한 DI 스위칭素子の 스위칭特性은 製作 條件에 따라 약간의 차이는 있었으나 거의 동일한 스위칭 特性曲線을 나타내었고 단지 Gate와 Cathode 사이의 거리의 변화에 따라 Threshold 電壓이 약간 다르게 나타나고 있었다.

즉 Gate가 Anode나 Cathode 어느 領域에 가깝게 設計된 p-1, p-3素子에서는 Gate를 개방시킨 상태에서 Threshold 電壓이 Gate 중앙 부근에 設定된 p-2素子보다 약 60~80 [V] 정도 낮게 관측되었고 이러한 현상은 電界分布의 변화로 기인되는 것으로 예상되지만 앞으로 computer simulation 등을 통한 精밀한 解析이 있어야 할 것으로 생각된다. 그러므로 현재 Planar Type DI 스위칭素子중 Threshold 電壓이 가장 높게 나타나고 있는 p-2 모델의 出力 特性을 나타내면 그림 4.1과 같으며 Threshold 電壓은 약 400[V] 정도이었고 Holding 電壓은 30[V] 정도로 나타났다.

한편 게이트에 바이어스를 인가한 경우도 그림 4.1(b)와 그림 4.1(c)에서 알수 있듯이 게이트 電壓에 따라 SCR과 같이 완전한 스위칭 特性이 관측되고있으며 그림 4.1(c)에는 게이트 電壓을 parameter로 해서 각 게이트 電壓에 따른 스위칭 特性의 변화 양상을 나타낸 것이다. 아울러 Planar Type p-2 모델과 같은 동일 設計 조건으로 製作하고 Gate 동작 모드만 MOS Gate로 設定한 MOS Gate DI 스위칭素子인 P MOS 모델의 Anode-Cathode I-V 特性은 Gate를 개방시킨 상태에서 그림 4.2와 같으며 이는 p-2 모델의 特性과 거의 같게 나타나고 있으나 Threshold 電壓이 10~20 Volt 정도 높게 나타나고 있었으며 Holding 電壓 역시 50 Volt 정도로 높게 관측되었고 Gate 電壓에 의한 出力 特性의 制御도 Injection Gate 構造보다 다소 둔감하게 나타나고 있었다.

이상과 같은 Planar Type DI 스위칭素子에 構造의인 변화를 주어 電極의 변화양상을 考察하기위해 그림 4.3과 같이 원형으로 Anode, Gate, Cathode를 設定하여素子를 製作하였으며 그 出力特性은 그림 4.4와 같고 Threshold 電壓이 p-2 모델보다 60Volt 정도 높게 나타나고 있어 이는 원형의 電極 構造에서 오는 電界分布의 영향인 것으로 생각된다. 그러므로 앞으로 電極 形狀과素子の 構造에따른 特性變化의 定量的 解析이 이루어진다면 좋은 設計條件의 제시가 될 것으로 思料된다.

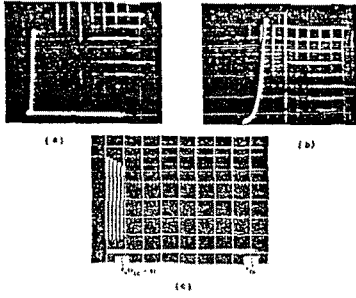


그림 4.1 Planar Type DI 스위칭素子の出力特性 (p-2 모델)
 (Vertical: 5mA/div., Horizontal: 50V/div.)
 (a) Anode-Cathode I-V 特性 (Gate:open)
 (b) Anode-Cathode 모델 特性 (Gate Bias:4volt)
 (c) Anode-Cathode I-V 特性 (Gate Bias:1V/step)

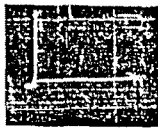


그림 4.2 Planar Type DI 스위칭素子の出力特性 (MIS 모델)
 (Vertical: 5mA/div., Horizontal: 50V/div.)

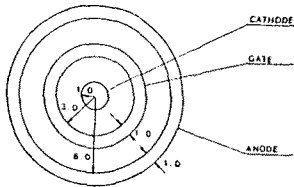


그림 4.3 Planar Type 圓形構造 DI 스위칭素子(Dimension:all)

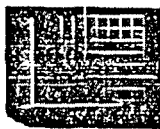


그림 4.4 Planar Type 圓環 DI 스위칭素子の出力特性
 (Vertical: 5mA/div., Horizontal: 50V/div.)

4.2 V-Groove DI 스위칭素子の I-V 特性

本 研究에서는 4.1 절에서 考察한 Planar Type DI 스위칭素子の Threshold 電壓을 높여 高耐壓化 및 大容量化를 추구한다는 목적으로 그림 3.2와 같은 構造의 V-Groove DI 스위칭素子를 提案하였으며 특히 Injection Gate 및 MCS Gate 모드에서 나타나고 있는 電力損失과 Gate 酸化膜에서의 降伏 現象과 같은 문제점을 해결하고 아울러 space station에서의 활용과 光電子工學 分野에의 활용이란 측면에서 Optical Gate V-Groove DI 스위칭素子를 提案하여 그 特性을 살펴보았다.

V-Groove DI 스위칭素子에서도 Planar Type에서와 같이 스위칭 特性이 나타나고 있었으며 Planar Type p-2 모델과 같은 설계치수 (단, V-Groove 모델에서 Anode-Cathode 사이의 거리는 실제거리가 아닌 Anode-Cathode 사이의 수평거리임)를 가지고 製作한 V-Groove DI 素子の Injection Gate 모델에 대한 出力特性은 그림 4.5와 같다.

V-Groove DI 스위칭素子는 Injection Gate로 구성한 경우 Threshold 電壓이 560~570 [V]정도가 얻어졌고 Holding 電壓은 20[V] 정도로 관측되었다. 이와같이 Planar Type과의 비교에서 Holding 電壓에는 큰 차이가 없으나 Threshold 電壓에 크게 차이가 나타나고 있는 것은 V-Groove를 형성하므로서 Anode-Cathode 사이의 실제적인 거리가 증가하기 때문으로 解析되며 2장의 理論的 考察에서 살펴본 Anode-Cathode 電極間 거리의 제곱에 비례하는 내용과도 잘 부합되고 있었다. 한편 Gate 電壓을 크게 높여 Gate에 의한 電流 注入을 증가시켰을 경우에는 그림 4.6과 같이 N형의 特性曲線이 나타나고 있었다.

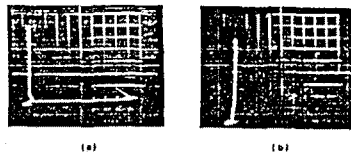


그림 4.5 V-Groove DI 스위칭素子の出力特性(Injection Gate 모드)
 (Vertical: 1mA/div., Horizontal: 60V/div.)
 (a) Anode-Cathode I-V 特性(Gate:open)
 (b) Anode-Cathode I-V 特性(Gate Bias: 4[V])

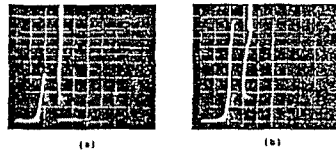


그림 4.6 V-Groove DI 스위칭素子の出力特性(Injection Gate 모드)
 (Vertical: 10mA/div., Horizontal: 10V/div.)
 (a) Anode-Cathode I-V 特性(Gate Bias:15[V])
 (b) Anode-Cathode I-V 特性(Gate Bias:20[V])

그리고 本 研究에서 그림 3.2 와 같이 새로이 제안한 V-Groove Optical Gate DI 스위칭素子の 出力 特性은 그림 4.7과 같이 Threshold 電壓이 560[V]로 Injection Gate와 같은 값이었으며 Gate 부분에 빛을 照射하므로서 出力特性은 Injection Gate 바이어스를 印加한 경우와 같은 스위칭 特性이 나타나고 있었다. 이상과 같은 素子の 特性을 살펴볼때 V-Groove DI 스위칭素子를 Optical Gate로 구성할 경우 光에너지에 의해 制御할수 있는 光 스위칭素子로서의 활용도 가능하리라 생각되며 Injection Gate 및 MCS Gate에서 나타나고 있는 電力損失과 酸化膜의 絶緣破壞 特性에도 좀더 여유있는 設計를 할 수 있다는 특징을 가지고 있다.

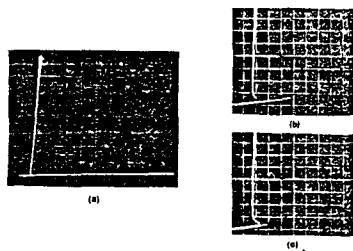


그림 4.7 V-Groove DI 스위칭 소자의 출력특성 (Optical Gate)
 (Vertical: 100 μ A/div., Horizontal: 50V/div.)
 (a) Anode-Gate I-V 특성 (Gate:without light)
 (b) Anode-Gate I-V 특성 (Gate:with light, Photon energy:0.4eV)
 (c) Anode-Gate I-V 특성 (Gate:with light, Photon energy:0.5eV)

V 新島昌

本 研究에서는 電力用 半導體 素子에 관한 基礎 研究과 새로운 素子の 개발이란 次元에서 2重注入效果를 이용한 스위칭 素子를 設計 製作하고 그 特性를 檢討하므로써 電力 半導體 素子の 設計 製作에 경험을 쌓고 당면하는 문제점을 해결해 나갈으로서 기술적인 Know-how 의 획득에 일익을 담당하고자 하였다. 그러므로 2重注入效果에 의한 高耐壓 半導體 스위칭 素子の 試作에 초점을 맞추어 Planar Type으로 Injection Gate 모드와 MOS Gate 모드를 製作하고 아울러 스위칭 電壓을 더 높게 設定하고자 Channel 부분을 V-Groove로 提案하여 V-Groove DI 스위칭 素子를 製作하였다. 그리고 Injection Gate와 MOS Gate 모드에서 야기되고 있는 Electrical Switching에 의한 遲延時間, 酸化膜의 Breakdown 특성 및 電力 損失과 같은 문제점을 개선한다는 목표에 V-Groove 素子の Optical Gate 모드를 製作하여 그 특성 측정을 통해 활용 가능성을 확인할수 있었으며 本 研究에서 얻어진 結果를 要約하면 다음과 같다.

- 1) Planar Type 素子보다 V-Groove 素子에서 최대 Threshold 電壓을 얻을수 있었으며 이것은 Anode와 Cathode 사이를 V-Groove와 하므로써 실제적인 Anode-Cathode 사이의 길이가 증가 되었기 때문에 나타나는 현상이라고 思料된다.
- 2) 本 研究를 수행하기위해 製作한 素子중 Planar Type에서는 400[V]의 Threshold 電壓을 얻을수 있었고 V-Groove 素子에서는 560[V] 정도의 Threshold 電壓을 얻을수 있었다.
- 3) Optical Gate V-Groove DI 스위칭 素子は V-Groove 내에서 빛이 반사와 흡수를 반복하므로 Planar Type에 비해 양자 효율을 높일 수 있다.
- 4) V-Groove DI 스위칭 素子は Channel이 Heat Sink에 가까운 뿐만 아니라 放熱 表面積이 넓기 때문에 大容量 素子(High Power Device)에도 適合한 構造이다.
- 5) V-Groove 자체가 Anode와 Cathode를 分離시킴으로서 Planar Type에서 보다 Surface Breakdown 效果에 의한 특성의 저하 요인을 줄여 高耐壓化를 실현할수 있다.
- 6) Optical Gate 모드로 구성할 경우 Injection Gate 모드에서 나타나고 있는 Gate Power에 의한 Power Dissipation 效果를 줄일 수 있고 素子の 設計가 간단해진다.
- 7) MOS Gate인 경우 Gate에 附加되는 電壓에 의해 Gate 酸化膜에서의 絶緣 破壞가 設計上 고려해야할 문제점으로 나타나고 있으나 Optical Gate에서는 물리적인 Gate가 Channel領域에 형성되지 않음으로서 絶緣 破壞 問題는 자연히 해결되며 더욱 특징적인 것은 얇은 Gate Oxide의 활용이 가능한 것이다.

8) Injection Gate와 MOS Gate 모드에서는 Power Circuit와 Trigger Circuit 사이의 電氣的 分離가 불가능해 素子の Turn ON Process에 여러가지 부정적 요인을 야기시킨다. 그러나 Optical Gate 모드에서는 Power Circuit와 Gate Trigger Circuit 사이의 완전한 電氣的 分離가 실현될수 있어 이러한 문제점을 해결할 수 있다.

이상과 같은 本 研究를 수행하는 과정에서 얻은 結果를 살펴 볼때 Injection Gate 모드나 MOS Gate 모드보다는 Optical Gate 모드가 특성의 안정화와 신뢰성의 확보 측면에서 바람직한 素子이며 아울러 Planar Type보다는 本 研究에서 처음 시도하여본 Channel 領域의 V-Groove화에 의한 V-Groove DI 스위칭 素子は 실제적인 Anode-Cathode 사이의 길이를 증가시키는 效果로 인해 매우 높은 Threshold 電壓을 얻을수 있었다.

따라서 앞으로 Au doping 濃度의 변화에 따른 Threshold 및 Holding 電壓의 변화등을 포함해 Design Parameter에 의한 素子の Modeling과 試作된 素子の 특성 변화의 상관성을 定量的으로 解析한다면 V-Groove DI 스위칭 素子の 실용화는 가능할 것으로 判斷된다.

參考 文獻

- (1) S. C. Sun, "Physics and technology of power MOSFET", Technical Report No. IDEE 696-1 Stanford University, 1982
- (2) M. A. Lampert, A. Rose, "Volume controlled two carrier currents in solids : The, I. P. Case" Phys. Rev., vol. 121, p.26, 1961.
- (3) M. A. Lampert, "Double injection in insulators", Phys. Rev., vol. 125, p.126, 1962.
- (4) N. Holonyak, "Double injection with negative resistance in semi-insulators", Phy. Rev. Letters, vol.8, p.426, 1962.
- (5) K. L. Ashley, A. G. Milnes, "Double injection in Deep-lying impurity semiconductors", J. Appl. Phy. vol.35, p.369, 1964.
- (6) V. P. Sondaevskii, V. I. Starev "Injection in semiconductors with deep, I. L.", Soviet Phy., Solid State. vol. 6, p. 63, 1964.
- (7) Nick Holonyak, Jr. "Double injection diodes and related D.I. phenomena in semiconductors", Proc. I.R.E. vol.50, p. 2421, 1962.
- (8) R. D. Larrabee, "Current-voltage characteristics of forward biased long p-i-n structures", Phys. Rev., vol.121, p.37, 1961.
- (9) Chenming Hu, "Optimum doping profile for minimum ohmic resistance and high-breakdown voltage", IEEE Trans. Electron Dev., ED-26, no.3, pp. 243-244, 1979.