

Inverted Staggered-Type 비정질 실리콘 박막 트랜지스터의 수치적 분석

오창호, 박진석, 한민구

서울대학교 전기공학과

Numerical Analysis of Inverted Staggered-Type Hydrogenated Amorphous Silicon Thin Film Transistor

Chang-Ho Oh, Jin-Seok Park, and Min-Koo Han

Dept. of Electrical Eng. Seoul National Univ.

Abstract

The characteristics of an inverted staggered-type hydrogenated amorphous silicon thin film transistor has been analyzed by employing numerical simulation. The field effect mobility and threshold voltage are characterized as a function of density of deep and tail states and lattice temperature. It has been found that the density of deep states plays an important role of determining the threshold voltage, while the field effect mobility are very sensitive to the slope of band tail states. Also, the numerically temperature dependence of field effect mobility and threshold voltage has been in good agreements with the experimental results.

1. 서론

비정질 실리콘 박막 트랜지스터 (a-Si:H thin film transistor, TFT) 는 1979년 LeComber<sup>[1]</sup> 에 의하여 최초로 제안된 이후 large area electronics 분야에서 광범위한 응용에 중요한 역할을 하는 소자로서, liquid-crystal display 의 active matrix addressing<sup>[2]</sup>, facsimile reader 에 쓰이는 image sensor linear array<sup>[3]</sup> 등에 널리 사용되고 있다. 그러나, 수소화된 비정질 실리콘 (a-Si:H) 은 결정질 실리콘에 비하여 우수한 광학적 특성, 저온 공정 가능 및 대면적 증착 등의 많은 장점이 있는 반면에 구조적인 불규칙성에 의하여 밴드갭내에 상당히 많은 국부 상태 (localized state) 가 존재하기 때문에 비정질 실리콘 소자의 해석에 어려운 점이 많다. 본 논문에서는 비정질 실리콘의 제 물성들이 고려되고 박막 트랜지스터의 기본원리에 근거한 수치적 해석 방법을 확립하고 소자의 특성에 영향을 미칠 수 있는 요인들을 규명하는데 목적이 있는 바 그 결과로서 밴드갭내의 국부 상태 밀도 및 온도의 변화에 따른 특성의 변화를 수치적으로 해석하였다.

II. 본론

II-1. 구조의 결정

박막 트랜지스터의 구조는 a-Si:H layer, gate insulator layer, source 및 drain contact 과 gate electrode 의 증착

순서에 따라 분류할 수 있다.<sup>[4]</sup> Saggered-type 박막 트랜지스터는 기판위에 source 및 drain contact 을 만들고 비정질 실리콘층 (active layer) 과 절연층을 증착한 후 gate contact 을 만드는 구조로서 절연층을 PECVD (plasma enhanced CVD) 로 증착할 때 비정질 실리콘과 절연층 사이의 계면에 손상을 주어 소자의 특성이 저하되는 것이 단점으로 지적되고있다. 비정질 실리콘층위에 source 및 drain contact 을 만드는 coplanar 구조 역시 staggered 구조와 같이 계면의 성질이 나쁘고 2 단계의 증착으로 인하여 더욱 좋지 않은 특성을 나타낸다. Inverted staggered-type 박막 트랜지스터 구조는 현재 가장 널리 사용되고 있는 것으로서 gate contact 을 Cr/Al 으로 만든후 절연층과 비정질 실리콘층, 그리고 source 및 drain contact 을 위한 n<sup>+</sup>/a-Si Layer 를 1 단계의 연속 증착 공정에 의하여 성장시키고 source 및 drain contact 을 형성하여 제작된다. 이 구조는 liquid crystal display array 를 구동하기에 적합한 특성을 가지고 있는 것으로 보고되어 있으며, 본 논문에서도 inverted staggered 구조의 박막 트랜지스터를 대상으로 수치해석을 실시하였다.

II-2. 해석 방법 및 결과

비정질 실리콘은 다이아몬드 격자 결정을 이루지 못한 실리콘 원자들의 dangling bonds 와 defects 에 의하여 밴드갭내에 상당량의 내재적인 국부 상태 (localized states) 가 존재

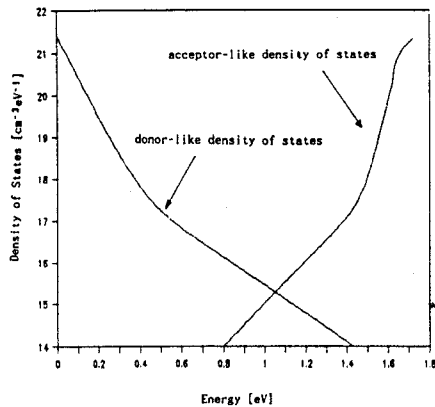


그림 1. 비정질 실리콘의 국부 상태 밀도

한다. 이러한 극부 상태들은 실험적으로 capacitance-voltage (C-V) [5], field-effect[6] 및 DLTS (deep level transient spectroscopy)[7] 방법 등에 의한 결과로서 알려져 있는 수치적인 해석을 위하여

$$g_D(E_f) = g_{ddm} \exp\left(-\frac{E_v - E_f}{E_{dd}}\right) + g_{dtm} \exp\left(-\frac{E_v - E_f}{E_{dt}}\right) \quad (1)$$

$$g_A(E_f) = g_{adm} \exp\left(-\frac{E_c - E_f}{E_{ad}}\right) + g_{atm} \exp\left(-\frac{E_c - E_f}{E_{at}}\right) \quad (2)$$

과 같이 모델링 할 수 있으며 이를 도식화하면 그림 1 과 같다. 여기서,  $g_A$  는 acceptor-like states density,  $g_D$  는 donor-like states density,  $E_{ad}$  ( $kT_{ad}$ ),  $E_{at}$  ( $kT_{at}$ ) 는 각각 acceptor-like deep 및 tail states characteristic temperature,  $E_{dd}$  ( $kT_{dd}$ ),  $E_{dt}$  ( $kT_{dt}$ ) 는 각각 donor-like deep 및 tail states characteristic temperature,  $g_{adm}$ ,  $g_{atm}$  은 각각 acceptor-like deep 및 tail states density at  $E=E_v$  를 나타낸다. 또한 밴드갭내의 이러한 극부 상태는 제작조건 및 절연층과의 접촉에 따라서 밀도 및 특성 온도가 달라질 수 있다.

위의 상태 밀도 (density of states) 로 부터 극부 상태내에 채워지는 극부 전하 (localized charge) 및 자유 전하 밀도는 Fermi-Dirac statistics 를 이용하면 다음의 식으로 표현 할 수 있다.

$$N_{loc} = \int_{E_v}^{E_c} g_A(E) f(E) dE \quad (3)$$

$$P_{loc} = \int_{E_v}^{E_c} g_A(E) (1-f(E)) dE \quad (4)$$

$$n_{free} = \int_{E_c}^{\infty} g_A(E) f(E) dE = N_c \exp\left(-\frac{E_f - E_c}{kT}\right) \quad (5)$$

$$p_{free} = \int_{-\infty}^{E_v} g_A(E) (1-f(E)) dE = N_v \exp\left(-\frac{E_v - E_f}{kT}\right) \quad (6)$$

여기서  $N_{loc}$ ,  $P_{loc}$  는 각각 electron 과 hole 의 localized charge density,  $n_{free}$ ,  $p_{free}$  는 각각 electron 과 hole 의 free charge density를 나타낸다.

그리고 gate bias 에 의해 비정질 실리콘에 유도되는 전체 charge 는 극부 상태내의 고정된 charge 와 밴드의 free charge 의 합으로 표현 되며 이를 그림 2 에 도식하였다.

$$N_{ind} = N_{loc} + n_{free} \quad (7)$$

$$P_{ind} = P_{loc} + p_{free} \quad (8)$$

여기서, 유도된 charge 중에서 localized charge 와 free charge 의 비율을 비교하여 보면 localized charge 가 induced charge 의 대부분을 차지하는 것을 알 수 있게 되는데 이것은 밴드갭내의 많은 극부상태에 인한 것이며 gate bias 가 인가되면 fermi level 이 deep state 로 부터 tail state 쪽으로 이동함에 따라서 free charge 의 비율이 증가하게 된다.

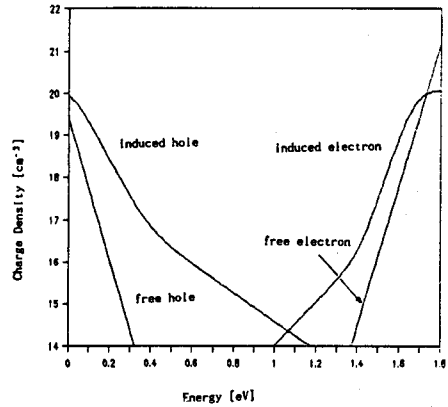


그림 2. 박막 트랜지스터에 유도된 전하 밀도

이러한 charge density 로 부터 channel 내의 charge 분포, 전계 와 전위를 구하기 위해 Poisson's Eq. 을 이용하면

$$\frac{dF}{dx} = \frac{\rho}{\epsilon} = \frac{-q(N_{ind} + P_{ind})}{\epsilon} \quad F = -\frac{dV}{dx} \quad (9)$$

$$F = -\frac{2}{\epsilon} \int_0^V \rho(V) dV \quad (10)$$

$$x = \int \frac{V_s dV}{V F(V)} \quad (11)$$

과 같이 표현되며 이는 기존의 결정질 소자해석에 밴드갭내에 유도되는 고정된 charge (fixed charge) 항을 첨가시키는 방법으로 해석이 될 수 있다.

그리고 위의 식으로 부터 유도되는 전체 charge 중의 free charge 의 비율로 정의 될 수 있는 field effect mobility 를 구하여 보면 그림 3 과 같으며, 비정질 실리콘 박막트랜지스터는 필연적으로

$$\mu_{n,fe} = \mu_{n0} \frac{n_{free}}{N_{ind}}, \quad \mu_{p,fe} = \mu_{p0} \frac{p_{free}}{P_{ind}} \quad (12)$$

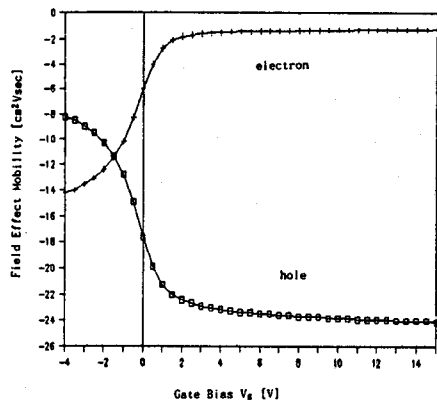


그림 3. Gate bias 의 인가에 따른 field effect mobility

field effect mobility 의 gate bias 에 대한 강한 의존성을 나타내게 되는데 이는 비정질 실리콘의 극부 상태 때문이다. 이상의 결과로부터 전류-전압과의 관계는 식 (14) 와 같이 유도되며, 박막 트랜지스터의 output 및 transfer 특성을 그림 4 및 그림 5 에 도시하였다.

$$dV_{ch} = I_{ds} dR \quad dR = \frac{dy}{q\mu_o(ns+ps)W} \quad (13)$$

$$I_{ds} = \frac{q\mu_o W}{L} \int_0^{V_{ds}} (ns(V_{ch})+ps(V_{ch})) dV_{ch}$$

$$= \frac{q\mu_o W}{L} \int_0^{V_{ds}} \frac{\mu_{nfet}(V_{ch})+\mu_{pfet}(V_{ch})}{N_{ind}(V_{ch})+P_{ind}(V_{ch})} dV_{ch} \quad (14)$$

여기서,  $\mu_{nfet}$ ,  $\mu_{pfet}$  는 각각 electron, hole field effect mobility,  $\mu_{no}$ ,  $\mu_{po}$  는 각각 electron, hole band mobility,  $V_{ch}$  는 channel potential,  $I_{ds}$  는 drain to source current,  $n_s, p_s$  는 channel 내의 free carrier density,  $N_{ind}, P_{ind}$  는 total induced charge 이며, 그림 4, 5 를 얻기위하여 수치해석에서 사용한 제 변수들은 표 1 과 같다.

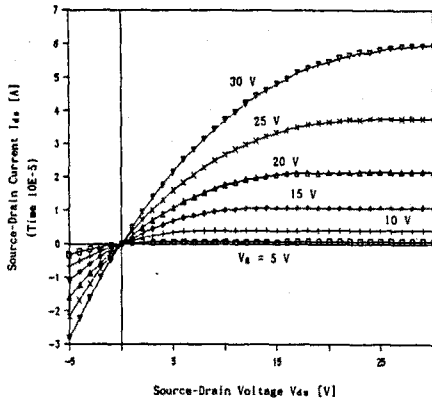


그림 4. 비정질 실리콘 박막 트랜지스터의 출력 특성

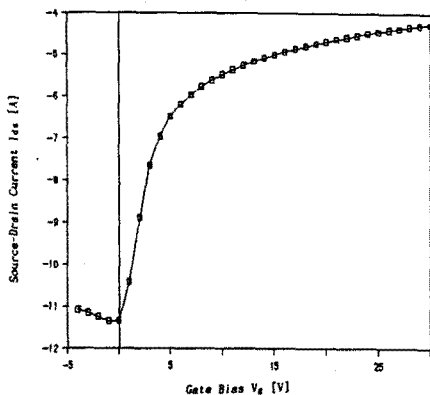


그림 5. 비정질 실리콘 박막 트랜지스터의 전이 특성

표 1. 수치 해석에 사용된 소자 변수

$\mu_{no} = 16.0$ cm <sup>2</sup> Vsec	$\mu_{po} = 1.0$ cm <sup>2</sup> Vsec
$L = 8.0E-4$ cm	$W = 80.0E-4$ cm
$N_c = 7.0E19$ cm <sup>-3</sup>	$N_v = 2.5E19$ cm <sup>-3</sup>
$g_{dm} = 2.5E21$ cm <sup>-3</sup> eV <sup>-1</sup>	$g_{ddm} = 6.5E18$ cm <sup>-3</sup> eV <sup>-1</sup>
$g_{adm} = 5.0E18$ cm <sup>-3</sup> eV <sup>-1</sup>	$g_{atm} = 2.0E22$ cm <sup>-3</sup> eV <sup>-1</sup>
$T_{d1} = 522.0$ K	$T_{dd} = 1500.0$ K
$T_{ad} = 986.4$ K	$T_{at} = 250.0$ K
$E_c = 1.72$ eV	$E_v = 0.0$ eV
$t_{as} = 0.05E-4$ cm	$t_{ox} = 0.3E-4$ cm
$\epsilon_{as} = 11.9$ Fcm <sup>-1</sup>	$\epsilon_{ox} = 6.4$ Fcm <sup>-1</sup>

이상의 이론식으로부터 포화영역에서

$$I_{ds} = \frac{\mu_{fet} C_i W}{xL} (V_g - V_{th})^x \quad (15)$$

과 같이 표시되며 결정질 실리콘에서의 Square law ( $x = 2$ ) 가 비정질 실리콘에서는  $x = 2 - 2.8$  에서 성립하게 되는데, 이는 결정질 실리콘과는 달리 비정질 실리콘에서는  $x$  가 band tail states 에 의해 달라질 수 있음을 의미한다.

비정질 실리콘은 박막을 증착할때 수소의 침투등의 조건에 따라 극부상태에 많은 변화를 보이며 박막 트랜지스터의 제작 시 절연층의 종류 및 제작 조건에 따라서도 기본 물성에 많은 영향을 받는다. 따라서 이러한 제 변화에 따른 극부 상태의 변화를 가정하여 DOS (density of states) parameter 중에서 deep states 의 밀도 및 tail states 의 특성 온도를 변화시키면서 박막 트랜지스터의 output 및 transfer 특성을 조사하였다. 여기서, voltage 및  $\mu_{fet}$  는 식 (15) 에서  $x = 2.5$  를 적용하여 도출되었다. 그림 6 은 deep states 의 밀도 변화에 따른 field effect mobility ( $\mu_{fet}$ ) 및 threshold voltage ( $V_{th}$ ) 의 변화를 도시한 것이다. 밴드갭에서 deep states 가 증가함에 따라서  $\mu_{fet}$  는 감소하며  $V_{th}$  는 증가함을 알 수 있는 바, 이는 deep states 가 상대적으로 증가함에 따라서 보다 많은 양의 localized charge 를 채워줄 bias 가 필요하며 또한 유도되는 전체 charge 중에서 localized charge 의 양이 상대적으로 증가하기때문이다.

또한, tail states 의 특성온도의 변화에 따른  $\mu_{fet}$  및  $V_{th}$  의 변화를 그림 7 에 도시한 바, 특성온도가 증가함에 따라서  $V_{th}$  의 변화는 거의 없으나,  $\mu_{fet}$  는 상당히 감소함을 알 수 있다. 여기서 그림 6 과 그림 7 의 결과를 비교하면 박막 트랜지스터의 threshold voltage 는 비정질 실리콘의 deep states 의 밀도에 의해 결정되며 field effect mobility 는 band tail states 의 특성 기울기 (온도) 에 의해 거의 결정됨을 알 수 있다. 특히 식 (14) 에 의해 얻어진  $V_{th}$  값은 유도되는 전하를 deep states 에서 tail states 로 전이 되게 하는 gate bias 의 값과 거의 일치하게 됨을 알 수 있었다. 그림 8 은 박막 트랜지스터의 온도를 상온부터 약 100 °C 까지 증가시킨후의 output 특성의 변화 및  $V_{th}$ ,  $\mu_{fet}$  의 변화를 도시한 것이다. 이러한 동온도의 범위에서는 (100 °C 이하) 그림 8-(a) 에서 알 수 있듯이 free carrier 가 열에 의해 활성화되어 증가하는 mechanism 을 따르므로 온도의 증가에 따른  $V_{th}$  의 감소 및  $\mu_{fet}$  의 증가도 그림 8-(b) 과 같이 나타나며 이 결과는 실험적인 분석과 [10] 거의 일치됨을 알 수 있었다.

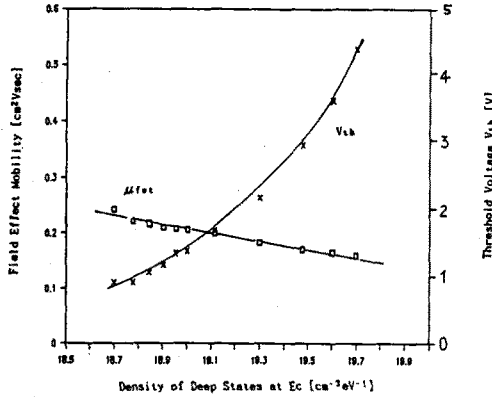


그림 6. Deep state 밀도에 따른  $\mu_{\text{fet}}$  및  $V_{\text{th}}$ 의 변화

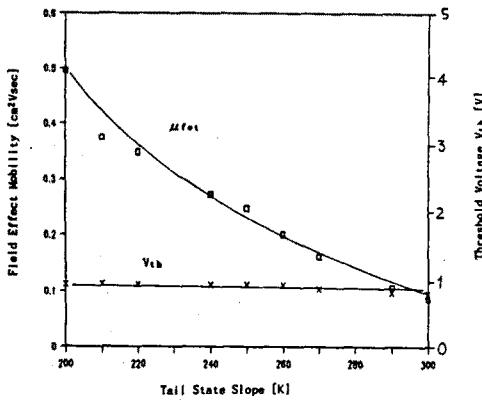
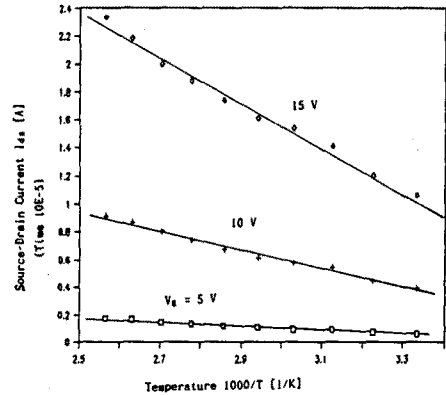


그림 7. Tail state 기울기에 따른  $\mu_{\text{fet}}$  및  $V_{\text{th}}$ 의 변화

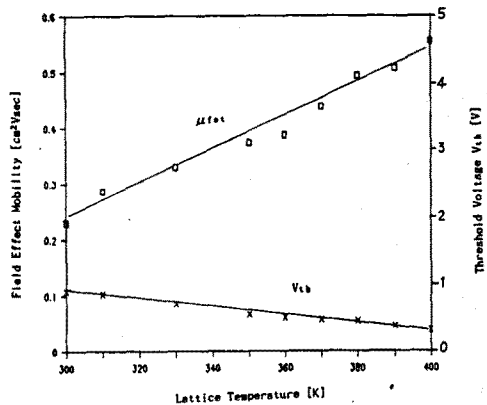


그림 8. 온도 변화에 따른 박막 트랜지스터의 특성 변화 (a) 포화 전류 (b)  $\mu_{\text{fet}}$  및  $V_{\text{th}}$ 의 변화

III. 결론

비정질 실리콘 박막 트랜지스터의 특성 분석에 대한 수치적 접근 방법을 확립하여 전하 밀도, 전계, 전위, field effect mobility, threshold voltage 및 전류-전압 특성을 극부 상태 밀도 및 온도의 변화에 따라서 조사하였다. 비정질 실리콘과 결정질 실리콘의 가장 커다란 특성상의 차이는 밴드갭 (band gap) 내의 극부 상태 (localized states)로부터 발생하게 되고 이 극부 상태의 형태 및 밀도의 변화가 비정질 실리콘 박막 트랜지스터의 특성에 심각한 영향을 미침을 알 수 있었다. 수치적 해석 결과로부터 deep states는 threshold voltage에, tail states는 field effect mobility에 결정적인 영향을 나타냄을 알 수 있었으며, 따라서, 이상적인 박막 트랜지스터의 제작을 위해서는 비정질 실리콘 박막의 deep states의 밀도가 작고 tail states의 기울기가 큰 박막을 제조하는 것이 선행되어야 함을 알 수 있었다. 또한, 박막 트랜지스터의 온도에 따른 특성의 변화를 정량적으로 조사한 바이는 실험적인 결과와 잘 일치함을 알 수 있었다. 비정질 실리콘 박막 트랜지스터의 특성에 대한 보다 정확한 해석을 위하여 향후 과제로서는, 비정질 실리콘의 두께, 비정질 실리콘과 절연층 사이의 계면 상태, space charge limited current (SCLC)의 영향 등이 고려되어야 할 것으로 사료된다.

[참고 문헌]

- [1] P.G.LeComber, W.E.Spear, and A.Ghaith, Electron. Lett. 15, 1979
- [2] Y.Kaneko, Y.Tanaka, N.Kabuto, T.Tsukada, IEEE ED, 36(12), Dec 1989
- [3] A.J.Snell, P.G.LeComber, C.D.Mackenzie, W.E.Spear, and A.Doghmane, J.of Non-Cryst.Solids 59-60, 1983
- [4] M.J.Powell, IEEE ED, 36(12), Dec 1989
- [5] Goodman, A.M., J. Appl. Phys. 34, 1963
- [6] W.E.Spear and P.G.LeComber, J.Non-Cryst.Solids 8-10, 1972
- [7] Williams, R., J. Appl. Phys. 37, 1966
- [8] M. Shur and M. Hack, J. Appl. Phys. 55(10), 15 May 1984
- [9] M. Shur, C. Hyun, and M. Hack, J. Appl. Phys. 59(7), 1 Apr 1986
- [10] N.Lustic, J.Kanicki, R.Wisnieff, and J.Griffith, Mat. Res. Soc. Symp. Proc. 118, 1988