

고속 신호처리를 위한 3-Stage 연산증폭기 설계

김 동 용, 조 성 익, 김 석, * 방 준 호
전 북 대 학 교 전 기 과

The Three-Stage Operational Amplifier Design for High Speed Signal Processing

D.Y.Kim, S.I.Jo, S.Kim, * J.H.Bang

Dept. of Electrical Engineering, Chonbuk National University

Abstract

There is an increasing interest in high-speed signal processing in modern telecommunication and consumer electronics applications, HDTV, ISDN.

A limiting factor in Op-Amp based analog integrated circuits is the limited useful frequency range.

This research program will develop a new CMOS Op-Amp architecture with improved gainband width product. The new design CMOS Op-Amp will achieve up to 100 MHz unity gainband width with a 1.5-micron design rule.

1. 서 론

지난 수년동안 스위치드 캐패시터 필터(SC Filters)는 통신회로 및 그 밖의 신호처리 시스템 분야에 폭 넓게 응용되어 왔다. 이 SC필터는 캐패시터 비율에 의존되는 주파수 응답 특성 때문에 매우 정확하게 필터링(Filtering) 할 수 있으며 MOS기술에 적합하여 디지털 시스템과 함께 공존하여 사용하기에 유용하다.

오늘날 SC필터는 PCM통신을 위한 필터와 언어인식 시스템을 위한 필터와 같은 음성주파수 대역에서 사용되고 있으며 또한 이 보다 더 높은 주파수 대역을 요구하는 시스템 분야의 그 적용범위가 확대되어지고 있다. 예를 들어 오디오 수신기안에 AM과 FM 중간주파수 필터, TV 비디오 대역의 필터 FDM 전송시스템에서의 채널 필터, 그리고 데이터 통신을 위한 필터등이다. 이러한 고주파 전송분야에서 필터를 이용하기 위해서는 필터의 주파수 특성이 각 시스템에서 요구하는 만큼 확장되어야 한다. 결국 이러한 이유로 인하여 필터내의 내부소자인 연산증폭기(Operational Amplifier)의 주파수 특성이 개선되어야 한다. 연산증폭기는 여러가지 특성을 가지고 있으나 고주파대역에서 사용되어지기 위해서는 그 특성중 Open loop이득, 단위이득대역폭, Slewrate등의 특성이 개선되어야 한다. 보통 FM수신기에서 사용되어지는 SC 필터의 중간주파수는 10.7MHz정도인데 이를 필터링 하기 위해선 필터내의 연산증폭기의 주파수 대역폭이 80MHz정도가 되어야 한다. 이것은 연산증폭기의 Settling time을 상당히 단축시켜

FM수신기나 TV비디오등의 필터에 충분히 적용시킬 수 있다.

본 논문에서는 고주파용 필터를 위한 고주파용 연산증폭기를 설계하였으며 대역폭은 100MHz이다. 2장에서는 여러가지 연산증폭기의 구조를 살펴보았으며 3장에서는 연산증폭기의 이득 및 대역폭 확장에 유리한 3-stage연산증폭기를 설계할 하였으며 4장에는 PSPICE 프로그램을 이용하여 조사한 특성을 나타내었다.

2. 연산증폭기의 구조

2-1. 1-Stage 연산증폭기

Slew rate이 50V/ μ s이고 단위이득 대역폭이 15MHz를 가진 고속도 연산증폭기는 1-stage구조를 사용하여 구성될 수 있으며 이러한 성능을 실현하기 위해서는 비교적 간단한 회로 구조가 쓰여진다. 그러나 이 구조는 매우 복잡한 제작 공정을 필요로 한다. 대조적으로 복잡한 회로로 구성된 3-stage연산증폭기는 표준 IC제작공정에 의해 제작된다. 1-stage연산증폭기는 그림 1에서 보는 것과 같이 차동입력단과 Level-Sheft단 그리고 출력단으로 구성되어 있으며 1-stage연산증폭기의 내부구조가 Cascode구조를 이룬것은 이득에 비교해 볼때 큰 대역폭을 가질 수 있게 한다. 그러나 이 구조는 2-stage 및 3-stage구조로 설계한 연산증폭기에 비해서 훨씬 작은 Open loop 이득을 갖는다.

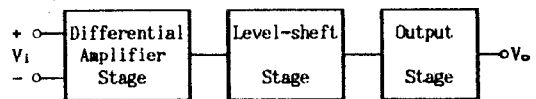


그림 1. 1-stage연산증폭기의 구조

2-2. 2-Stage 연산증폭기

상업적으로 활용할 수 있는 대부분의 연산증폭기는 그림 2와 같은 구조를 나타낸다. 이 특별한 구조를 보통 2-stage 연산증폭기라고 하는데 그 이유는 오직 차동 입력단과 이득단만이 전체 전압 이득에 기여하기 때문이다. 차동증폭단은 전압 이득을 위해서 뿐만 아니라 반전, 비반전 입력 그리고 높은 CMRR과 높은 입력 저항을 가질 수 있게 한다. 연산증폭기의 낮은 출력 저항은 Emitter follower 출력단에 의해서 성취될 수 있으며 Level-shifting는 출력 dc전압이 0이 되게 한다.

그림 2의 두번째 이득단은 큰 Open loop 이득을 얻기 위해 사용된 고 이득 전압 증폭단이다.

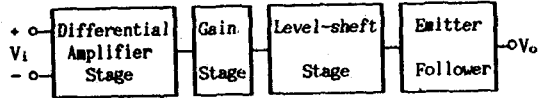


그림 2. 2-stage 연산증폭기의 구조

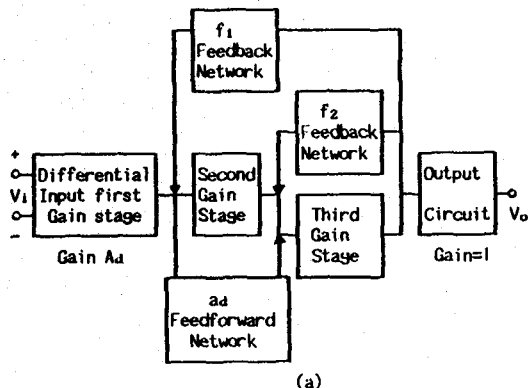
일반적인 2-stage 연산증폭기의 특성을 표 1에 나타 내었다.

표 1. 일반적인 2-stage 연산증폭기의 특성

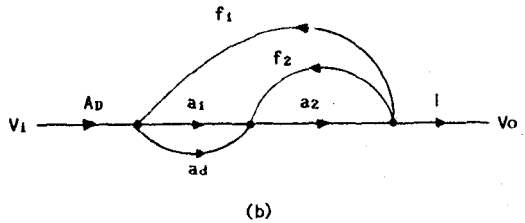
Power Supply	± 5 V
Total power Dissipation	1 - 10 mW
Open Loop Gain	60 - 80 dB
Slewrate	2 - 10 v/μsec
Offset Voltage	1 - 10 mV
Phase margin	60° - 90°
Unity Gain Bandwidth	2 - 10 MHz
CMRR	80 - 90 dB

2-3. 3-Stage 연산증폭기

3-stage 연산증폭기는 차동 증폭 입력단과 두개의 이득단으로 구성되어 있으며 Level-shifting 회로등이 추가된다. 그림 3(a)는 대표적인 3-stage 연산증폭기의 구조이고, 그림 3(b)는 3-stage 연산증폭기의 신호흐름 그래프이다.



(a)



(b)

그림 3. (a) 3-stage 연산증폭기의 구조
(b) 3-stage 연산증폭기의 신호흐름 그래프

3-stage 연산증폭기의 Open loop 이득에서 차동증폭단의 gm은 Slew rate이 증가하게되면 감소된다. 또한 3-stage 연산

$$\frac{dV_o}{dt} = \text{slewrate} = \frac{2I_c}{C_o}$$

$$\text{slewrate} = \frac{8\pi I_c}{9m} f_g \quad (2-1)$$

증폭기의 Feedback 구조는 Gain-crossover 주파수 f_g 를 2-stage 단 연산증폭기에서 얻을 수 있는 것보다 큰 값을 얻을 수 있게 설계할 수 있으며 Slew rate과 단위 이득대역폭이 증가 된다. 각 단은 Open loop 이득 특성시 우성극점에 영향을 주기 때문에 안정성과 보상이 다른 구조에 비해서 어려워진다. 그림 3에서 Feedback loop f_1, f_2 과 Feedforward loop a_d 는 연산증폭기를 보상하기 위한 보상회로이다. 실제적으로 2-stage 연산증폭기 구조에서 보상을 위해서 쓰여졌던 한개의 캐패시터에 비해서 3-stage 연산증폭기의 보상회로는 R과 C로 구성된다. 출력단에서 차동 입력단으로 Feedback되는 loop f_1 은 Open loop 전달함수에서 우성극점을 얻기위하여 사용된다. 두번째 이득단의 극점을 만들기 위하여 첨가된 Feedback loop f_2 로 인하여 비우성극점이 생긴다. 연산증폭기의 전달함수의 영점은 Feedforward 회로에 의해서 나타난다. 이 영점에 대해서 양의 위상으로의 변화는 증폭기의 위상특성을 증진시킬 뿐만 아니라 증폭기의 안정성에도 도움이 된다.

3. 고주파용 3-Stage 연산증폭기의 설계

3-1. 3극함수의 고찰

3-stage 연산증폭기는 이득은 3극함수로 나타난다. Open loop 이득을 A_{r0} 라 할때 그것을 식(3-1)과 같이 나타낼수 있다.

$$A_r(s) = \frac{A_{r0}}{1 + \frac{s^1}{\omega_1} + \frac{s^2}{\omega_1\omega_2} + \frac{s^3}{\omega_1\omega_2\omega_3}} = \frac{A_{r0}}{1 + \frac{s^1}{\omega_1} + \frac{s^2}{\omega_1\omega_2} + \frac{s^3}{\omega_1\omega_2\omega_3}} \quad (3-1)$$

여기서 T_o 는 Feedback ratio를 나타내고 ω_1 는 우성극점을 Open loop 극점의 각 주파수 ω_1, ω_2 , 그리고 ω_3 는 모두 좌반면에 위치한다. T_o 가 증가하면 두개의 극점이 우반면쪽으로 이동해지며 시간응답에 있어서 양의 지수함수를 갖게 된다. 그리하여 증폭기를 불안정하게 하는 요인이 된다. 즉 Feedback ratio와 각 극점들을 고려하여 최적설계를 해야 된다. 연산 증폭기가 안정된 상태에서 극점과 영점의 모양을 그림 4에 나타내었다.

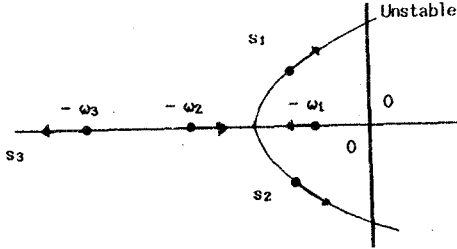


그림 4. 3극 전달함수의 극점과 영점의 위치

위 그림의 극점 및 영점들은 Feedback이 증가 될수록 좌실표 방향으로 이동하게 되며, 단위 이득대역폭에 영향을 주는 극점 ω_3 는 Feedback이 증가함으로써 더 높은 주파수 대역으로 이동하게 되어 연산증폭기의 대역폭이 확장 된다.

3-2. 3-Stage연산증폭기 설계

앞 절에서 언급하였던 것처럼 3-stage구조를 가진 연산 증폭기는 그주파수에서 이용하기에 유리하다. 3개의 이득단으로 높은 출력전압을 얻을 수 있으며 다른 구조에 비해서 높은 대역폭을 얻을 수 있다.

본 논문에서는 2-stage구조에 CMOS이득단을 첨가하여 3-stage구조를 설계하였고 첨가된 CMOS이득단은 그림 5와 같다.

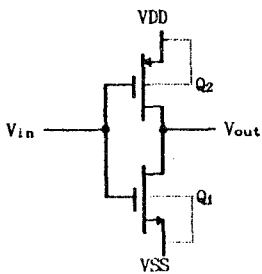


그림 5. CMOS 이득단

Q_1 과 Q_2 의 MOS소자가 각각 Substrates와 Sources가 연결되어 있어서 Body효과가 나타나지 않는다. 노드방정식은 식(3-2)와 같다.

$$(g_{m1} + g_{m2})V_{in} + (g_{d1} + g_{d2})V_{out} = 0$$

$$A_v = - \frac{g_{m1} + g_{m2}}{g_{d1} + g_{d2}} \quad (3-2)$$

g_m 을 g_d 보다 100배까지 크게할 수 있어서 높은 이득을 얻을 수 있다. 먼저 설계한 2-stage구조의 연산증폭기는 그림 6와 같으며 CMOS이득단을 첨가하여 설계한 3-stage구조는 그림 7과 같다. 2-stage구조의 출력단에 CMOS이득단의 입력을 직렬 연결시키고 연산증폭기의 전체 전압출력은 CMOS이득단의 출력에서 얻을 수 있다. 이 구조에서 C_a, C_b 는 저항 특성을 가지는 $M12, M13$ 과 각각 연결되어 Feedback회로를 구성하며 C_o 와 $M14$ 는 Feedforward회로이다.

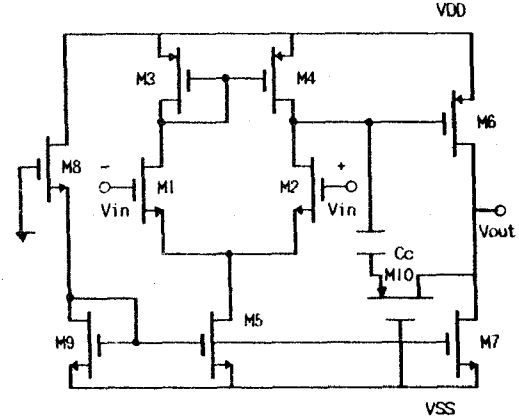


그림 6. 설계된 2-stage구조의 연산증폭기

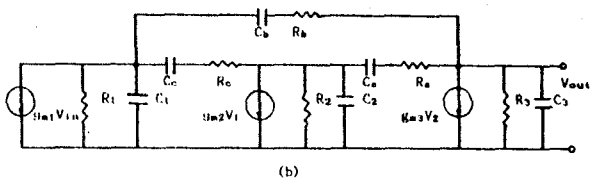
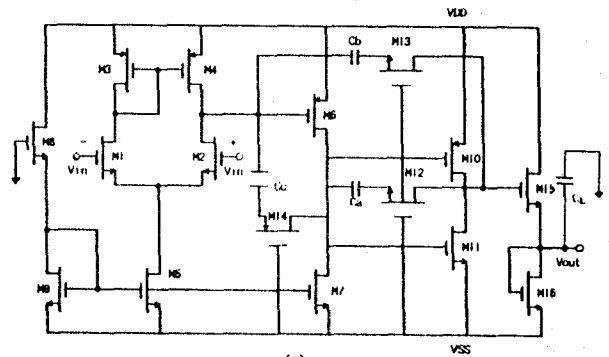


그림 7. (a) 설계된 3-stage구조의 연산증폭기 (b) 3-stage연산증폭기의 소신호 등가회로

4. PSPICE를 이용한 시뮬레이션 결과

표2. 설계된 3-stage연산증폭기의 각 MOS의 채널길이

TR	Type	W(μm)	L(μm)	TR	Type	W(μm)	L(μm)
M1	NMOS	90	4	M2	NMOS	90	4
M3	PMOS	50	10	M4	PMOS	50	10
M5	NMOS	15	12	M6	PMOS	130	5
M7	NMOS	18	5	M8	NMOS	6	15
M9	NMOS	4	200	M10	PMOS	10	2
M11	NMOS	40	2	M12	NMOS	6	2
M13	NMOS	6	2	M14	PMOS	6	2
M15	NMOS	90	2	M16	NMOS	20	5

표3. 설계된 3-stage 연산증폭기의 특성

Power Supply	±5	V
Open Loop Gain	75	dB
Total Power Dissipation	30	mW
Input Resistance	10 ¹⁹	Ω
Output Resistance	348	Ω
Unity Gain Bandwidth	100	MHz
Slewrate	20	v/μsec
Phase Margin	60°	
CMRR		
Max(at 1Hz)	86	dB
Min(at 250KHz)	43	dB
At U.G.Fre(100MHz)	72	dB
PSRRVDD		
Max(at 24Hz)	108	dB
Min(at 100MHz)	84	dB
At U.G.Fre(100MHz)	84	dB
PSRRVSS		
Max(at 15MHz)	107	dB
Min(at 100MHz)	85	dB
At U.G.Fre(100MHz)	85	dB
Offset Voltage	0.6	V

5. 결 론

정보통신 및 전기전자등의 각종신호전송 시스템에서 고속도 신호처리 문제에 대해 많은 연구가 진행 중이며, 요즘 큰 관심거리로 등장한 HDTV, ISDN등에서도 이 문제는 중요한 문제이다.

본 논문에서는 아날로그회로의 기본 능동소자인 연산증폭기를 고주파용 필터 및 그 밖의 고속신호처리 회로에 응용할 수 있도록 설계하였다. 설계된 연산증폭기의 대역폭은 100MHz이며 이것은 20MHz 정도의 신호를 선택하여 처리할 수 있는 대역통과 SC필터에 응용될 수 있으며 연산증폭기의 빠른 Settling시간으로 인하여 통신회로등에서 사용될때 신호처리 속도가 매우 고속화될 수있다.

참 고 문 헌

- (1) K. Martin and A.S.sedra, "Effects of the opamp finite gain and bandwidth on the performance of switched-capacitor filters," IEEE Trans. Circuits Syst., vol. CAS-28, pp.822-829, Aug. 1981.
- (2) B.S. Song, "A 10.7-MHz switched-capacitor bandpass filter," IEEE J. Solid-state Circuits, vol. SC-24, pp. 320-324, Apr. 1989.
- (3) B.Y.Kamath, R.G. Meyer, and P.R.Gray, "Relationship between frequency response and settling time of operational amplifiers," IEEE J. Solid-state Circuits, vol. SC-9, pp. 347-352, Dec. 1974.
- (4) G.Nicolini, F.Moretti and M.Conti, "High-frequency Fully Differential Filter Using Operational amplifiers without Common-Mode Feedback," IEEE J. Solid-State Circuits, vol.24, No.3, June 1989.
- (5) K.Bult and G.Geelen, "A Fast Settling CMOS Op-Amp for SC-Circuits with 90dB DC-Gain and 116 MHz Unity-Gain Frequency,"
- (6) T.C.Choi et al., "High-frequency CMOS Switched-Capacitor Filters for Communications Application," IEEE J. Solid-state Circuits, vol. SC-18, pp. 652-664, Dec. 1983.
- (7) D.B.Riber and M.A.Copeland, "Biquad Alternative for High-Frequency Switched-Capacitor Filters," IEEE J. Solid-state Circuits, vol. SC-20, pp. 1085-1095, Dec, 1985.
- (8) K.Martin and A.S.Sedra, "Effects of the Op-Amp Finite Gain and Bandwidth on the Performance of Switched-Capacitor Filters," IEEE Trans. Circuits Syst., vol. CAS-28, pp.822-829, Aug. 1981.
- (9) Carlos A.Laber and P.R.Gray, "A Positive-Feedback Transconductance Amplifier with Application to High frequency, High-Q CMOS Switched-Capacitor Filters," IEEE J. Solid-State Circuits, vol. SC-23, pp.1370-1378, Dec. 1988.
- (10) H.Y.Kim, D.Y.Kim and H.K.Kim "A New Approach to the High Order Band-Pass and Band-Reject Cascade Realization of Elliptic Filters" 29th Midwest Symposium on Circuits and Systems, pp.380-383, 1986.

■ 설계된 3-stage 연산증폭기의 크기 및 위상특성

