

얇은 산화막의 Wear-out 현상과 제인자.

김 재 호, 이 승 환, 김 천 섭, 성 영 권

고려대학교 전기공학과

The factors involved in the wear-out of the thin oxide film.

Jae-Ho Kim, Seung-Hwan Yi, Chun-Sub Kim, Yung-Kwon Sung

Department of Electrical Engineering, Korea University.

ABSTRACT

Recently, it is reported that the behavior of thermal SiO₂ under high electric field and current condition has a major effect on MOS device degraation. Furthermore, when thin oxide films are applied in practical device, the presence of oxide defects will be a serious problem.

In this paper, because TDDB is the useful method to measure the effective density of defects, we stressed MOS structure that is 150 Å of thermally grown SiO₂ as a function of electric field (9-19 MV/cm), temperature (22°C - 150°C) and current.

By examing TDDB under positive voltage, long-term oxide breakdown reliabiliy is described.

From these data, breakdown wearout limitation for the oxide films can be characterized.

1.서론

오늘날 VLSI 시대를 맞이하여 소자크기의 미세화에 따른 집적도가 증가함에 따라 소자구조 파라미터중 양질의 얇은 표면보호막이 절실히 요구되고 있다. 그러나 이와같은 박막화는 고전계로 말미암은 bias stress 로 회로 설계상에는 문제가 없어도 소자의 파괴 및 오동작 현상이 흔히 발생하는등 문제점이 야기되었고, 고집적화로 인한 소자의 신뢰성이 큰 문제가 되어왔다.

본 논문에서는 정전압과 온도 stress 에 의한 TDDB

(Time-Dependent-Dielectric Breakdown)특성의 해석으로, 소자의 동작조건에서의 수명 시간을 예측하며, 신뢰성을 알아보았다.

또 정전류 stress로 시간에 따른 플랫 밴드 전압 이동을 조사하였고, 이에 따른 charging 효과로 절연 파괴 메카니즘을 밝히고자 한다. 아울러 TDDB⁽¹⁾⁻⁽³⁾ 및 Copper decoration 으로부터 막의 유효결함 밀도를 구하였다.

2.시료의 제작 및 측정

기판으로 비저항이 0.1-10 Ω-cm 인 (100) 결정방향의 p형 실리콘 웨이퍼를 사용하였으며, 전처리 과정으로 얇은 산화막을 성장시키기 위하여 900-1000 °C 에서 1 l/min 의 산소유량으로 150 Å 정도의 얇은 산화막을 성장시켰다. 산화후 900 °C, N₂ 분위기에서 약 100분간 어닐링 하였다. 이때 막 두께는 Nanoscope (ANELVA 911-9150)를 사용하여 측정하였다.

제작된 시료는 지공증착 장치를 사용하여 직경 0.8 mm, 1 mm, 1.3 mm 의 Al의 전극을 형성하였다. 하부전극은 HF를 이용하여 에칭을 한후 Al을 증착시켜 ohmic contact을 만들었다. 절연파괴 측정은 ramp rate 0.1 V/sec인 ramp 전압을 인가하고 breakdown 순간의 전압을 peak detector로 holding 하여 측정하였다.

처리막의 TDDB 측정은 정전압 stress (9, 9.5, 10 MV/cm)와 측정온도를 (22 °C, 100 °C, 150 °C) 파라미터로 하여 절연파괴가 일어날때까지의 시간을 측정하였다.

정전류 stress 는 0.00377 A/cm^2 의 전류밀도를 시료에 인가하여 stress 시간이 40,100,140 초인 점에서 C-V측정을 함으로써 플랫 밴드 전압의 양상을 살펴며, SiO_2 막내의 charging 효과를 보았다. 유효 결함 밀도 측정은 상온에서 9 MV/cm 의 전계를 가한후 유한시간 1000 sec까지의 누적 파괴율을 각각의 전극면적에 대해 구한다. 또한 Copper decoration 을 시킨후 현미경 사진을 찍어 막질을 평가하였다. Capacitor의 breakdown은 $10 \mu\text{A}$ 를 초과하는 전류에서의 인가전계로 규정하였다.

3. 실험결과및 검토

그림 1 은 산화 전후 고온 어닐링 처리한 막과 처리치 않은 막에 대한 ramp 전압 stress를 가하여 절연 파괴 히스토그램을 나타내었다.

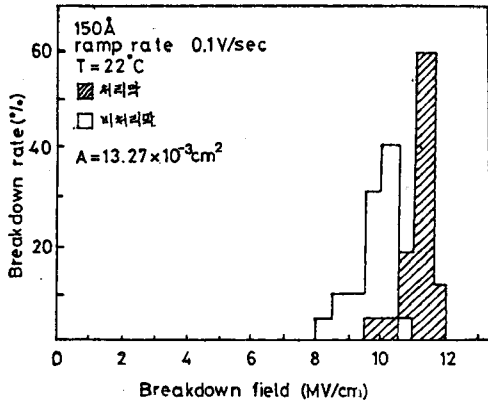


그림 1. SiO_2 막의 절연파괴의 전계분포.

고온 처리한 막이 절연파괴분포에 있어서 더 고전계쪽으로 이동함은 pinhole과 같은 결함요소를 감소시켰기때문으로 사료된다.

그림 2에서는 그림 1의 절연파괴 분포를 Weibull 분포로 나타내었다.

한편 처리한 막과 비처리막에 대한 막질 평가의 일환으로 유효결함 밀도를 그림 3으로부터 다음 식에의해 구했다.

$$D(tf) = 1/A (F(tf)/(1-F(tf)))$$

A는 MOS capacitor의 전극면적, tf는 1000sec, F(tf)는 1000sec까지의 누적 파괴율이다.

그림 3에서 처리막과 비 처리막의 유효 결함밀도는 $23 \text{ defects/cm}^2, 75 \text{ defects/cm}^2$ 이다.

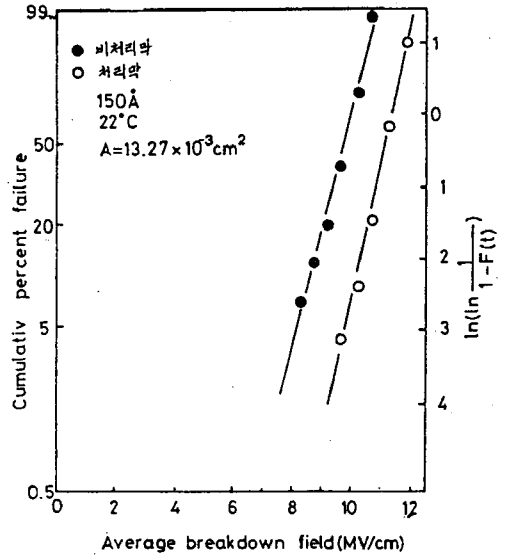


그림 2. 절연파괴분포의 Weibull 분포.

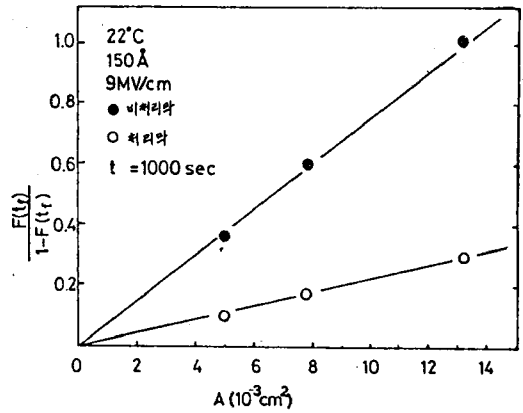
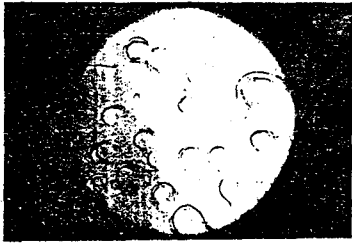


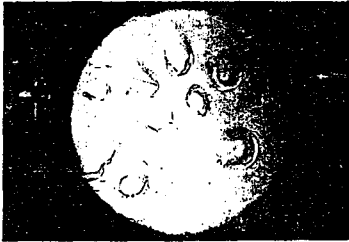
그림 3. 전극면적에 따른 $F(tf)/(1-F(tf))$.

부가적으로 Copper decoration 후 막 표면을 현미경으로 관찰한 결과 그림 4와 같은 표면을 볼 수 있었다.

그림 5는 상온에서 9,9.5,10 MV/cm 의 일정 전계하에서 처리막에 대한 TDDB의 결과를 Weibull paper 에 도시하였고, 이로부터 구한 전계가속계수 r 은 전계의 함수로서 50 % cumulative failure에 이르는 시간을 나타낸 것으로 $r = 1.25 \text{ cm/MV}$ 얻어진다.



(a) 비처리막



(b) 처리막

그림 4. 처리막과 비처리막에 대한 copper decoration 후의 현미경 사진. (450 배)

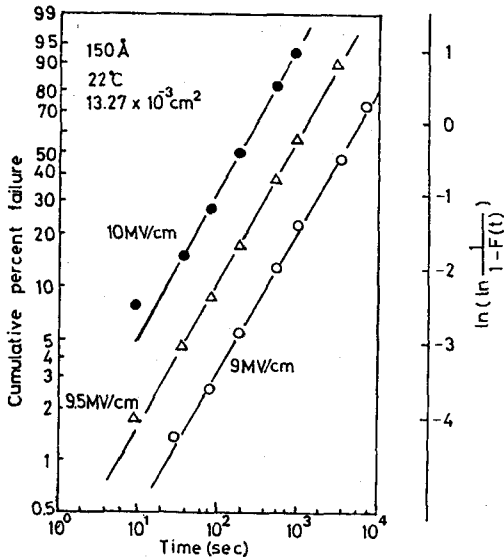


그림 5. 전계를 파라미터로 한 TDDB 특성의 Weibull 분포.

그림 6은 10 MV/cm의 정전압 stress하에서 22°C, 100°C, 150°C의 온도조건에서 $t_{0.01}$ 를 실측하여 Weibull분포로 나타냈다.

이때 온도가속 계수 α ⁶⁾는 다음과 같이 주어진다.

$$\alpha = \exp \left[\frac{Ea}{K} \left(\frac{1}{T_S} - \frac{1}{T_0} \right) \right]$$

T_S 는 스트레스 온도, T_0 는 원하는 동작온도, k 는 볼츠만 상수, Ea 는 활성화 에너지이다.

그림 6에서 구해진 Ea 값은 0.28eV를 얻었다.

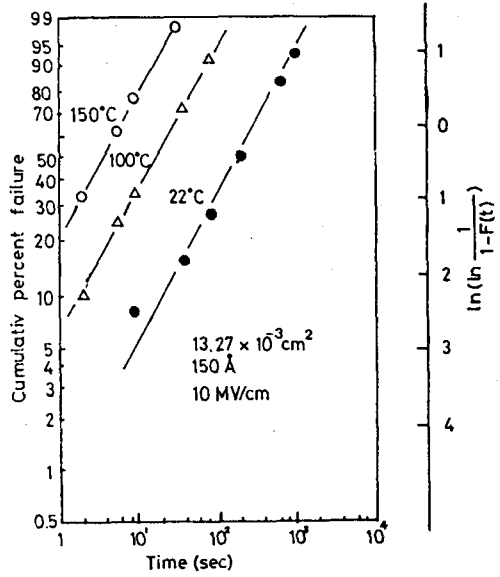


그림 6. 온도를 파라미터로 한 TDDB 특성의 Weibull 분포.

그림 7은 앞에서 구한 전계 가속 계수를 이용하여, 그림 5의 data를 누적파괴율 0.01%까지 외삽하여 그때의 소자수명을 예측해 보았다.

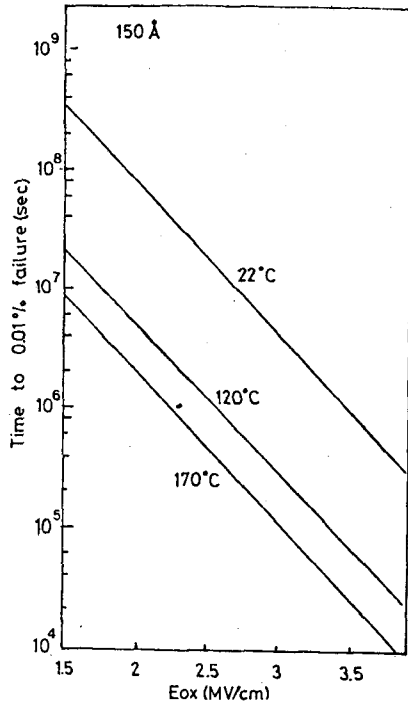


그림 7. E_{ox} 함수로서 계산한 0.01% 누적파괴율의 도달시간.

동작 전압이 2V 이면 0.01%까지 10년 이상의 수명을 유지할 수 있음을 알수있다.

그림 8은 일정 전계 9MV/cm를 가할시 파괴 시간까지의 전류변화 양상을 나타내고 있다.

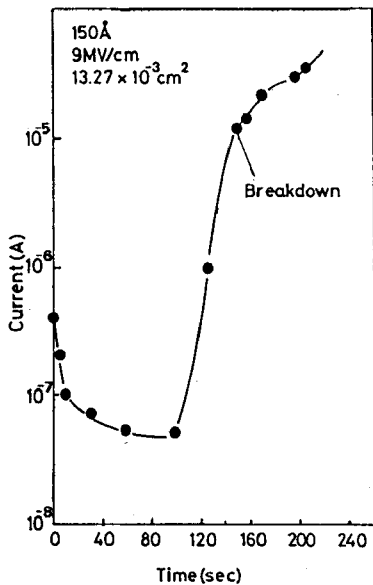


그림 8.파괴시간까지의 전류의 변화 양상.

그림 9는 정전류 stress시간에 따른 플랫폼 전압변화량을 나타냈다.

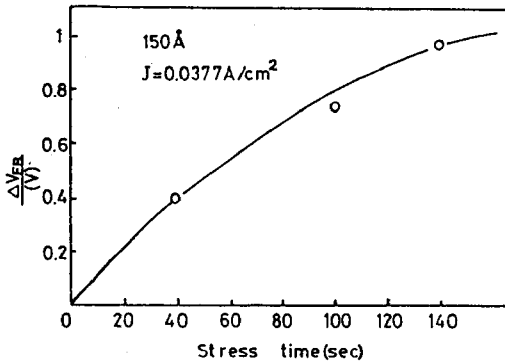


그림 9.정전류 stress 시간에 따른 플랫폼 전압 변화량.

그림 10은 정전류 stress시간에 따른 trapping 확률의 변화를 나타냈다. 시간이 지남에 따라 trapping 확률이 감소됨을 알수있다.

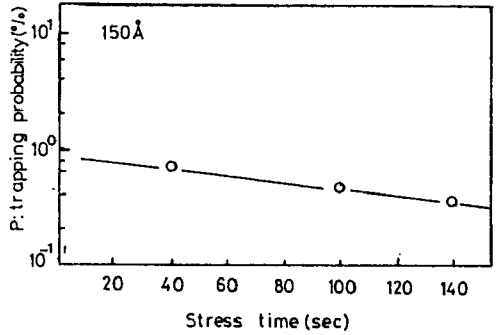


그림 10.정전류 stress 시간에 따른 trapping 확률 변화.

정전류 stress하에서 V_g 는 시간에 따라 증가하게 되는데, 이것은 전류밀도에 비해 trap들의 발생율이 일정함을 설명해주고 있다.⁷⁾ 이러한 trap들이 그림 11처럼⁸⁾ 절연막의 밴드갭 내에서 발생하여, 이것이 반대 전극쪽까지 발생하면 capacitor 는 절연파괴가 된다고 생각 된다.

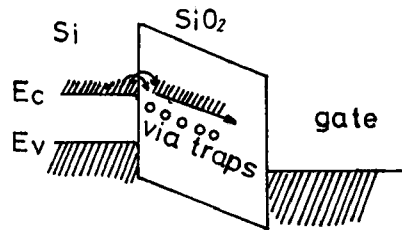


그림 11. 밴드갭내에서 발생된 trap 들에 의해 형성된 ohmic path의 개념도

(참고 문헌)

- 1) S . Raider ; Appl.Phys.Lett vol 23, p 34 (1973)
- 2) I . Chen ,S . Holland ,C . Hu ; IEEE. ED-32, p 413 (1985)
- 3) T . Kusaka ,Y . Ohji, K . Mukai ; IEEE . ED-8 , p 61 (1987)
- 4) S . P.Li, J. Maserjian ; IEEE . ED-23 . p 525 (1976)

- 5) J . Mcpherson , D . Baglee ; J .Electrochem
.Soc , vol 132, 1903 (1985)
- 6) E . Anolick , G . Nelson ,in Pric ; Int
.Reliability Symp p 8 (1979)
- 7) Takasia Kusaka , Yuzuru Ohji ; IEEE EDL-8, p
61 (1987)
- 8) D .R.Wolters ; First International Symposium
on ULSI Science and Tech (1987).