

저압 화학 증착된 WSix 박막의 열처리에 따른 거동
Annealing Behaviors of WSix Film Formed by LPCVD

이 재 호*	한국과학기술원 석사과정
임 호 빈	한국과학기술원 교 수
Jae - Ho Lee*	K A I S T
Ho - Bin Im	K A I S T

ABSTRACT

Tungsten silicide (WSix) films on polycrystalline silicon were formed by low - pressure chemical vapor deposition (LPCVD) and were annealed in N₂ for 30 mins at various temperatures. The annealing behaviors of tungsten silicide films have been investigated by electrical resistivity measurements, X-ray diffraction methods, scanning electron microscopy (SEM) and Hall measurements. The electrical resistivity decreased almost linearly with increasing annealing temperature and reached 35 μΩ-cm at 1000 °C annealing. The X-ray and SEM analyses indicate that crystallization of WSi₂ and grain growth occurs when annealed above 1000 °C. Excess silicon redistribution occurs considerably when

annealed above 1000 °C. By Hall measurements, the carrier type for specimens annealed at 1000 °C was found to be positive holes, while the carriers were electrons in the specimens that were annealed at 800 °C.

1. 서 론

지난 수 년동안, 대규모 집적 회로 에서의 게이트전극및 층간 배선재료로 사용되어왔던 다결정 실리콘을 대체시키기 위한 재료로서, 내열성 텅스텐 실리사이드에 대해 많은 연구가 진행되어왔다. 30-50Ω/□ 정도의 높은 판저항을 가지고있는 다결정 실리콘에 비해, 상대적으로 낮은(1-order) 저항의 텅스텐 실리사이드는, RC 지연시간에서 상당히 유리할 뿐만아니라, 고온 공정 및 화학 공정 에서의 안정성, 하부층과의 부착성, 또 polycide구조에서 안정된 산화특성 등의 이점을 지니고있고, 다결정 실리콘 게이트의 특성을

저하시키지 않으므로 [1] 각공을 받고 있는 것이다. 그러나, 텅스텐 실리사이드 박막의 as-deposited 상태 만 으로는 거의, 다결정 실리콘(doped) 에 이룰 정도의 높은 판저항 및 비저항을 나타내는 것으로 보고 되어있고 [2], 이는 텅스텐 실리사이드 박막이 as-deposited 상태 에서는 비정질(혹은 crystallite state) 이라는 사실에 비추어, 그 전기적 수송특성에 결정적인 영향을 미칠 것이므로, 필연적으로 annealing을 통하여 이를 개선해야할 필요가 있는 것이다. 그래서 본 실험에서는 polycide 게이트구조로 형성된 저압화학증착 텅스텐 실리사이드의 annealing 조건에 따른 전기적 특성, HALL 특성 및 구조적 성질의 변화 등을 van der Pauw 법, HALL 측정, X-선 회절법 및 주사 전자 현미경 (SEM) 등의 방법으로 연구하였다.

2. 실험 방법

Boron-doped P 형 Si(100) 웨이퍼를 950 °C, ($O_2 + HCL$) 분위기에서 산화시켜, SiO_2 를 1000Å 키우고, 650 °C N_2 분위기에서 SiH_4 기체를 이용하여 LPCVD 법에 의해 다결정 실리콘을 2000Å 성장시켰다. 다음 일부 시편을 N_2 분위기에서 $POCl_3$ 를 사용하여 다결정 실리콘층에 phosphor doping 하고, 1: 100 HF 용액으로 P_2O_5 등의 잔류 산화막을 제거하였다. 계속해서, LPCVD 법에 의해 360 °C, 200 mTorr 에서 WF_6 와 SiH_4 기체를 동시에 주입하여 2000Å 의 $WSix$ ($x \geq 2.5$) 박막을 얻었다. 다음 N_2 분위기의 확산로에서 560 °C, 800 °C, 1000 °C 의 온도로 각기 30 분씩 annealing 하였다.

전기저항 및 HALL 측정을 위해, 시편을 한번이 8mm 의 정방향으로 만들고, In-Ag (1 : 4)

페인트를 네모뿔이에 Cu 도선과 함께 도포하여 공기중에서 48 시간 건조시켰다. 이들 시편을 van der Pauw 방법 [3] 으로 비저항을 측정하였고, 판저항은 SEM 사진에 나타난 두께를 환산하여 구하였다. HALL 측정은 전자석을 이용하여, 9 KG 이내의 자기장 범위에서 수행하였고, van der Pauw 패턴의 열전기적인 영향 및 비대칭성에 의한 영향등을 배제하기 위하여 전압 및 전류단자의 극성을 반복해서 바꾸고, 또 두 단자를 서로 바꾸어서, 그 평균값을 취하여 HALL 데이터를 얻었다. $WSix$ 박막의 annealing 에 따른 결정구조는 Cu $K\alpha 1$ line의 X-선 디프랙토메타를 이용하여 분석하였고, SEM 및 위의 X-선 법을 통하여 $WSix$ 박막의 두께변화 및 기타 관련 거동을 관찰하였다.

3. 결과 및 고찰

annealing 온도에 따른 상온 비저항의 결과를 그림.1 에 나타내었다. 이와같은 저항의 감소는 그림.2 의 X-선 회절 결과와 그림.3 의 SEM 결과로 부터 관찰되듯이, as-deposited 상태에서 비정질형 $WSix$ 박막이, annealing 온도의 상승에 따라 WSi_2 의 tetragonal 구조로 결정화가 진행되고, 결정립 성장이 동시에 일어남으로써 기인된 것으로 추측된다. 그러나 그림.3 (c) 의 1000 °C annealing 시편의 SEM 사진을 자세히 관찰하면, WSi_2 결정립이 하부 다결정 실리콘층과의 경계면에서 불규칙하게 granule 형태로 나타나고있고, 최초 as-deposited $WSix$ 박막과 서로 두께를 비교하여볼때, 대략 23% 정도의 큰 두께 감소가 관찰되고 있다는 사실에 비추어, as-deposited $WSix$ 박막내의 과잉 Si 원자들이, 1000 °C

annealing 시편의 경우에 하부의 다결정 실리콘 위에 석출되었다고 [4,5] 생각 할수 있으며, 따라서 결정화, 결정립 성장 및 과잉 Si 재분배 등의 세가지 메카니즘이 거의 동시에, annealing 에 따른 WSix 박막의 거동에 영향을 미쳤다고 볼수있다.

그림.4 와 표1 에는 1000 °C annealing 시편과 800 °C annealing 시편의 HALL 측정 결과를 나타내었다. 1000 °C 시편의 경우는 HALL 상수가 $+3.59 \times 10^{-4} \text{ cm}^3/\text{C}$ 의 양의 값 이었고, 800 °C 시편은 이와 반대로, $-1.07 \times 10^{-3} \text{ cm}^3/\text{C}$ 의 음의 값이 얻어졌는데, 이와같은 상반된 결과는 WSi₂ 박막이 compensated semimetal 이라는 제안[6] 과, 위에서 언급한 결정립 성장 및 과잉 Si 원자의 재분배와 밀접한 관련이 있다고 생각된다. 즉, 800 °C annealing 시편의 경우는, 1000 °C 시편의 경우에 비해 결정립 성장이 덜 일어났고, 과잉 Si 원자들이 cluster 형태로 응축있건 결정립계에 편석되어있건, 상대적으로 더 많은 양으로 다결정 WSix 박막내에 잔류해있을 것이므로, 이로인해 전체 WSix 박막의 전기적 수송특성에 큰 영향을 미친 것으로 추론해 볼수 있는 것이다.

4. 참고 문헌

- 1) B.L.Crowder and S.Zirinsky, "One micron MOSFET VLSI technology : Part V - Metal silicide interconnection technology - A future perspective," IBEE Trans. Electron Devices, vol.RD-26,369 (1979)
- 2) 한 천 수, "저압 화학기상증착된 WSi₂ 의 저항 및 구조적 특성", 석사학위논문, 인하대학교 대학원 (1987)
- 3) L.J.van der Pauw, Philips Res. Rep., 13,1 (1958)

- 4) M.Kottke, F.Pintchovski, T.R.White, and P.J.Tobin, J. Appl. Phys. 60(8) 2835 (1986)
- 5) M.Y.Tsai, F.M.d'Heurle, C.S.Petersson, and R.W.Johnson, J. Appl. Phys. 52(8) 5350 (1981)
- 6) P.A.Badoz, E.Rosencher, and J.Torres, G.Fishman, J. Appl. Phys. 62(3) 890 (1987)

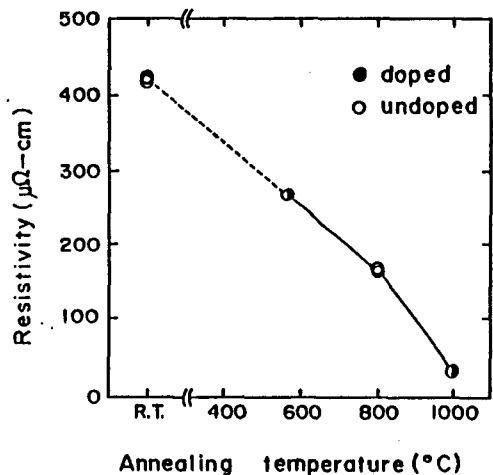


그림.1 Annealing 온도에 따른 WSix 박막의 상온 비저항의 변화

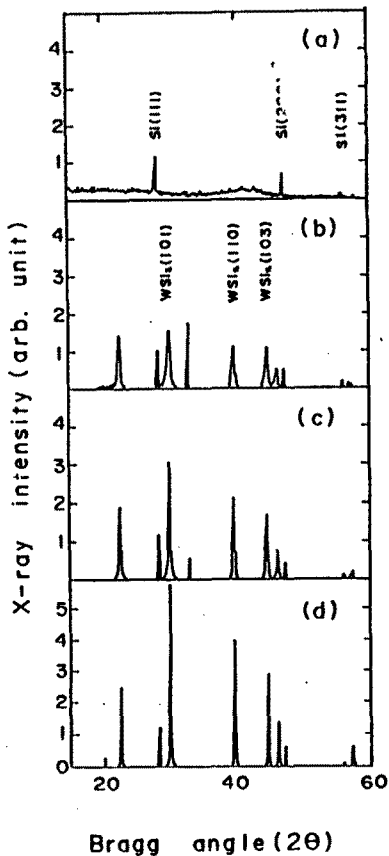


그림.2 Annealing 온도에 따른 X-선 회절패턴의 변화 ; (a) As-deposited, (b) 560 °C, (c) 800 °C, (d) 1000 °C annealed.

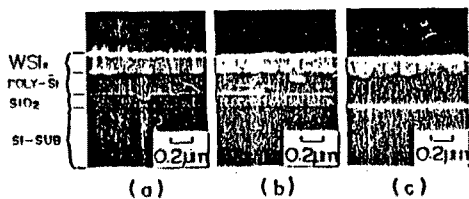


그림.3 각 시편의 단면 SEM 사진 ; (a) As-deposited, (b) 800 °C, (c) 1000 °C annealed

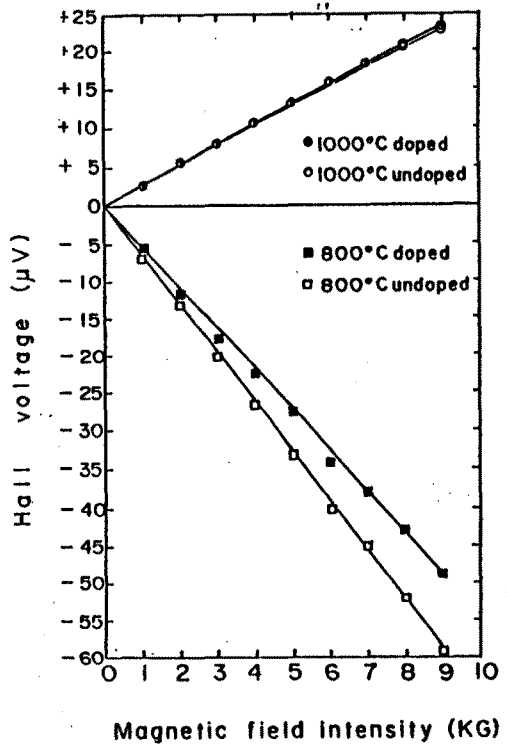


그림.4 각기 다른 두 온도에서 Annealing 된 시편의 자기장에 따른 Hall 전압의 변화

PARAMETER SPECIMEN	HALL CONST. (cm ³ /C)	APPARENT CARRIER DENS. (/cm ³)	HALL MOBILITY (cm ² /v-sec)
1000 °C DOPED	+3.63 × 10 ⁻⁴	HOLE 1.71 × 10 ²²	10.27
1000 °C UNDOPED	+3.59 × 10 ⁻⁴	HOLE 1.73 × 10 ²²	9.87
800 °C DOPED	-8.81 × 10 ⁻⁴	ELECTRON 7.08 × 10 ²¹	5.38
800 °C UNDOPED	-1.07 × 10 ⁻³	ELECTRON 5.83 × 10 ²¹	6.33

표.1 Hall 측정결과