

오 박 민 형, 한 민 구
서울대학교 전기공학과

Characterization of Channel Electric Field in LDD MOSFET

Min Hyoung Park, Min Koo Han

Department of Electrical Engineering, Seoul National University

ABSTRACT

A simple analytical model for the lateral channel electric field in gate - offset structured Lightly Doped Drain MOSFET has been developed. The model's results agree well with two - dimensional device simulations. Due to its simplicity, our model gives a better understanding of the mechanisms involved in reducing the electric field in the LDD MOSFET. The model shows clearly the dependencies of the lateral channel electric field as function of drain and gate bias conditions and process, design parameters. Advantages of analytical model over costly 2-D device simulations is to identify the effects of various parameters, such as oxide thickness, junction depth, gate / drain bias, the length and doping concentration of the lightly doped region, on the peak electric field that causes hot - electron phenomena, individually. We are able to find the optimum doping concentration of LDD minimizing the peak electric field and hot - electron effects.

I. 서 론

VLSI 회로의 집적도가 증가함에 따라 MOSFET 의 채널의 길이 및 산화막의 두께도 감소되고 있다. 그러나 인가되는 전압은 비교적 감소가 되지 않기 때문에 lateral 채널 전계의 최대치는 계속 증가하게 된다. 이 전계 최대치 (E_{max}) 의 증가에 따라 채널 내 전자들이 게이트나 기판으로 빠져 나가는, 소위 hot - carrier 현상이 소자의 특성은 물론 device 신뢰도에 심각한 영향을 미치게 된다. 이러한 hot - carrier 현상들은 채널 lateral 전계의 최대치와 깊은 관련이 있다.¹⁾ 이 최대치를 감소시키기 위해서, double - diffused drain (DDD) 구조나 lightly - doped drain (LDD) 구조가 많이 사용되고 있다.

컴퓨터 시뮬레이션은 계산시간이 길뿐만 아니라 그 결과를 해석함에 있어서, 설계 및 공정상의 매개변수들의 개별적

변화가 device 특성에 어떠한 정성적 변화를 가져오는가를 이해하는데 있어서 해석적 모델에 비하여 뒤떨어진다. 따라서 우리는 해석적 모델을 통해서 각 매개변수의 변화에 따른 전체적인 경향을 알아낼수 있게 되며 이를 통해, 소자의 더욱 정확한 설계를 위한 2-D device simulation을 효율적으로 수행하게 된다.

전계의 최대치 E_{max} 를 최대한 감소시키어서 device 신뢰도를 향상시키고 breakdown 전압을 높이는 데 있어서 LDD 구조의 최적화가 중요한 문제이다. 이 전계의 최대치는 인가되는 bias 조건에는 물론이고 LDD의 길이와 피크 도우핑 농도, junction 깊이 및 게이트 oxide 두께등에 의하여 가변이 되는데, 이러한 매개변수들이 각각 최대 전계값에 어떠한 영향을 줄 것인가에 관한 정성적, 정량적인 면을 이해하고 예측할수 있어야 한다.

최근에 들어와, LDD 구조를 갖는 MOSFET 의 채널 전계에 관한 해석적 모델이 Berkley 대학의 C. Hu 그룹에 의하여 발표된바 있다.^{2),3)} 그러나 이 모델들은 현재 실제적으로 많이 사용되는 gate - offset 구조 (Fig.1-a 참조) 가 아니라, full overlap 구조 (lightly doped region 이 완전히 게이트 밑에 있는 구조, Fig.1-b 참조)와 또한, LDD 전체가 균일한 도우핑으로 되어 있고 lateral diffusion 을 고려하지 않은 구조 (Fig.1-c 참조)만을 다루고 있다.

따라서 본 연구에서는, 현재 비교적 제일 많이 쓰이고 있는, gate - offset 구조를 갖고 있고 lateral diffusion 이 고려된 LDD 에서의 채널 lateral 전계 수식을 유도하고 또한 이 해석적 모델로부터 device의 여러가지 매개변수들이 각각 최대 전계치에 미치는 효과를 검토한다. 또한 본 연구에서 정립한 모델의 타당성을 확인하기 위해 널리 쓰이고 있는 2-D device simulator의 시뮬레이션 결과들과 비교하였다.

II. 해석적 모델

1. 모델을 위한 가정들

본 연구에서 사용한 LDD 구조는 Fig.1-a에 묘사되어있다.

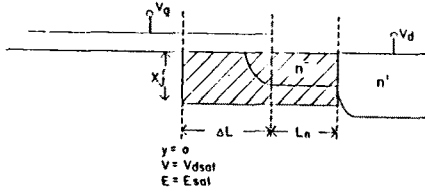


Fig.1-a. gate - offset 구조의 LDD device 의 단면도.

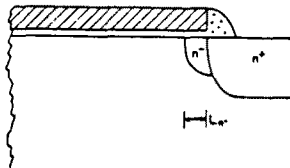


Fig.1-b. full - overlap 구조의 LDD device 의 단면도.

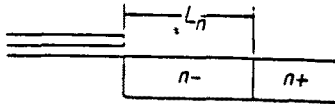


Fig.1-c. 균일한 도우핑을 갖고 lateral diffusion 이 없는 LDD device 의 단면도.

모델의 정립을 위한 몇가지 가정들은 다음과 같다.

가정1). Velocity saturated 된, Fig.1-a의 빗금쳐진 box 영역에서 vertical 전계 성분 E_x 가 무시되어질수 있는 특정 길이 X_j' 가 존재한다. 즉 이 box의 밑 경계부분에서 전계선이 대체로 기판 표면과 평행되는, 그러한 box 길이 X_j' 를 얻을 수 있다. 2-D 시뮬레이션 으로부터 이 길이는 대체로 n^+ 드레인의 junction 길이 부근이라는 것을 알게 되었다.³⁾ 이것은, 수많은 전계선들이 n^+ junction의 코너로부터 발산하기 때문이라고 추측되어진다.³⁾ 그러나 이 X_j' 값의 불확정성과 또 그 box 두께 전체에 걸친 lateral 전계의 불균일성을 고려에 넣기 위해 fitting parameter η 를 도입했다. 즉

$$X_j' = \frac{X_j(\text{of LDD})}{\eta} \quad (1)$$

이 논문의 뒤에 제시되어 있는 결과 자료들은 LDD의 junction 길이가 n^+ junction 길이의 1/2인 경우들이기 때문에, 이경우에 η 는 0.5 - 0.7 사이의 값들로 fitting 되었다.

가정2). Velocity - saturation 영역이 시작되는 $y=0$ 에서는 long-channel approximation을 써서 이점에서 $\frac{dE_y(0,y)}{dy} \approx 0$ 이라 가정했다.^{2),3)} 시뮬레이션 결과들은 이 가정을 뒷받침해준다.

가정3). N^+ 드레인은 lateral diffusion 을 고려하지 않은 abrupt junction approximation 을 썼다.^{2),3)}

가정4). 게이트 바깥부분에서의 fringing field는 무시되었다.³⁾ 즉 게이트 바깥부분에서는 $E_x(0,y)=0$ 이라

놓았다.

2. 모델 수식 전개.

본 연구에서 사용한 모델 (Fig. 1-a)의 전계에 관한 경계조건이 Fig. 2에 묘사되어 있다.

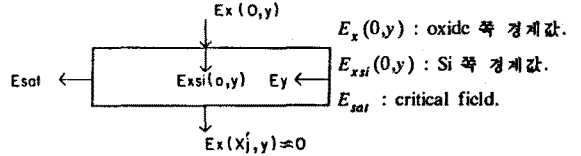


Fig.2. velocity saturated 된 box 영역.

이 영역에 Gauss's Law 를 적용하면

$$\vec{\nabla} \cdot \vec{D} = Q \quad (2)$$

\vec{D} : displacement current.

Si - SiO₂ 인터페이스에서 이Gauss's Law 를 적용하면

$$E_{xsi}(0,y) = \frac{\epsilon_{ox}}{\epsilon_s} E_x(0,y) \quad (3)$$

ϵ_s : Si 의 permittivity

ϵ_{ox} : SiO₂ 의 permittivity

Fig.2.의 영역에서 (2)를 풀고 그것을 y에 관해 미분하고 필요한 정리를 하면 다음과 같은 미분방정식을 얻게 된다.

$$\frac{X_j}{\eta} \frac{dE_y(0,y)}{dy} = \frac{qX_j}{\epsilon_s} \left(\frac{\bar{N}_a}{\bar{N}_d(y)} - 1 \right) - \frac{\epsilon_{ox}}{\epsilon_s} E_x(0,y) + \frac{Q_m}{\epsilon_s} \quad (4)$$

\bar{N}_a : box 안에서의 기판 농도의 평균값

Q_m : 단위 면적당의 mobile charge density

여기서 lateral diffusion 부분은,

$$\bar{N}_d(y) = \bar{N}_{dm} \exp\left(-\frac{(\Delta L - y)^2}{\Delta R^2}\right) \quad (5)$$

로 표현할수 있다. 즉 원래의 lateral diffusion 은

$$N_d(x,y) = N_{dm} \exp\left(-\frac{(\Delta L - y)^2}{\Delta R^2}\right) \exp\left(-\frac{x^2}{\Delta R^2}\right) \quad (6)$$

으로 표현되지만 lateral 방향인 y만의 함수로 고치기 위해서 식 (7)과 같이 정의하면 식 (6)은 (5)로 고칠수 있다.

$$\bar{N}_{dm} = \frac{1}{X_j} \int_0^{X_j} N_{dm} \exp\left(-\frac{x^2}{\Delta R^2}\right) dx \quad (7)$$

N_{dm} : LDD 의 피크 농도값.

\bar{N}_{dm} : LDD 농도의 평균값.

또한 Fig.1-a 에서 $\Delta L \ll y \ll \Delta L + L_n$ 범위의 LDD donor 농도 $\bar{N}_d(y)$ 는 y방향으로는 일정하기 때문에 $\bar{N}_d(y) = \bar{N}_{dm}$ 으로 놓을수 있다. 식 (4)에서 가정2에 의해 $\frac{dE_y(0,y)}{dy} \Big|_{y=0} \approx 0$ 라 놓으면 이로부터 Q_m 을 구할수 있다. 즉 그 지점에서

$$E_x(0,y) = \frac{V_g' - V_{dsat}}{T_{ox}} \quad (8)$$

이므로 함께 대입하면 식 (9)를 얻는다.

$$Q_m = \frac{\epsilon_{ox}}{T_{ox}}(V_g' - V_{dsat}) - \frac{qX_j \bar{N}_d}{\eta} \quad (9)$$

$$V_g' = V_g - V_{FB} - 2\phi_f \quad (10)$$

T_{ox} : oxide 두께

V_g : 게이트 전압

V_{FB} : flatband 전압

ϕ_f : $KT/q \ln(\bar{N}_d / n_i)$

V_{dsat} : 드레인의 saturation 전압

A. ($0 \leq y < \Delta L$) 구간에서의 전계식.

이 구간에서

$$E_x(0,y) = \frac{V_g' - V(y)}{T_{ox}} \quad (11)$$

이므로 이것을 식 (4)에 넣고 정리하면 이 구간에서의 전계를 지배하는 식(12)를 얻는다.

$$\frac{d^2V}{dy^2} = \frac{V - V_{dsat}}{l^2} - \frac{q\eta \bar{N}_d}{\epsilon_s} V(y) \quad (12)$$

여기서

$$l = \sqrt{\frac{\epsilon_s T_{ox} X_j}{\eta \epsilon_{ox}}} \quad (13)$$

$V(y)$: surface potential

식 (12)를 푸는데 있어서의 경계조건은 다음과 같다.

1. $y = 0$ 에서 $V = V_{dsat}$, $E_y = E_{sat}$

2. $y = \Delta L$ 에서 V 와 E_y 는 연속. 이 경계조건을 갖고 풀면

식(14)의 해를 얻는다.

$$E_y = E_{sat} \cosh\left(\frac{y}{l}\right) - \frac{q\eta \Delta R \bar{N}_d}{2\epsilon_s} \cdot \left(F\left(\frac{1}{l}, \Delta L, \Delta R, y\right) + F\left(-\frac{1}{l}, \Delta L, \Delta R, y\right)\right) \quad (14)$$

$$F\left(\pm \frac{1}{l}, \Delta L, \Delta R, y\right) = \frac{\sqrt{\pi}}{2} \exp\left[-\left(\frac{1}{l}\right)\left(\Delta L - \frac{\Delta R^2}{4l} - y\right)\right] \cdot \left[\frac{\Delta L - \frac{\Delta R^2}{4l}}{\Delta L - \frac{\Delta R^2}{2l}} - \operatorname{erf}\left(\frac{\Delta L - \frac{\Delta R^2}{2l}}{\Delta R}\right) \right] \quad (15)$$

B. ($\Delta L \leq y < \Delta L + L_n$) 구간에서의 전계식.

가정4에 의해 식(4)에서 $E_x(0,y) \approx 0$ 라 놓을수 있다.

그리고 이 구간에서 $\bar{N}_d(y) = \bar{N}_d$ (일정값)으로 놓을수 있으므로 결국 이 구간을 지배하는 전계식은 식 (16)이 된다.

$$\frac{dE_y}{dy} = \frac{V_g' - V_{dsat}}{l^2} - \frac{q\eta \bar{N}_d}{\epsilon_s} \quad (16)$$

이 구간에서의 경계조건은

1. $y = \Delta L + L_n$ 에서 $V = V_d$

2. $y = \Delta L$ 에서 V 와 E_y 는 연속

이 구간에서의 해는 식 (17)이 된다.

$$E_y = \left(\frac{V_g' - V_{dsat}}{l^2} - \frac{q\eta \bar{N}_d}{\epsilon_s}\right)y + C \quad (17)$$

$$C = -\left(\frac{V_g' - V_{dsat}}{l^2} - \frac{q\eta \bar{N}_d}{\epsilon_s}\right)\Delta L + E_{sat} \cosh\left(\frac{\Delta L}{l}\right) - \frac{q\eta \Delta R \bar{N}_d}{2\epsilon_s} \cdot \left(F\left(\frac{1}{l}, \Delta L, \Delta R, \Delta L\right) + F\left(-\frac{1}{l}, \Delta L, \Delta R, \Delta L\right)\right) \quad (18)$$

최종미지수 ΔL 은 경계조건 1로부터 구할수 있다. 마지막으로, 이 모델에서 사용한 E_{sat} 의 값은 $1.1 \times 10^4 V/cm^4$ 이고 V_{dsat} 는 식 (19)와 같다.

$$V_{dsat} = E_{sat} L_{eff} \left[\left(1 + \frac{2(V_g - V_t)}{E_{sat} L_{eff}}\right)^{1/2} - 1 \right]^4 \quad (19)$$

III. 결과 및 검토

1) 본 연구에서 얻은 모델의 타당성을 확인해 보기위해 현재 널리 쓰이고 있는 2-D device simulator로 입의 몇가지 경우에 대해 시뮬레이션 하였고, 이것을 해석적 모델과 비교한 것이 Fig.3 에서 Fig.6 까지 에 나타나 있다. 모든 경우에 있어서 이 해석적 모델식이 시뮬레이션 결과들과 대체로 잘 맞음을 볼수 있다. 그런데 일반적으로 게이트 끝머리 바로 지나서의 점, 즉 $y = \Delta L$ 보다 조금 큰 지점에서는 시뮬레이션 값이 모델값보다 큰 것을 볼수 있는데 이것은 fringing field 효과에 의한 것으로 생각된다.

2) 새개의 서로 다른 LDD 길이 L_n 에 대하여, LDD 피크농도 N_{dm} 을 변화시켰을때의 E_{max} 의 변화를 본 연구의 모델을 사용하여 결과를 뽑은것이 Fig.7 에 나타나 있다. 각 L_n 에 대하여, 가장 낮은 값의 전계 최대치 E_{max} 를 산출하는 최적 LDD 피크농도 N_{dm} 값이 존재함을 이 그림을 통해 알 수 있다. 이 경우와 같은 매개변수들일때 최적 N_{dm} 값은 약 $3.2 \times 10^{17} cm^{-3}$ 이다. 그리고 L_n 이 짧수록 이 LDD는 더욱 효과적으로 E_{max} 를 감소시킬수 있을 것이다. 이와같이 최적 N_{dm} 값이 존재하는 이유는 다음과 같다. LDD는 전압을 떨어뜨리는 buffer zone 역할을 하는데 최대의 전압을 떨어뜨리기 위해서는 L_n 에 걸쳐 전계 E_y 값이 같을때이다. Fig.3 에서 Fig.6 을 통해 보듯이, N_{dm} 값이 작을때는 E_{max} 가 $LDD - n^+$ 드레인 junction 에서 생기나 N_{dm} 값이 커지면 E_{max}

의 위치가 게이트 끝머리 지점으로 옮길 수 있다. 이것은, N_{dm} 값이 작을때는 LDD가 효과적으로 전압을 감소시켜주지 못해 E_{max} 가 n^+ junction 에서 생기나 N_{dm} 값이 점점 커지면 이 LDD가 마치 n^+ 역할을 하게되어 E_{max} 는 게이트 끝머리로 옮겨가게 된다. 그 도중에 최적 N_{dm} 값이 존재하는데 이것은 식(17)이 잘 보여준다. 즉 L_n 에 걸쳐 E_y 는 직선인데 N_{dm} 값이 작을때는 기울기가 (+) 값을 갖게되어 E_{max} 는 n^+ junction에서 생기고 N_{dm} 이 커지면 기울기가 (-)값을 갖게되어 E_{max} 는 게이트 끝머리 지점에서 생기는 것이다. 최적상태는 기울기가 0 일때인데, 즉 식(17)로부터 쉽게 최적 N_{dm} 값을 예측할수 있다.

$$\overline{N_{dmopt}} = \frac{\epsilon_s}{q\eta} \frac{V_g' - V_{dsat}}{l^2} = \frac{\epsilon_{ox}(V_g' - V_{dsat})}{qT_{ox}X_j} \quad (20)$$

이에 해당하는 N_{dm} 값은 식(7)을 통해 구할수 있다.

3) Fig.8과 Fig.9 는 각각 서로 다른 N_{dm} 값과 T_{ox} 값에 대해 게이트 전압 V_g 를 변화시켰을때의 결과물이다. 이 경우에도 최적 V_g 값이 존재함을 알수 있다. Fig.8과 Fig.9에 나타나 있듯이 N_{dm} 이나 T_{ox} 값이 작아지면 게이트 전압의 변화에 대해 E_{max} 가 더 빨리 영향을 받음을 알 수있다. 즉 E_{max} 의 추이곡선이 적이는 지점은 E_{max} 의 위치가 $y = \Delta L$ (게이트 끝머리)에서 $y = \Delta L + L_n$ (n^+ 드레인 junction)으로 이전되는 순간인데 이 순간이 더 작은 V_g 값에 일어나게 된다. 이 현상은 식 (9)와 식 (17)을 통해 쉽게 예측할수 있는것인데 이 현상의 물리적 의미는 LDD의 depletion영역과 mobile carrier density term 둘로 설명될수 있다.⁵⁾

4) Field reduction factor FRF는 식 (21)처럼

$$FRF = \frac{E_{max}(LDD)}{E_{max}(conventionalMOS)} \quad (21)$$

정의할수있는데, 이것은 특정하게 설계된 LDD가 특정조건에서 얼마만큼 피크 전계 E_{max} 를 감소시켜 줄수 있는가를 보여주는 factor이다.³⁾ Fig.10과 Fig.11은 T_{ox} 와 $X_j(LDD)$ 를 변화시킬때의 FRF의 추이를 그린 것이다. 나머지 모든 매개변수들이 고정되어 있을때, LDD의 junction 길이는 n^+ junction 길이까지 증가시킬수록 FRF 관점에서 유리하고 T_{ox} 는 최적값이 존재함을 알 수있다.

IV. 결론

본 연구에서는, 현재 실제적으로 많이 사용되고 있고 LDD의 lateral diffusion 이 고려된 gate - offset 구조를 갖는 LDD MOSFET 의 채널 lateral 전계에 관한 해석적 모델을 제시하였고 이 모델이, 여러가지 device 매개변수들의 변화가 피크 전계값에 각각 어떤 영향을 미칠것인가를 이해하고 예측하는데 매우 도움이 된다는 사실을 보여주었다.

하나를 제외한 나머지 모든 device 매개변수들이 고정된 경우에 가장 낮은 전계 최대치 E_{max} 값을 갖게하는 LDD 피크 농도, 게이트 전압, oxide 두께의 최적값이 각각 존재함을 보여주었다.

LDD 피크 농도값 N_{dm} 이외의 매개변수들이 이미 정해져 있을때 식(20)과 같은 매우 편리한 식으로부터 쉽게 최적 N_{dm} 값을 예측할수 있음을 보여주었다.

본 연구에서 제시한 이 해석적 모델을 통해서 device의 설계 및 공정의 각 매개변수의 변화에 따르는 전계 변화의 전체적인 경향을 알아낼수 있게되며 이를 통해, 소자의 더욱 정확한 설계를 위한 2-D device 시뮬레이션을 효율적으로 수행하는데 큰 도움이 될수 있음을 보여주었다.

V. 참고 문헌

- [1] Chenming Hu, "Hot-Electron Effects in MOSFET'S," IEDM Tech.Dig., PP.176 - 181,1983.
- [2] K.W.Terrill, C.Hu, P.K.KO, "An Analytical Model for the Channel Electric Field in MOSFET'S with Graded - Drain Structures", IEEE Electron Device Lett., vol.EDL - 5, No.11, pp. 440 - 442, Nov. 1984.
- [3] Kartikeya Mayaram, Jack C. Lee, Chenming Hu, "A Model for the Electric Field in Lightly Doped Drain Structures", IEEE Trans. Electron Devices., vol. ED - 34, No.7, pp.1509 - 1518, July. 1987.
- [4] Richard S. Muller, Theodore I. Kamins, "Device Electronics for Integrated Circuits", 2nd ed., Wiley, New York, 1986.
- [5] J.Hui, F.Hsu,J.Moll, "A New Substrate and Gate Current Phenomenon in Short - Channel LDD and Minimum Overlap Devices", IEEE Electron Device Lett., vol.EDL - 6, No.3, pp.135 - 138, Mar. 1985.

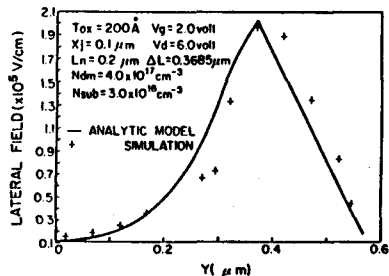


Fig.3. 해석적 모델과 2-D 시뮬레이션에서의 채널 lateral 전계.

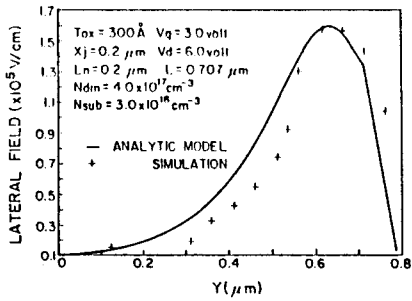


Fig. 4. 해석적 모델과 2-D 시뮬레이션에서의 채널 lateral 전계.

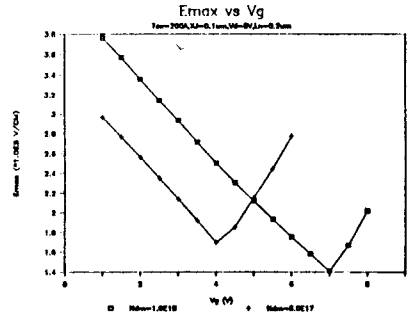


Fig. 8. 게이트 전압의 변화에 따른 전계 최대치의 추이.

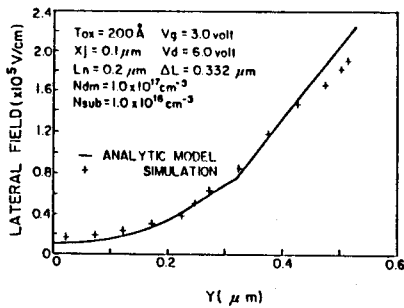


Fig. 5. 해석적 모델과 2-D 시뮬레이션에서의 채널 lateral 전계.

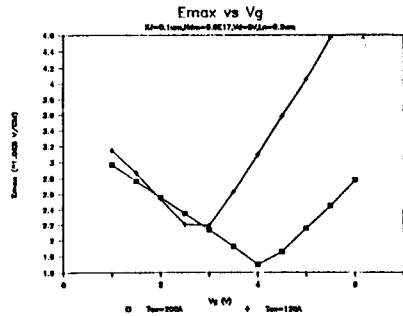


Fig. 9. 게이트 전압의 변화에 따른 전계 최대치의 추이.

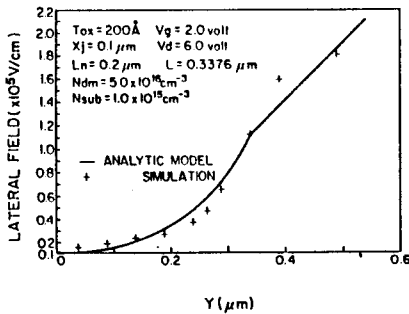


Fig. 6. 해석적 모델과 2-D 시뮬레이션에서의 채널 lateral 전계.

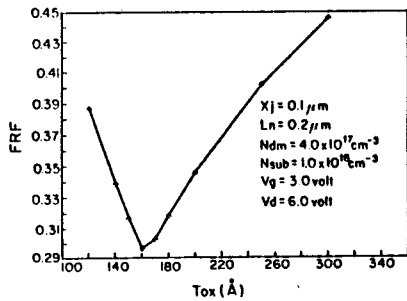


Fig. 10. oxide 두께의 변화에 따른 FRF의 추이.

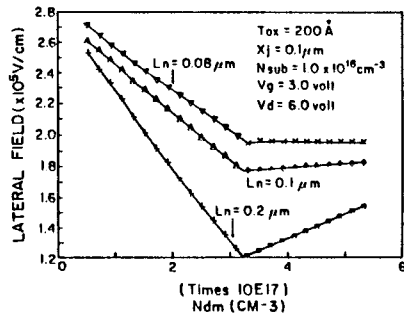


Fig. 7. LDD 피크 농도의 변화에 따른 전계 최대치의 추이.

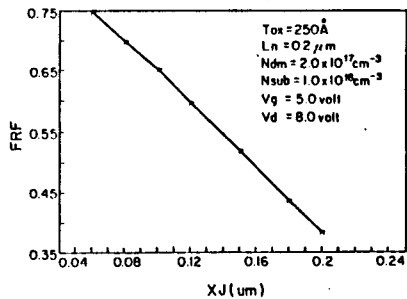


Fig. 11. junction 깊이의 변화에 따른 FRF의 추이.