

Conductance 법에 의한 N₂ Plasma 처리한 산화막의

계면상태 밀도에 관한 연구

성영권, 이내인, 이승환

고려대학교 전기공학과

The Study on the Interface State Density of N₂ Plasma

Treated Oxide by the Conductance Technique

Yung-Kwon Sung, Nae-In Lee, Seung-Hwan Rhie

Dept. of Electrical Eng., Korea University

ABSTRACT

Nitrided oxides have been investigated recently for application as a replacement for thermally grown SiO₂ in MIS devices.

In this paper, thin oxides were nitrided in N₂ Plasma ambient. With the measurement of the equivalent parallel conductance and capacitance by the using conductance technique, the characterization of Si-SiON interface is developed.

The interface state density of Si-SiON is obtained by $1 \times 10^{11} \sim 9 \times 10^{11}$ (eV⁻¹Cm⁻²).

After $\pm B-T$ stress is performed on the sample, the interface state density gets increased.

1. 서론

최근 MOS VLSI 기술의 추세가 고집적화, 미세화 해법에 따라 게이트 절연막의 박막화가 더욱 가속화 되어가고 있으며, 게이트 절연막으로 널리 활용되고 있는 산화막의 박막화에 따른 제반 문제점이 더욱 심각히 대두되어 그 한계성을 극복하고자 전식산화막

을 고온의 NH₃ 분위기에서 열처리한 Nitroxide막에 대해 많이 연구되어 오고 있으나 고온 PROCESS라는 단점을 지니고 있어 새로운 저온 형성기술이 요구되어오고 있다. 따라서 본 논문에서는 전식산화막을 저온에서 N₂ PLASMA 처리한 막을 제작하여 계면특성을 CONDUCTANCE 법에 의해 측정하고 $\pm B-T$ STRESS에 따른 계면상태 밀도의 변화를 고주파 C-V 결과와 견주어가면서 고찰하였다.

2. 시료의 제작 및 측정

비저항이 1-10Ω-Cm인 (100) P형 실리콘 웨이퍼를 표준 세척법으로 세척한 후 1000°C DRY O₂ 분위기에서 200-500 Å 정도의 산화막을 형성시켜 이를 PECDV 장치를 이용하여 최적조건(기판온도 350°C, RF POWER 250W, CHAMBER 압력 0.2 torr, N₂ 유량 60cc/min)에서 30분간 N₂ PLASMA 처리하였다. 전극은 진공증착장치로 직경 1mm의 Al 전극을 입혀 MIS 구조의 diode를 제작하였다.

상술한 방법으로 제작한 시료들을 변성기 bridge와 임피던스 bridge를 이용한 CONDUCTANCE 측정장치를 사용하여 인가전압과 주파수를 파라미터로 한 Conductance와 Capacitance를 측정하였고, 아울러 LCR meter(hp 4262A)로 씨 병행하여 측정하였다. 또한 $\pm B-T$ STRESS ($\pm 2MV/Cm, 200^{\circ}C, 10min$) 처리를 행하였다.

3. 실험 결과 및 고찰

3-1. MIS diode의 계면상태 밀도의 평가

그림 1,2는 각각 주파수를 파라미터로 한 MIS diode의 Cm-V 및 Gm-V 특성의 측정결과이다. Cm-V 특성곡선은 반전층에서 소수캐리어의 응답특성에 따라 주파수가 감소할수록 반전영역에서 용량이 증가하는 양상을 나타내고 Gm-V 특성곡선은 공핍영역에서 peak치를 나타내는데 이는 계면준위에서 다수캐리어의 응답특성이 공핍상태에서 가장 민감하게 나타나는 것을 미루어 보아 계면준위밀도의 크기 및 계면트랩의 깊이와 깊은 관계가 있는 것으로 보인다. 이로부터 계면준위밀도를 구하기 위해 주파수 및 인가바이어스를 파라미터로 하여 측정한 Cm, Gm 값과 MIS 구조의 통가병렬 콘덕턴스 Gp 및 통가병렬용량 Cp 와의 관계는 다음식으로 부터 구한다.

$$\frac{G_p}{W} = \frac{W^2 C_m^2 G_m \cdot (G_m^2 + W^2 C_m^2)}{W^2 C_m^2 G_m^2 + [W^2 C_m (C_{on} - C_m) - G_m^2]} \quad (1)$$

$$C_p = \frac{C_{on}(G_m^2 + W^2 C_m^2) \cdot [W^2 C_m (C_{on} - C_m) - G_m^2]}{W^2 C_m^2 G_m^2 + [W^2 C_m (C_{on} - C_m) - G_m^2]} \quad (2)$$

여기서 Con은 Oxynitride 막의 용량, Gm은 측정된 전체 콘덕턴스, Cm은 측정된 전체 캐퍼시턴스이다.

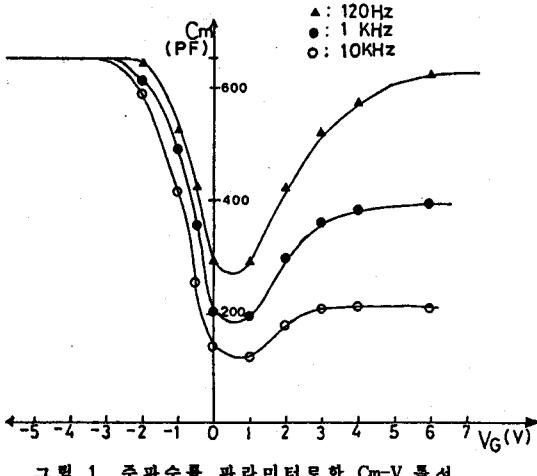


그림 1. 주파수를 파라미터로 한 Cm-V 특성

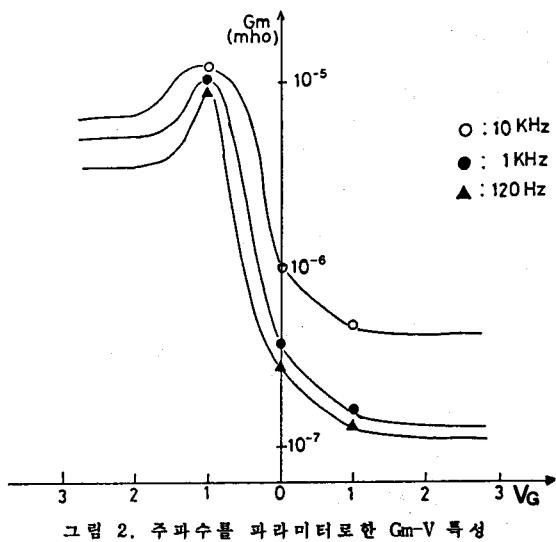


그림 2. 주파수를 파라미터로 한 Gm-V 특성

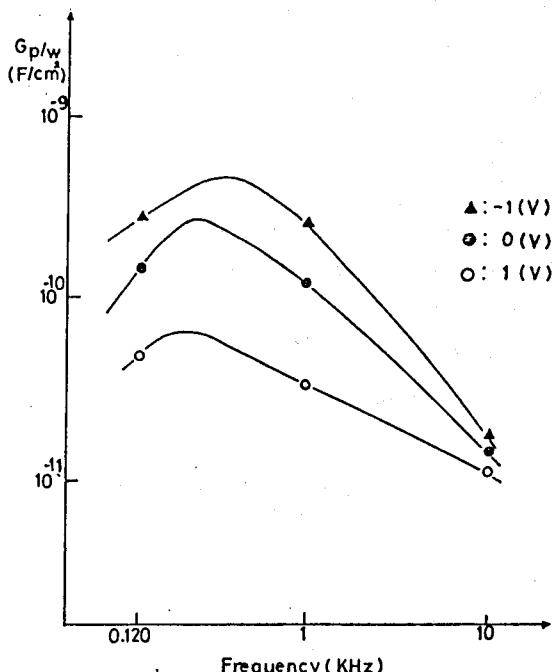


그림 3. 인가전압을 파라미터로 한 Gp/w의 주파수 특성곡선

식 (1)을 이용하여 Vg를 파라미터로 한 Gp/w의 주파수의존성을 그림 3에 나타내었다. 각 인가바이어스에서 Gp/w vs. 주파수 특성곡선에서 Gp/w의 최대치를 추출하여 식 (3)을 이용하여 계면상태밀도의 계산결과를 그림 4에 나타내었다. 이로부터 N₂ PLASMA 처리한 MIS

소자의 N_{ss} 가 산화막보다 감소하는 것을 알 수 있으며 이는 Si 표면의 dangling bond 와 질소 활성종의 결합에 의한 dangling bond 수의 감소에 기인하는 것으로 사료된다.

$$N_{ss} = \frac{2 \cdot (G_p/w)_{max} \cdot W \cdot C_m}{q \cdot \ln(1 + W^2 C_m^2)} \quad (3)$$

여기서 q 는 전하량, N_{ss} 는 계면준위 밀도, w 는 각주파수, C_m 은 시정수이다.

한편 G_p/w 가 최대치에 이르는 주파수로부터 시정수를 구하였으며

$$C_m = \frac{1}{(\bar{V} \cdot N_i \cdot Q)} \quad (4)$$

여기서 \bar{V} : 평균 열속도

N_i : 진성캐리어농도

의 관계로 부터 포획단면적 (Capture Cross Section) 를 구하여 그림 5 에 나타내었다. 그림에서 알 수 있듯 계면준위의 포획단면적은 가전자대에서 전도대로 갈수록 감소함을 알 수 있다.

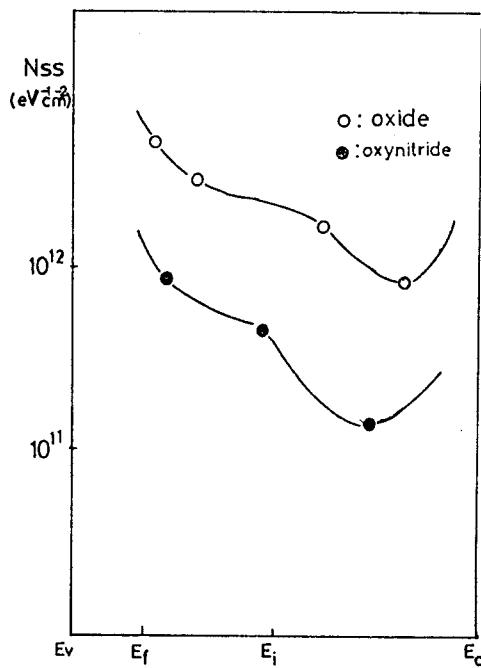


그림 4. Oxynitride 막의 계면준위 밀도분포

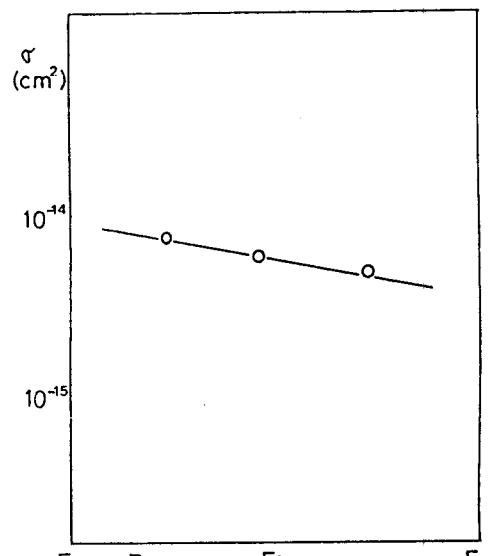


그림 5. 실리콘 에너지 캡에서의 포획단면적

3-2. B-T STRESS 효과

그림 6 은 ±B-T 처리전후의 고주파 C-V 및 Conductance 측정결과이다. 이 측정결과로부터 Conductance 법으로 구한 계면준위 밀도를 그림 7 에 나타내었다.

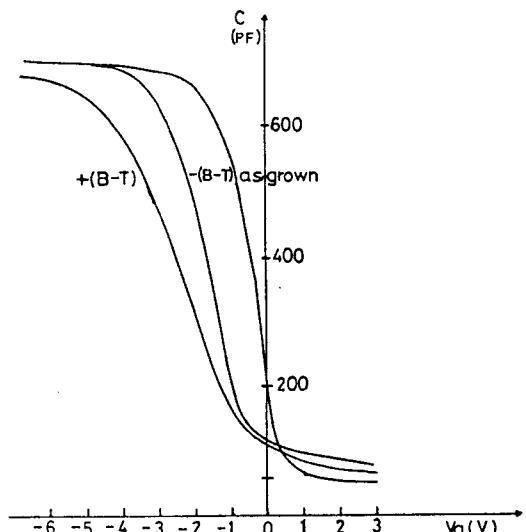


그림 6. ± B-T 처리 전후의 (a) H.F.C-V 곡선

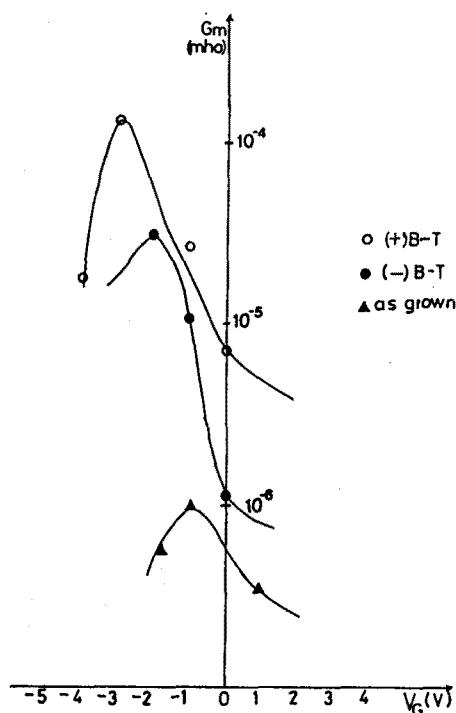


그림 6. ± B-T 처리 전후의 (b) G_m-V 특성 곡선

그림으로부터 +B-T 처리한 경우는 계면상태 밀도가 증가함을 알 수 있으며 이는 실리콘으로부터 고 에너지 를 가진 전자가 Oxynitride 막내로 주입되어 실리콘-Oxynitride 계면근처에 위치하는 비교적 약한 결합의 파괴에 의한 dangling bond 수의 증가에 기인한다고 사료된다.

- B-T 처리를 한 경우 계면준위 밀도가 약간 증가하는 양상을 보이는데 이는 Stress에 의해 Oxynitride 막의 천이영역에서 Strain을 받고 있는 약한 결합의 파괴에 의한 것으로 생각되어진다.

또한 ± B-T Stress 모두 C-V 곡선에서 원쪽으로 이동함을 알 수 있는데 이는 Oxynitride 막내에서 충돌전리에 의한 부가적인 정전하의 발생에 기인한다고 사료된다. 보다 상세한 내용은 당일에 보고하겠다.

참 고 문 헌

1. E.H.Nicollian, A.Goetzberger, Bell Sys.tech. Journal, Vol.46, p.1055(1962)
2. G.Declerk, et al. Solid-state Electronics, Vol.16, p1451(1973)
3. S.K.Lai, et al. J.Electrochem. Soc., Vol.129, p2042(1982)
4. V.S.Nguyen, et al. J.Electrochem. Soc., Vol.131, p2349(1984)

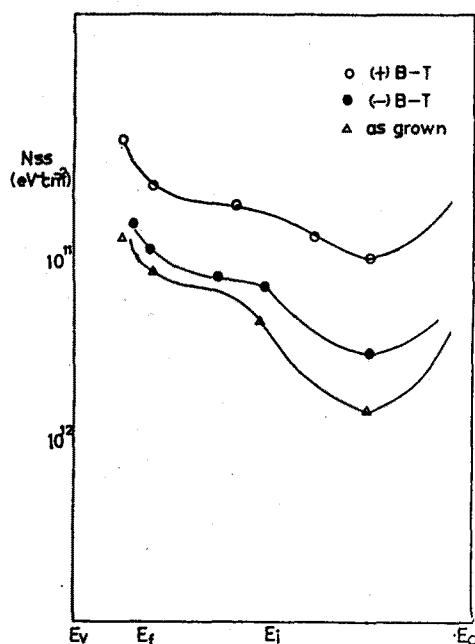


그림 7. ± B-T 처리 전후의 계면준위 밀도분포