

전력용 반도체 소자의 설계 제작에 있어서 Fixed oxide charge가 p+/n 접합의 항복전압에 미치는 영향

°이철환\*, 성만영\*, 최연익\*\*, 김충기\*\*\*, 서강덕\*\*\*  
\* 단국대학교 전기공학과      \*\* 아주대학교 전자공학과  
\*\*\* 한국과학기술원 전기 및 전자공학과

The Effect of Fixed Oxide Charge on Breakdown Voltage of p+/n Junction in the Power Semiconductor Devices

° C.W.Yi\*, M.Y.Sung\*, Y.I.Choi\*\*, C.K.Kim\*\*\*, K.D.Suh\*\*\*  
\* Dep. of Electric Eng., Dan Kook Univ.  
\*\* Dep. of Electron Eng., Ajou Univ.  
\*\*\* Dep. of Electric Eng., KAIST

ABSTRACT

The fabrication of devices using plana technology could lead to a serious degradation in the breakdown voltage as a result of high electric field at the edges. An elegant approach to reducing the electric field at the edge is by using field limiting ring.

The presence of surface charge has a strong influence on the depletion layer spreading at the surface region because this charge complements the charge due to the ionized acceptors inside the depletion layer. Surface charge of either polarity can lower the breakdown voltage because it affects the distribution of electric field at the edges.

In this paper we discuss the influences of fixed oxide charge on the breakdown voltage of the p+/n junction with field limiting ring(or without field limiting ring).

I. 서론

실리콘 표면의 dangling bond를 줄여주거나 실리콘 표면을 보호하기 위하여 사용되고 있는 실리콘 산화막(SiO2)은 주로 열산화 방법에 의하여 성장시킨다. 이 열적으로 성장된 산화막내에는 여러 원인에 의하여 다수의 전하가 존재 하게되며 이 전하는 실리콘 bulk에 반대극성의 전하를 유기시키고 그 유기된 전하량은 실리콘 표면으로부터의 거리에 반비례한다. 따라서, 반도체 소자의 특성은 이 전하의 영향을 받아 변화 하게 된다.

본 논문의 목적은 전력용 반도체 소자의 항복전압을 높이기 위한 방안의 일환으로 Fixed oxide charge가 Field limiting ring이 설치된 p+/n 접합의 항복특성에 어떠한 영향을 미치는가를 실험을 통해 고찰 하고자 함에 있다.

II. 접합 모서리와 항복전압

이상적인 무한평면 접합인 경우 항복 전압은 (1)식 과 같이 주어 진다[1].

$$BV = 2.932E12 Nd^{-2/3} \quad (1)$$

여기서 Nd는 Bulk의 불순물 농도를 나타내며, 또한 reach-through 항복 전압은 (2)식과 같다[2].

$$BV_{rt} = E W_b - q Nd W_b^2 / 2 P_s \quad (2)$$

여기서 Wb는 epi층의 두께에서 접합의 깊이를 뺀 값이고 q는 전하량, Ps는 실리콘의 유전율이며 E는 전계로서 다음과 같다.

$$E = \left[ \frac{2 q Nd}{P_s} BV \right]^{1/2} \quad (3)$$

여기서 BV는 (1)식 으로부터 얻을 수 있다.

그림 1에 폭이 d인 확산 장을 통해 p+를 확산하여 형성 되는 p+/n 접합의 모양을 나타내었다. 이때, 측면 확산 거리와 수직확산 거리의 차이 때문에 곡률반경이 각기 다른 3영역이 나타나게 된다(그림 1.(b)). 접합의 곡률 효과에 의해 구형 영역은 다른 두 영역 보다 높은 전계가 형성 되므로 구형 영역에서 먼저 항복 현상이 나타나 항복전압은 이상적인 평면접합의 경우 보다 낮아 지게 된다 [3]. 따라서 곡률 효과에 의한 항복 전압의 감소를 최소화 하기 위하여서는 이 부분의 전계를 줄여 주어야 한다. 이러한 방법들 중에 하나가 그림 2와 같이 Field limiting ring을 설치 하는 것이며[4], 이 방법은 별도의 제작 공정이 필요하지 않는 등 여러가지 장점으로 인하여 현재 가장 많이 이용 되고 있다.

Field limiting ring은 공핍 영역의 곡률효과에 의한 높은 전계를 줄여주기 위하여 그림 2와 같이 여러개의 p+/n 구조로 제작되고 Flooting 상태로 놓여 있어 소자가 역방향 일때 임의의 전계가 걸리게 된다. 처음에 공핍영역은 주 접합 P0를 중심으로 생기기 시작하며 역 방향 전압이 증가함에 따라 공핍 영역은 Field limiting ring 쪽으로 확장 된다. 또한 주 접합과 첫번째 Field limiting ring, P1 사이의 거리는 항복 현상이 주 접합의 극면 부분에서 발생 하기 전에 공핍 영역이 P1에 맞 닿을 수 있도록 설계 되어야 한다. 이 punch-through 전압 보다 높은 역방향 전압은 공핍 영역이 P2에 맞 닿기 전까지 P1에 걸리게 된다. Field limiting ring이 더 있는 경우도 이와 같은 원리로 곡률 효과에 의한 전계를 감소시킬 수 있다.

III. Fixed oxide charge와 항복 전압

절연막이나 소자 보호층으로 통상 사용하는 산화막 내에는 여러 원인에 의하여 여러 종류의 전하가 존재 하게 된다. 그림 3는 산화막 내의 전하로 다음과 같이 4가지로 구분 된다[5].

- a) Oxide trapped charge : 산화막 내로 trap된 전자나 정공에 기인하며 양(+) 이나 음(-)의 전하를 갖는다.
- b) Interface trapped charge :
  - 1. interface trap는 실리콘과 산화막 계면에 존재하며 실리콘의 표면 전위가 변화에 따라 충전 되거나 방전 된다.
  - 2. fast state의 밀도는 Fixed oxide charge density와 밀접한 관계가 있으며 Fixed oxide charge와 같이 Si의 결정 방향에 의존한다.
- c) Mobile ionic charge :
  - 1. mobile ion은 일반적으로 산화막내의 알칼리 이온(Na+,K+,Li+)에 기인하며 sodium ion이 대종을 이룬다.
  - 2. 100[°C]이상의 고온에서 이들 양 이온들은 전계에 따라 이동 한다.

d) Fixed oxide charge :

1. Fixed oxide charge는 Si-SiO<sub>2</sub>의 경계면에서 Si와 산소의 화학적 반응시 과잉 실리콘에 의하여 나타난다.
2. Fixed oxide charge는 Si-SiO<sub>2</sub> 계면으로부터 SiO<sub>2</sub> 쪽 근처에 존재하는 안정된 양이온이다
3. 실리콘 표면 준위의 변화에 따라 충전이나 방전을 하지 않는다.
4. Fixed oxide charge 밀도는 최종 산화 조건이나 열처리 조건에 의존한다(그림 4).
5. Fixed oxide charge 밀도는 실리콘의 결정 방향에 의존하며 (111) 방향이 (100) 방향의 Fixed oxide charge density 보다 많다.

이상에서 언급한 산화막내의 전하들은 소자의 표면에 전기적인 영향력을 미치게 되며, 이로 인해 표면의 공핍층 폭을 변화시키고 항복 전압에 영향을 미치게 된다. 예를들면, 그림 5를 통해 산화막 내에 양(+)의 전하, 음(-)의 전하 그리고 산화막이 존재하지 않는 경우를 간단히 고려해 보면 다음과 같다. 먼저, 음의 전하가 존재하는 경우는 낮게 도우핑되는 경우보다 고도 도우핑되는 경우가 낮게 존재하지 않는 경우보다 그곳의 전계 집중 현상이 줄어들게 되어 결국은 항복전압이 높아진다(그림 5.(c)). 또, 산화막내에 양의 전하가 존재할 경우는 반대의 현상이 나타나 항복 전압이 줄어들게 된다(그림 5.(a))[6].

Fixed oxide charge를 직접 측정하기에는 많은 어려운 문제가 수반 되므로 MOS transistor의 문턱 전압을 이용하여 간접적으로 계산한다. MOS FET의 문턱전압 Vth 는

$$V_{th} = \frac{Q_b}{C_o} + 2\phi_f + \phi'_{ms} + \frac{Q_f}{C_o} \quad (4)$$

이며

$$Q_f/q = (V_{th} - 2\phi_f - \phi'_{ms} - Q_b) C_o/q \quad (5)$$

이다.

여기서 Qf/q는 Fixed oxide charge 밀도이며

$$Q_b = q N_d W_m \quad (6)$$

$$W_m = \left[ \frac{4 P_s 2 \phi_f}{q N_d} \right]^{1/2} \quad (7)$$

$$\phi_f = \frac{1}{q} (E_i - E_f) = \frac{k T}{q} \ln(N_d/n_i) \quad (8)$$

$$C_o = \frac{Pox}{Tox} \quad (9)$$

이고  $\phi'_{ms}$ 는 실리콘과 금속의 변형된 일함수 차이이며,  $n_i$ 는 진성 반도체 캐리어 농도이다. 그리고  $E_i$ 는 진성준위,  $E_f$ 는 페르미 준위이고,  $k$ 는 볼츠만 상수이고  $T$ 는 절대온도,  $Pox$ 는 산화막의 유전율,  $Tox$ 는 산화막의 두께,  $N_d$ 는 bulk의 불순물 농도,  $P_s$ 는 실리콘의 유전율이다.  $W_m$ 은 MOS구조에서 최대 공핍층 폭이며,  $Q_b$ 는 그때의 전하밀도,  $\phi_f$ 는 Fermi potential 이다.

IV. 실험 및 고찰

실험에 사용된 wafer의 규격을 표 1에 나타내었다. 제작된 소자의 단면도를 그림 6에 나타내었으며 Field limiting ring을 1개, 2개 또는 3개를 원형으로 주 접합 주위에 설치하였다. Field limiting ring이 없는 접합도 제작하여 Field limiting ring의 유무에 따른 항복 전압의 변화를 비교하고자 하였으며 이때의 mask 창의 모양은 구형모서리를 제거해 항복전압을 높이고자 원형으로 하였다.

측면확산 거리는 수직확산 거리의 80[%]로 가정하였으며 그림 6에 나타난 Field limiting ring간의 거리는 수직확산 길이를 5[um]으로 한 설계시의 수치이나 실제로 소자를 제작한 후 bevelling을 하여 수직확산 길이를 확인한 결과 6[um]로 관찰되었다. 결국 Field limiting ring간의 거리가 설계시 수치보다 약 2[um] 정도씩 짧아져서 설계시의 목적에는 미치지 못하였다.

또한 Fixed oxide charge의 값을 정량적으로 얻기위하여 MOS transistor를 같은 chip상에 제작하였다.

소자의 제작 순서는 BN 975 solid source를 사용하여 950[°C]에서 P+를 Predeposition한 후 Drive-in을 1100[°C]에서 dry 02 10분, wet 02 130분 그리고 N2 분위기 850분의 순으로 총 990분간 수행하여 6[um]의 접합깊이를 얻을 수 있었다. 또한 Fixed oxide charge density를 변화시키기 위하여 sample을 4가지로 구분하여 최종 산화조건을 달리하여 주었으며 이를 표 2에 나타 내었다.

Field limiting ring의 수에 따른 항복전압을 측정하여 그림 7에 나타내었다. 그림 7에서 보면 Field limiting ring이 없을 경우 항복 전압이 약 295[V] 이었으나 Field limiting ring을 1개 설치하면 항복 전압이 약 355[V]로 약 20[%]가 높아졌고, Field limiting ring 2개를 설치하면 Field limiting ring이 없는 경우보다 약 37[%]가 높아졌음을 알 수 있다. chip 면적을 고려하면 본 소자의 Field limiting ring의 갯수는 2개가 적당 하리라 생각 된다. 실험에서 얻어진 최대 항복 전압 400[V]는 (2)식으로 부터 얻어진 reach-through 항복전압(접합 깊이가 6[um] 일때 약 454[V] 이다)의 약 88[%] 이다.

Fixed oxide charge의 값을 알기위하여 field 산화막을 MOS transistor의 gate 절연막으로 사용하여 test 용 MOSFET의 문턱전압을 측정 한 후 식 (5)을 이용하여 Fixed oxide charge density를 계산 하였다. 그림 8에 MOSFET의 문턱전압과 Fixed oxide charge밀도의 관계를 나타내었다.

그림 9에는 Fixed oxide charge density와 항복전압의 관계를 Field limiting ring의 수의 변화에 따라 나타 내었다. 여기에서 보면 Field limiting ring의 갯수에 따라 다스의 차이는 있으나 실험에 사용된 소자의 Fixed oxide charge 밀도가 증가함에 따라 항복 전압이 떨어지는 것을 볼수가 있다. 자세히 검토하면, 실험에 사용된 wafer가 n-epi on n+이고 p+를 확산하여 p+/n 접합이 형성 되었으므로 +전하인 Fixed oxide charge가 산화막 내에 존재하면 이 접합 표면근처의 공핍층 영역은 이 +전하의 영향으로 그림 5.(a)의 경우와 같이 표면 부근의 공핍층 폭이 감소하게 되며, 감소율은 Fixed oxide charge의 밀도가 증가함에 따라 증가하게 될것이다. 표면 공핍층폭이 이 +전하의 영향으로 줄어들게 되면, 임의의 역방향 전압이 p+/n 접합에 걸리게 될때 실리콘 표면의 전계가 커져서 다른 부분 보다 빨리 임계 전계값에 도달되어 항복 현상이 일어난게 된다. 그래서 항복전압이 낮아지는 원인이 되고 있으며, Fixed oxide charge 밀도가 더욱 증가하면, 항복현상을 일으키는 임계전계에 도달하는 역방향 전압이 더욱 낮아져서 Fixed oxide charge 밀도가 증가함에 따라 항복전압이 낮아 지는 것이다.

Fixed oxide charge 밀도가 증가함에 따른 항복전압의 감소비율이 Fixed oxide charge 밀도가 적을때엔 미세하다가 그량이 변함에 따라 급속히 늘어나는 이유는 공핍층내의 공간전하에 비하여 Fixed oxide charge 밀도가 적으면 그 영향을 무시할 수 있으나 Fixed oxide charge 밀도가 많으면 그 영향이 활발해지기 때문이다. 표 3에 Fixed oxide charge의 영향을 무시할수 없을 경우 Field limiting ring의 수에 따라 Fixed oxide charge 밀도와 공핍층 내의 공간전하 밀도와의 비를 나타내었으며, 그 비가 Field limiting ring이 없을 경우 약 0.26이상이면 항복 전압의 해석에 있어서 Fixed oxide charge의 영향을 고려 해야만 할것이다.

또한, 그림 9에서 Field limiting ring의 수가 증가하면 Fixed oxide charge의 영향이 감소하는 모양을 볼수 있는데 그 현상은 다음과 같다. Field limiting ring이 존재하게 되면 그림 2에서와같이 공핍층의 면적이 넓어지게 되고 이 공핍층내의 충전하도 따라서 많아지게 된다. 결국 Fixed oxide charge의 밀도는 고정양 이므로 그 영향은 미약해

진다. 그러나 Fixed oxide charge 밀도가 어느 일정치 이상이면 Field limiting ring이 존재해도 p+/n 접합의 항복 전압은 Fixed oxide charge의 영향을 받아 낮아지게 된다.

V. 결론

실험 결과 p+/n 접합의 항복전압이 Field limiting ring을 2 개 설치 하였을 경우 이상적인 reach-through 항복 전압의 88[%] 를 얻을 수 있었으며 Field limiting ring이 없는 경우보다 37[%]가 향상 되었다. Field limiting ring의 거리를 최적화 한다면 보다 높은 항복 전압을 얻을 수 있을 것이다.

또한 Fixed oxide charge density가 많으면 항복 전압이 낮아짐을 알 수 있고 Field limiting ring이 있을 때 보다 없을 때가 더 민감한 반응을 보였으며 Field limiting ring이 없을 경우 Fixed oxide charge density가 공핍층 내의 단위면적당 불순물수의 26[%] 이상 일 경우 항복 전압이 현저히 떨어짐을 알 수 있었다. Fixed oxide charge density를 더욱 높인다면 Field limiting ring이 다수일 경우의 측정값을 얻을 수 있을 것이다.

VI. 참고문헌

- [1]. S.L.Miller, Phys. Rev., 105, pp. 1246-1249, 1965.
- [2]. A.S.Grove, Physics and Technology of Semiconductor Devices, Jhon Wily & Sons, New York, pp. 199, 1967.
- [3]. S.M.Zse, Physics of Semiconductor Devices, Jhon Wily & Sons, pp. 99-108, 1981.
- [4]. S.Yasuda, Solid State Electronics, vol. 25, pp. 425-427, 1982.
- [5]. B.B.Deal, J. Electrochem. Soc., vol. 121, pp. 198C-205C, 1974.
- [6]. B.J.Baliga, Moden Power Devices, Jhon Wiley & Sons, New York, pp. 95, 1987.

표 1. 실험에 사용된 Wafer 규격

Material	N-epi on N+
방 향	( 100 )
epi 농도	3.2E14 [ cm <sup>-3</sup> ]
epi 두께	30 [ um ]

표 2. 최종 산화 공정과 Qf 밀도

최종 산화 공정		Qf — [ cm <sup>-2</sup> ] q
온도 [ °C ]	산화제	
1100	N2	2.4E11
800	Wet O2	4.2E11
800	N2-Wet O2- N2	4.6E11
800	Dry O2	5.5E11

표 3. 항복 전압에 최소의 영향을 끼치는 Fixed Oxide Charge Density

FLR 수	Qf/q [ cm <sup>-2</sup> ]	Qf/q 와 C 의 비
0	4.2E11	0.26
1	4.6E11	0.28

C : epi층의 불순물 밀도(1.2E12 [ cm<sup>-2</sup> ])

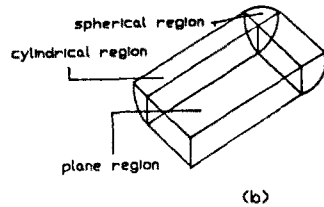
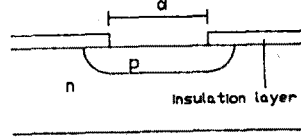


그림 1. 폭이 d인 mask창을 통한 확산 접합 (a). 단면도, (b). 모서리 모양

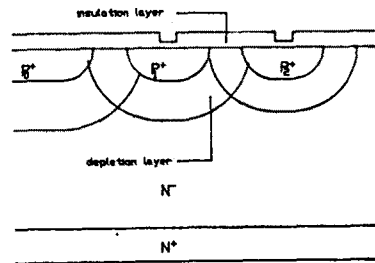


그림 2. FLR을 설치한 P+/N 접합

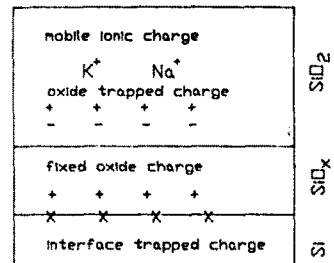


그림 3. 산화막 내의 전하

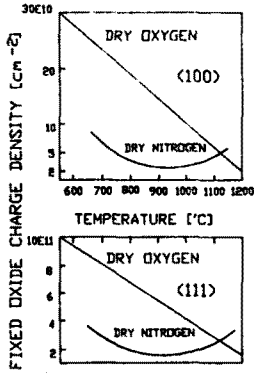


그림 4. 최종 산화 처리와 Qf 밀도

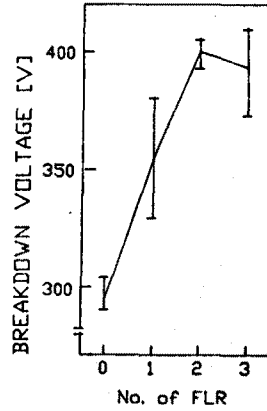


그림 7. FLR 수와 항복전압

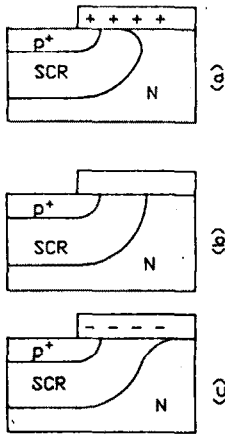


그림 5. p\*/n 접합의 모서리에서 광검출층쪽에 대한 산화막내 전하의 영향  
(a). 양전하, (b). 전하가 없는 경우  
(c). 음전하

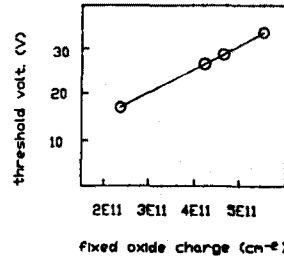


그림 8. MOS FET의 문턱전압과 Qf 밀도

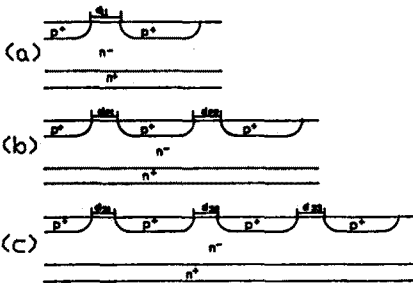


그림 6. 제작된 소자의 단면도  
접합길이 : 6 [um]  
epi 두께 : 30 [um]  
(a). FLR 1, (b). FLR 2, (c). FLR 3  
d11:9[um] d21:7[um], d22:9[um]  
d31:5[um], d32:7[um], d33:9[um]

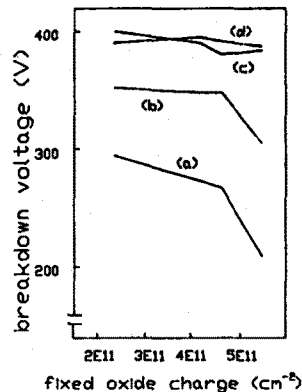


그림 9. 항복 전압과 Fixed Oxide Charge 밀도  
(a). FLR 0, (b). FLR 1  
(c). FLR 2, (d). FLR 3