

'88 추계 학술대회  
'88 - D - 1

얇은 산화막의 TDDB 특성과 막내의 결함과의 상관성

성 영 권, 최 종 일, 김 상 영, 안 성 진  
고려대학교 전기공학과

Time-Dependent Dielectric Breakdown Characteristics  
of Thin SiO<sub>2</sub> Films and Their Correlation to Defects  
in the Oxide.

Yung-Kwon Sung, Jong-Il Choi, Sang-Yung Kim, Sung-Jin Han  
Dept. of Electrical Eng. Korea University

Abstract.

Since the integration level of VLSI circuits progresses very quickly, a highly reliable thin SiO<sub>2</sub> film is required to fabricate a small-geometry MOS device. In the present study we have attempted to eliminate the failure-causing defects that develop in thin oxide films during the oxidation step by performing a long-time preoxidation and postoxidation annealing. The TDDB test and the copper decoration method were used to calculate the oxide defects density of MOS device. The dielectric reliability of high-quality thin oxides have been studied by using the time-zero-dielectric-breakdown (ramp-voltage-stressed I-V) and time-dependent-dielectric-breakdown (Constant-stressed I-V) tests. Failure times against temperature and electric field are examined and acceleration factors are obtained for each parameter. Based on the data obtained, breakdown wearout limitation for thin oxide films is estimated.

1. 서 론

오늘날 VLSI시대를 맞이하여 IC의 miniaturization에 따른 집적도가 증가함에 따라 소자 구조 파라미터중 얇은 표면 보호막이 절실히 요구되고 있다. 얇은 산화막이 실제 소자에 사용될때 산화막내 결함의 존재는 심각한 문제가 된다. 따라서 양질의 얇은 산화막이 VLSI 공정에서 아주 중요하게 되었다. 그래서 본 논문은 얇은 무결함산화의 양질의 산화막 defect free 와 재현성 있는 박막화를 위한 경성법을 강구하고 그 전기적 성질 특히 절연막의 절연파괴를 실험하여 각종

Stress 에 의한 TDDB(Time-Dependent Dielectric Breakdown)특성과 사용 수명까지 예측하여 절연 파괴 메커니즘을 밝히고자 한다. 우선 보다 나은 양질의 산화막을 얻기 위해 산화전 처리와 산화후 처리를 했다. 처리막과 비 처리막에 대해 TZDB(Time-Zero Dielectric Breakdown)실험을 통해 막의 양질화를 확인하고 TDDB (1)-(3) 및 Copper decoration 방법으로 유요결함 밀도를 구했다. 아울러 앞에서 얻은 양질의 막에대한 TDDB특성의 정량적인 해석으로 전계 가속계수와 온도가속계수를 구해서 동작조건에서의 수명시간을 예측했다.

2. 시료 제작 및 측정

기판으로 비저항이 0.1-10 Ω-cm 인(100) 겹정방향의 P형 실리콘 웨이퍼를 사용했으며 전처리 과정으로 RCA 법에 의해 wafer를 세척했다. 산화전 공정으로 1000°C 에서 두꺼운 산화막을 입힌후 HF 용액으로 산화막을 완전히 제거한 후 900-1000°C 에서 얇은 산화막을 성장시켰다. 산화후 900°C N<sub>2</sub>분위기에서 약 100분 동안 어닐링시켰다. 형성된 막의 두께는 nanoscope 와 capacitance 측정으로 구했다. 전극은 진공증착 장치로 직경 0.8mm, 1mm, 1.3mm 의 Al전극을 입혀 MIS구조의 diode를 시료로 삼았다. 절연 파괴 측정은 ramp rate 0.1V/sec 인 ramp 전압을 인가하고 breakdown 순간의 전압을 peak detector 로 holding하여 측정하였다. 유요결함밀도 측정은 상온에서 9MV/Cm 의 전계를 가한 후 유한시간 10<sup>3</sup>sec 까지의 누적파괴율을 각각의 전극 면적에 대해 구한다. 또한 산화막을 copper decoration 시킨후 현미경사진을 찍어 막질을 평가하고자 한다. 한편, 처리막의 TDDB 측정은 정 전압 stress (9, 9.5, 10. MV/Cm)와 측정

얇은 산화막의 TDDB 특성과 막내의 결함과의 상관성

온도를 (22°C, 100°C, 150°C) 파라메타로 하여 절연 파괴가 일어날때까지의 시간을 측정하였다. capacitor의 breakdown은 10μA를 초과하는 전류에서의 인가전계로 규정했다.

3. 실험결과 및 검토

그림-1은 산화전우 고온 어닐링 처리한 막과 처리치 않는 막에 대한 ramp전압 stress를 가하여 절연파괴 이스트 그래프를 나타내었다.

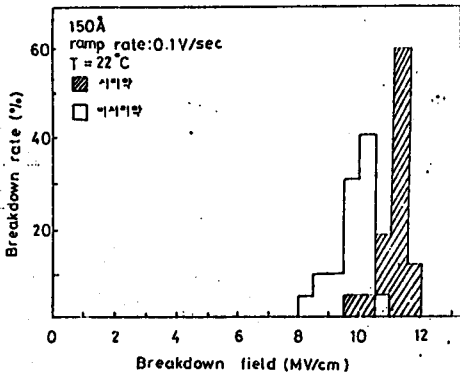


그림 1. SiO2 필름 절연파괴 실험결과

그림에서 보듯 고온 처리한 막이 절연파괴 분포에 있어서 더 고전계쪽으로 이동함을 알 수 있다. 이것은 막내의 pinhole 과 같은 결함요인을 감소 시킬 뿐만 아니라 Si-SiO2 계면특성을 향상 시켰기 때문으로 사료된다. 그림-1의 절연파괴분포를 그림-2에 Weibull분포로 나타내었다. 그림-2에서는 비처리막과 처리막에 대해 누적 파괴율이 90%인 정의 Emax가 각각 10.6 MV/cm, 11.6 MV/cm 인 것을 알 수 있다.

한편 처리막과 비처리막에 대한 막질평가의 일환으로 유요 결함 밀도(4)를 그림-3으로 부터 다음식에 의해 구했다.

$$D(t_f) = \frac{1}{A} \frac{F(t_f)}{1-F(t_f)} \quad (1)$$

여기서 A는 MOS capacitor의 전극면적, t\_f는 1000sec F(t\_f)는 1000 sec까지의 누적 파괴율. 따라서 그림-3의 기울기에서 처리막과 비처리막의 유요 결함밀도는 각각 23 defects/cm<sup>2</sup>, 75 defects/cm<sup>2</sup>이다.

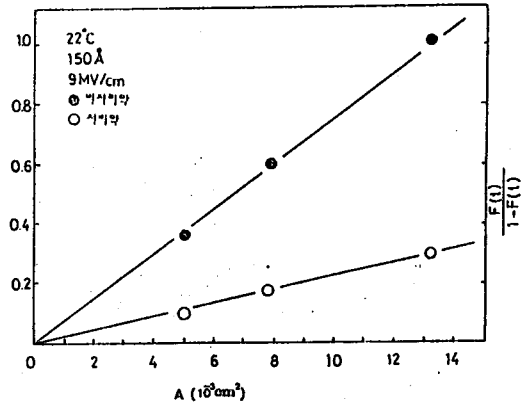


그림 3. 전극 면적에 따른 F(t)/(1-F(t))

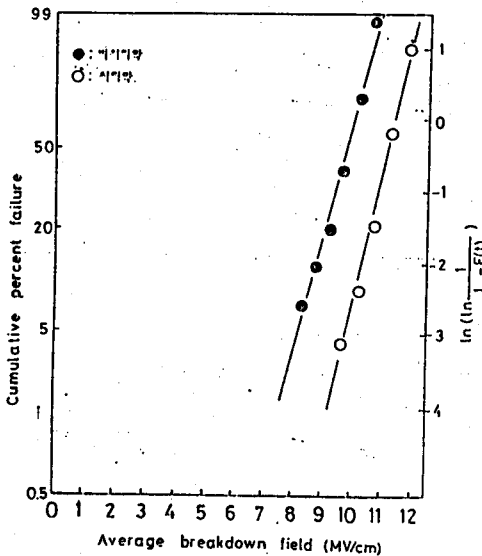


그림 2. 절연파괴 분포에 Weibull 분포

그림-4는 상온에서 9, 9.5, 10MV/cm 의 일정 전계 하에서 처리막에 대한 TDDB 측정결과를 Weibull paper 상에 도시하였다. 전계가속계수 r(5)는

$$r = \exp \left( \frac{E_0 - E_s}{E_{ef}} \right) \quad (2)$$

여기서 E\_s는 stress 전계, E\_0는 소자의 동작전계이며 E\_ef는 실험으로부터 얻어지는 상수이다.

그림-5는 그림-4의 결과로부터 전계의 함수로서 50% cumulative failure 에 이르는 시간을 나타낸 것으로 r=1.25cm/MV 가 얻어진다.

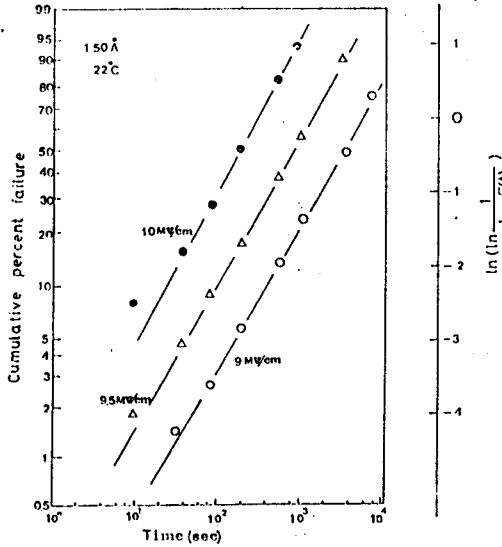


그림 4. 전계를 parameter로 한 TDDM 특성치 Weibull 분포.

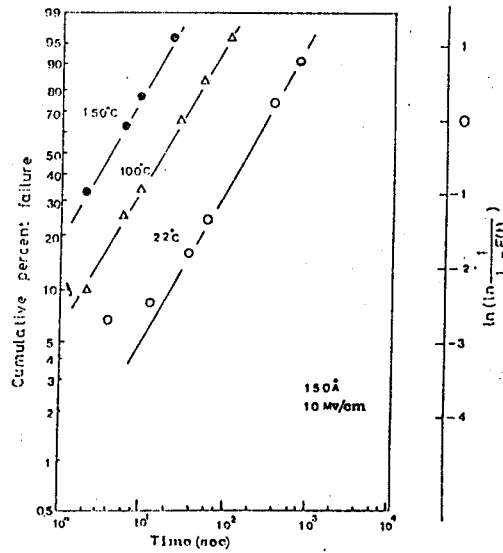


그림 6. 온도를 parameter로 한 TDDM 특성치 weibull 분포

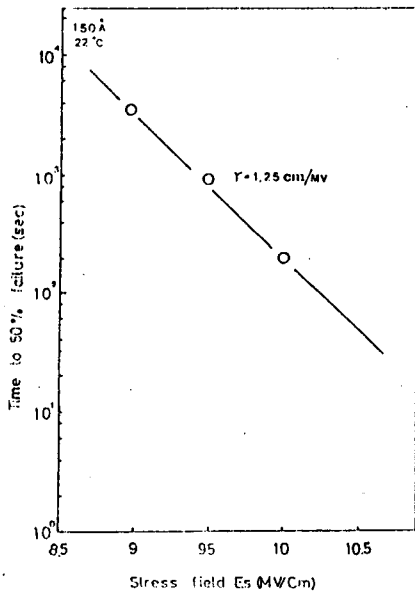


그림 5. stress 전계의 함수로서 50% cumulative failure 에의 도달시간

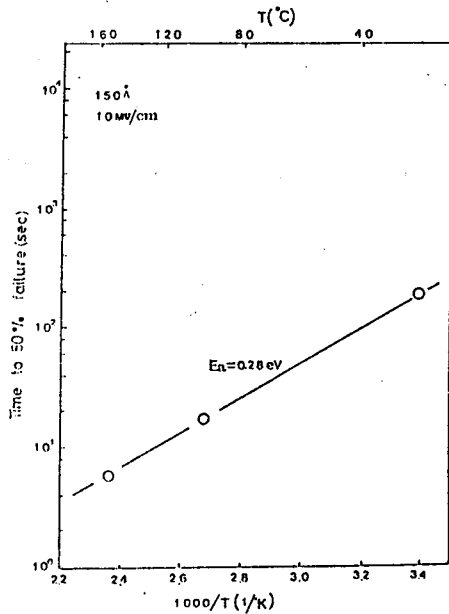


그림 7. 온도 역수 계수 활성화 에너지

그림-6은 처리막에 대해 10 MV/cm 의 정전압 stress 하에서 22°C, 100°C, 150°C의 세가지 온도조건에서  $t_{BD}$  를 실측하여 weibull분포로 나타냈다.

온도가속 계수  $\alpha$ (6)는

$$\alpha = \exp \left[ \frac{Ea}{K} \left( \frac{1}{T_s} - \frac{1}{T_0} \right) \right] \quad (3)$$

여기서  $T_s$ 는 stress 온도,  $T_0$ 는 소자의 동작온도,  $Ea$ 는 활성화 에너지로서 그림-7로부터 0.28 eV 를 얻었다.

그림-8은 앞에서 구한 data를 근거로해서 동작온도 22°C, 120°C, 170°C에서  $E_{ox}$  에 대한 time to 50% failure 를 계산한 값을 도시했다.

여기서  $E_{ox}$ 는 동작동안 산화막에 인가된 전계이다.

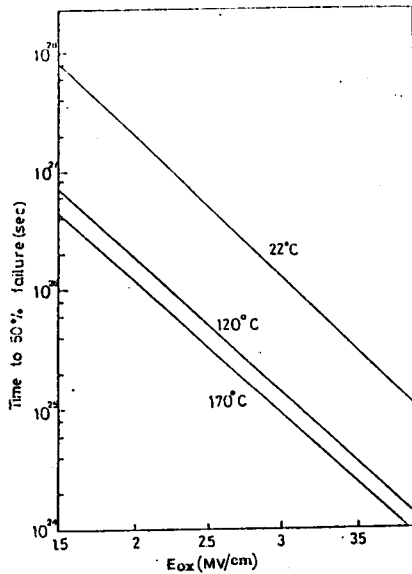


그림 8. 22°C, 120°C, 170°C 용막 조건하에서 Eox의 함수로서 계산한 50% cumulative failure에 도달시간

(참고문헌)

- 1) S. Raider, Appl. Phys. Lett., 23, 34, (1973)
- 2) I. Chen, S. Holland, C. Hu, IEEE, ED-32, 413, (1985)
- 3) T. Kusaka, Y. Ohji, K. Mukai, IEEE, EDL-8, 61, (1987)
- 4) S.P.Li, J. Maserjian IEEE, ED-23, 525, (1976)
- 5) J. Mcpherson, D. Baglee, J. Electrochem. Soc., 132, 1903, (1985)
- 6) E. Anolick, G. Nelson, in Proc. Int. Reliability Symp. p. 8, (1979)