

## 다결정 실리콘을 게이트로 이용한 MOS 소자의 전기적 특성에 관한 연구

A Study on the Electrical Characteristics of Poly -Si Gate MOS Devices

이 오 성\* 윤 돈 영 김 상 용 장 의 구

중앙대학교 전기공학과\*

Lee, Oh Sung, Yoon, Dohn Young, Kim, Sang Yong, Chang, Bui Gu

Department of Electrical Engineering, Chung-Ang University

### ABSTRACT

The capacitance - voltage (C-V) characteristics of poly - Si gate MOS devices fabricated by Low - Pressure Chemical Vapor Deposition (LPCVD) system have been studied.

In the case poly-Si gate, work function difference and surface state charge density was found lower than that of Al gate.

This fact was identified from the C-V curves that flatband shift was shown small due to the hydrogen gas diffused into oxide in processing of alloy and the annealing effect in processing of poly - Si deposition.

#### 1. 서 론

최근에 반도체 소자의 집적도가 높아짐에 따라 이들 계기의 소자를 상호 연결하는 물질에 대한 연구가 이루어지고 있다.

일반적으로 실리콘 집적 회로에서는 각 소자 간을 상호 연결하는데 있어서 gate 물질로 주로 Al 이 널리 이용 되고 있는데 Al은 산화막과 접착성이 매우 우수하고 여러 공정에서 비교적 안정된 것으로 알려져 왔다.

그러나 Al은 부식에 대한 저항성이 약하고 증착 과정에서 spike, hillock 등과 같은 문제점이 있으며 [1],[2] 또한 Al에 전류를 흐르게 하면 Si와 접촉 부분 이나 측면 부분과 같은 고전류 밀도 지역에서 Al의 확산이 일어나 결국 완전히 단락되는 문제점이 있어[1],[4] 소자의 수명과 신뢰도에 많은 영향을 미치는 것으로 밝혀졌다. 따라서 이러한 문제점에 대응한 방법의 일환으로 여러 가지 금속 물질에 대한 연구가 활발히 이루어져 근래에는 gate 금속으로 Al 대신에 Polysilicon을 이용한 MOS 소자의 제작에 많은 관심이 모아지고 있다.[6],[7],[8]

Polysilicon은 제작 공정중 산소에 대해서 barrier로 작용할 뿐만 아니라 산화막과 기판 사이 계면에 존재하는 기존의 산소를 자택시켜 줌으로써 processing ambient의 영향으로부터 gate oxide를 보호하여[3] Al보다 신뢰성이 높고[1] 산화막내의 전하들을 감소시킬 수 있어 uniform한 film을 성장시켜줄수 있어 [5] 고밀도 집적회로에 적합하다는 장점을 가지고 있다고 보고된바 있다.

본 논문에서는 gate 금속으로 Al과 Polysilicon을 이용하여 제작된 MOS 소자의 C-V 특성으로 부터 고정 표면 전하 밀도를 계산 하였으며, 산화막 두께의 함수로서 플랫밴드 변위와 문턱전압의 변화를 비교하고, 각 gate 물질에 따른 소자의 B.T.S. 영향을 고찰하고자 한다.

## 2. 실험

비저항이 14 - 22 [ $\Omega$  - Cm] 이고, 불순물이 phosphorus 이며, 결정방향이 (100)인 N형 실리콘 웨이퍼를 표준 세척 공정으로 세척한 후 1500 [cc/min]의 산소를 흘려주며 전기로의 석영관 내에서 40 분간 산화 시켰다. 그후 900 °C 에서 H<sub>2</sub> 분위기에서 1000 [cc/min]를 흘려주면서 20분간 어닐링 한뒤 H<sub>2</sub>SO<sub>4</sub> + H<sub>2</sub>O<sub>2</sub> 용액으로 130 °C 에서 10분간 세척하였다. 그후 SiH<sub>4</sub> 를 340 [cc/min] 넣어주면서 0.24 Torr에서 620 °C로 45분간 polysilicon을 deposition 하고, PoCl<sub>3</sub> 를 H<sub>2</sub> gas로 bubbling 시켜 950 °C에서 50분간 doping 하였다. 이때 polysilicon위에 형성된 P<sub>2</sub>O<sub>5</sub>를 제거하고 positive P/R을 coating 한뒤 사진 식각하여 dot를 형성하였다. back side에 Al을 13000 [ $\text{\AA}$ ] evaporation 으로 형성한뒤 450 °C에서 H<sub>2</sub>gas를

흘려주면서 alloy하였다. 위와같이 준비된 소자를 L.C.R. meter를 이용하여 C-V 특성을 측정하였다.

## 3. 결과 및 고찰

그림 1과 표 1은 산화막 두께가 1000 [ $\text{\AA}$ ]일때 Al과 polysilicon을 gate로 이용한 MOS 소자의 C-V 특성곡선과 각 parameter에 대한 측정값이다.

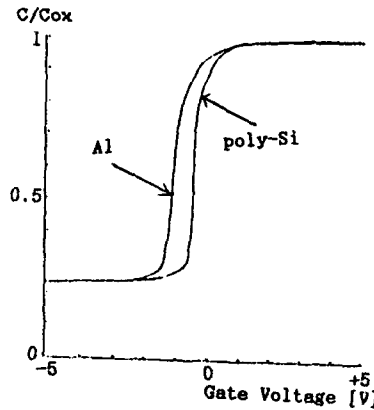


그림 1.  $T_{ox}=1000$  [ $\text{\AA}$ ] 일때 Al과 poly-Si의 C-V 특성곡선.

| gate물질  | $V_{fb}$ [V] | $V_T$ [V] | $C_{ox}$ [PF] | $Q_{ss}/q$ |
|---------|--------------|-----------|---------------|------------|
| Al      | -0.78        | -1.81     | 432.9         | $1.3E11$   |
| Poly-Si | -0.46        | -1.19     | 422.3         | $6.3E10$   |

표 1.  $T_{ox}=1000$  [ $\text{\AA}$ ]인 Al과 poly-Si 소자의 측정값.

표 2는  $T_{ox}=800, 600$  [ $\text{\AA}$ ]일때 Al과 poly-Si를 게이트로 이용한 소자의 측정값을 나타낸다.

| thick                | gate | $V_{fb}$ [V] | $V_T$ [V] | $C_{ox}$ [PF] | $Q_{ss}/q$ |
|----------------------|------|--------------|-----------|---------------|------------|
| 800 [ $\text{\AA}$ ] | Al   | -0.74        | -1.59     | 587.4         | $1.6E11$   |
|                      | poly | -0.44        | -1.02     | 576.8         | $9.8E10$   |
| 600 [ $\text{\AA}$ ] | Al   | -0.67        | -1.39     | 672.6         | $1.9E11$   |
|                      | poly | -0.39        | -0.87     | 634.7         | $1.2E11$   |

표 2.  $T_{ox}=800, 600$  [ $\text{\AA}$ ]인 Al과 poly-Si gate 소자의 측정값.

poly-Si gate의 경우 Al gate 경우 보다 고정 표면 전하 밀도가 더 낮은 값을 나타낸 것은 poly-Si gate의 deposition 과정에서 산화막이 annealing 되고 alloy 과정에서 Hydrogen gas가 산화막으로 diffusion 되어 positive charge들이 trap 된 영향이라 생각된다. 그림 3과 4는 1000 (Å)의 산화막 두께를 갖는 Al gate와 poly-Si gate를 이용한 MOS 소자의 stress의 영향을 알아보기 위한 C-V 특성곡선이다.

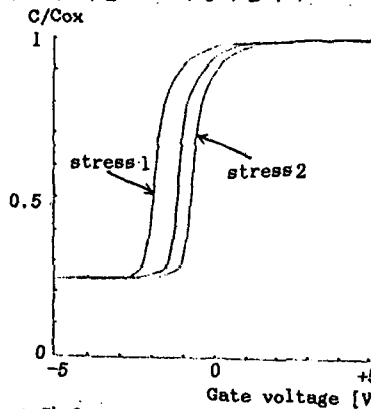


그림 2. B.T.S. 이후 Al gate 소자의 C-v 특성 곡선.

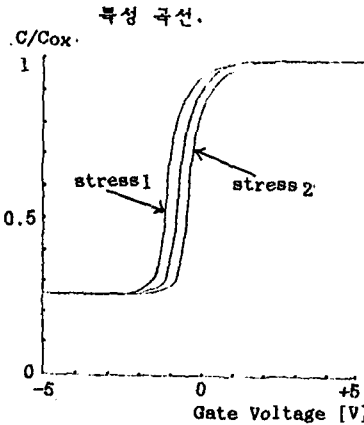


그림 3. B.T.S. 이후 poly-Si gate 소자의 C-V 특성곡선.

Al gate MOS 소자의 경우 +10 [V]의 stress를 가하였을 때  $V_{fb} = -0.74$  [V], -10 [V]의 stress를 가하였을 때  $V_{fb}$ 가 0.34 [V]를 나타낸 반면에, poly-Si gate를 이용한 경우에는 +10 [V]의 stress를 가했을 때  $V_{fb} =$

-0.35 [V], -10 [V]의 stress를 가했을 때는  $V_{fb}$ 가 0.29 [V]를 나타내어 결과적으로 poly-Si gate를 이용했을 때 flatband shift가 작은 값을 나타내었다. 이것은 poly-Si을 게이트로 이용한 경우 앞에서 논한 두가지 영향으로 인한 positive charge의 감소와, 일함수가 낮은 때문이라 생각된다.

#### 4. 결 론.

poly-Si을 gate 금속으로 이용한 경우에 Al을 gate 금속으로 이용한 경우보다 고정표면 전하 밀도가 감소 하였다.

동일한 산화막 두께에서 poly-Si을 gate로 이용한 경우 flatband voltage는 약 0.3 [V], 문턱전압은 약 0.62 [V]가 Al gate 보다 낮았으며, 산화막 두께가 1000 (Å)에서 +10 [V]의 stress를 가하였을 때 플랫밴드 변위는 약 0.4 [V], -10 [V]의 stress를 가하였을 때 플랫밴드 변위는 0.04 [V]가 감소하였다.

#### 참 고 문 헌

1. S.M.Sze, "Semiconductor Devices Physics & Technology," John Wiley & Sons, Inc., pp.363-376, 1981.
2. S.M.Sze, "VLSI Technology," McGraw-Hill Book Co., Chap.3, 1983.
3. D.B.Kao, K.C. Saraswat, J.P.McVittie, IRE Trans. Electronic Devices, Vol. ED-32, No.5 pp.918-925, 1985.
4. J.G.J.Chern, W.G.Oldham, N.Cheung, IRE Trans Electronic Devices, Vol.ED-33, No.9, pp.1256-1262, 1986.
5. G.Yaron, Solid-State Electronics, Vol.22, pp.1017-1023, 1979.
6. T.I.Kamins, J.Electrochem.Soc., Vol.126, No.5 pp.838-844, 1979.