

연속근사형 변환기술에 의한 Cyclic A/D 변환기의 설계

김재민  
동신공과대학

편석범 정남채 문용선 김정화 박종안  
조선대학교 공과대학

Design of a Cyclic A/D converter based on the successive Approximation Technique

Jae Min Kim Suk Bum Pyeon, Nam Chae Jung, Yong Sun Moon, Chung Hwa Kim, Jong An park  
Dong Sin Eng. Collage Dept. of Electronic Eng., Cho Sun Univ.

ABSTRACT

An improved cyclic Analog-to-Digital converter using the successive approximation technique is described. It consists of a switched-capacitor integrator and charge-transfer circuits. The charge-transfer circuit generates the n-step half voltage  $V_R/2^n$ , and the SC integrator charges the reference voltage to successively approximate to the signal voltage. The conversion circuit proposed uses the reduced OP amplifier compared with R.H McCharles's circuit, and improves the accuracy due to the reduced input-offset voltage.

Experimentally 4-bits resolution in this paper is obtained with the accuracy.

I. 서론

최근 MOS 기술에 의한 전하-전달 신호처리 방식들이 급격히 개발되고 있다(1-5). 이것은 이전의 아날로그 영역에서 실행되었던 여러가지 기기, 그리고 통신 및 제어 시스템이 디지털프로세서에 의해 실행되었고, 최근에는 마이크로 프로세서를 이용하여 더욱 효과적으로 달성되며(6), 이러한 신호처리 시스템에 있어서 입력과 출력이 본질적으로 아날로그량이므로 더욱 다양한 D/A, A/D 변환이 요구되기 때문이다.

신호처리를 위한 데이터 변환 시스템에 있어서 MOS 기술의 이용은 바이폴라 기술과 비교할때 MOSFET 자체의 절연 특성에 기인하여 높은 회로 밀도를 실현할 수 있으므로 LSI에 매우 적합하며(7), 아날로그 회로 기능을 실현하는데 있어서 바이폴라 기술과 비교하여 극히 중요한 장점을 갖는데 이것은 회로 마디에 전하를 저장하며 비파괴적으로 마디의 전압을 감지하는 능력이다. 이러한 특성은 MOSFET의 고유적으로 무

한한 입력지침을 나타내며 정밀 S/H 기능을 갖는데 이것은 여러 아날로그 회로에 대한 새로운 방식을 개발시켜 전하-전달 소자나 스위치드-캐패시터( switched-capacitor )를 이용한 샘플-데이터 아날로그 신호처리 기술이 고려한 예이다(8-10). 즉 MOS 소자에 의한 전하-전달 데이터 변환 시스템은 바이폴라 기술에서의 지형과는 대조적으로 정밀 요소로서 캐패시터를 이용하며, 전하 전달 소자로써 아날로그 스위치를 이용하는데 MOSFET 공칭 기술에 의해 캐패시터와 아날로그 스위치는 쉽게 실현되므로 이들 소자의 조합을 이용한 D/A, A/D 신호변환 기술이 급격히 개발되어지고 있는 것이다(11-15).

본 논문에서는 이들 소자의 결합에 의한 전하전달 회로 및 SC 적분기를 구성 하였고 연속 근사형 방식(16)에 의해 Cyclic A/D 변환기를 구성 하였다. 설계된 변환기는 이전의 R.H McCharles 등에 의해 발표된(17-20) 변환기에 비해 OP 증폭기를 1개로 감소 시켰으며 5개의 MOS 캐패시터와 11개의 MOS 스위치에 의해 이루어 진다. 또한 설계된 회로는 디스크리트 MOS 소자에 의한 서플레이션으로 그 변환 동작과 특성을 확인 하였다.

II. SC 적분기의 전하전달

SC 저항( $R = Tc/C = 1/fcC$ )을 이용한 적분회로를 구성하면 그림 1과 같으며, 클럭 펄스  $\phi_1$ 과  $\phi_2$ 의 2위상 비증점 클럭에 의한 전하이동은 다음과 같다.

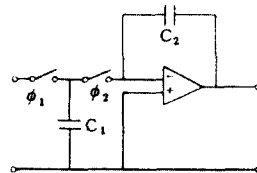


Fig. 1 Sc Integrater

즉, 시간  $(n-1)T_c$  일때  $C_1$  과  $C_2$  에 축적되는 전하는 식 1(a)와 식 1(b)와 같다.

$$q_{c1}[(n-1)] = C_1 V_1[(n-1)T_c] \dots\dots\dots (1.a)$$

$$q_{c2}[(n-1)] = C_2 V_2[(n-1)T_c] \dots\dots\dots (1.b)$$

시간이  $nT_c$  일때  $C_2$  에 충전되어 있는 전 전하는 식 (2)이 된다.

$$q_{c2}(nT_c) = q_{c2}[(n-1)T_c] - q_{c1}[(n-1)T_c] \\ = C_2 V_2(nT_c) \dots\dots\dots (2)$$

따라서

$$V_2(nT_c) = V_2[(n-1)T_c] - \frac{C_1}{C_2} V_1[(n-1)T_c] \dots\dots (3)$$

$$H(s) = \frac{V_2(s)}{V_1(s)} = \frac{-C_1/C_2}{e^{sT_c} - 1} \dots\dots\dots (4)$$

여기서  $S = j\omega$  일때  $sT_c \ll 1$  라 하면  $e^{sT_c} = 1 + sT_c$  가 되므로 식(4)는 다음과 같이 된다.

$$H(s) = \frac{-C_1/C_2}{sT_c} = \frac{-1}{s \cdot C_2/C_1 \cdot T_c} \dots\dots\dots (5)$$

전압기의 시간상수가  $C_2 \cdot T_c / C_1$  이므로 전달함수는 클리 주파수와 주파수 캐패시터비로 제어될 수 있다. 캐패시터의 비는 MOS 공정에 의해 아주 정확하게 제조될 수 있으므로 온도 변화에 따른 영향도 무시할 수 있으므로 최근 캐패시터 비에 따른 전달함수 변화를 이용하여 A/D, D/A 신호변환 기술이 개발되고 있으며 변환 원리는 다음과 같다. 스위칭 동작장의 각 분기에 출력전압을  $V_0$ , 동작후 출력을  $V_0^*$  이라고 할때 식 (6)과 같이 된다.

$$V_0^* = V_0 - \frac{C_1}{C_2} V_1 \dots\dots\dots (6)$$

SC 적분회로에서  $C_1$  과  $C_2$  값을 조정함에 따라 임의의 출력 값을 얻을수가 있는데  $C_1 = C_2$  로 하고  $-V_0$  를 구현해서  $V_1$  로 하면 식(6)은 식(7)이 된다.

$$V_0^* = 2V_0 \dots\dots\dots (7)$$

또한 연속 근사형 기준 입력  $V_r$  를 가산하면  $V_0 = V_0 + V_r$  가 되는데 본 논문에서의 응용과 같이  $C_2 = C_1$  로 하고 출력전압  $-V_0$  를 구현하고 기준 입력  $V_r$  값을  $\frac{V_R}{2^{n+1}}$  로 연속 근사화시키면 식(8)이 된다.

$$V_0^* = V_{0n} + \frac{V_R}{2^{n+1}} (V_r) \dots\dots\dots (8)$$

이때 A/D 변환 디지털  $bn+1$  은 신호 입력  $V_1$  와 비교되어 그 출력 ( $V_0^* - V_1$ ) 에 따라 "0" 또는 "1" 값으로 결정된다.

### III. SC 적분기를 이용한 Cyclic A/D 변환회로

SC 적분기를 이용한 A/D 변환에 대한 여러 변형 알고리즘 방식이 제안되고 있는데 Cyclic A/D 변환 원리는 다음과 같은 신호전압  $V$ , 기준전압을  $V_R$  이라 할때 일반적으로 식(9)와 같이 표현된다.

$$(1) a_1 = V$$

$$(2) a_2 = V + (-1)^{b_1} V_R$$

$$(3) a_3 = 2V + (-1)^{b_1} V_R + (-1)^{b_2} \frac{V_R}{2}$$

$$(4) a_4 = 2^2 V + (-1)^{b_1} V_R + (-1)^{b_2} \frac{V_R}{2} + (-1)^{b_3} \frac{V_R}{2^2}$$

⋮

$$(i) a_i = 2^{i-2} V + (-1)^{b_1} V_R + (-1)^{b_2} \frac{V_R}{2} + (-1)^{b_3} \frac{V_R}{2^2} + \dots + (-1)^{b_{i-1}} \frac{V_R}{2^{i-2}} \dots\dots\dots (9)$$

식 (9)에서  $a_i$  의 값이 계산되고  $a_i$  값이 (+)일때는 최상위비트  $i$  번째의 비트  $b_i$  는 '1'이 되며  $a_i$  값이 (-)일때는  $b_i$  는 '0'이 되는 디지털 출력을 얻게 된다. 이와 같은 A/D 변환기에 대한 블록선도는 그림 (2)과 같으며 이러한 블록선도에 따른 A/D 변환기를 R.H.McCharles 등은 2개의 적분기, 1개의 비교기 그리고 5개의 SC 스위치에 의해서 수행되는 회로를 발표 하였다.

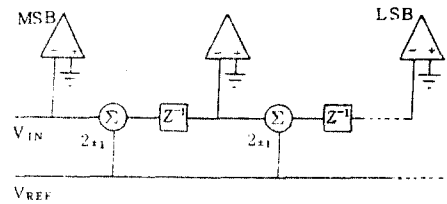


Fig 2 Implementation of cyclic A/D converter

### IV. Cyclic A/D 변환 알고리즘 개선 및 회로 설계

A/D 변환 소자수 감소를 위한 회로설계는 연속근사 변환 기술에 의해 변환 알고리즘을 다음과 같이 구성 하였다.

$$(1) a_{11} = \frac{V_R}{2} \qquad a_{12} = b_1 \frac{V_R}{2}$$

$$(2) a_{21} = b_1 \frac{V_R}{2} + \frac{V_R}{2^2} \qquad a_{22} = b_1 \frac{V_R}{2} + b_2 \frac{V_R}{2^2}$$

$$(3) a_{31} = b_1 \frac{V_R}{2} + b_2 \frac{V_R}{2^2} + \frac{V_R}{2^3} \qquad a_{32} = b_1 \frac{V_R}{2} + b_2 \frac{V_R}{2^2} + b_3 \frac{V_R}{2^3}$$

$$(4) a_{41} = b_1 \frac{V_R}{2} + b_2 \frac{V_R}{2^2} + b_3 \frac{V_R}{2^3} + \frac{V_R}{2^4}$$

$$\vdots \qquad a_{i2} = b_1 \frac{V_R}{2} + b_2 \frac{V_R}{2^2} + b_3 \frac{V_R}{2^3} + b_4 \frac{V_R}{2^4}$$

⋮

$$(n) a_{n1} = b_1 \frac{V_R}{2} + b_2 \frac{V_R}{2^2} + b_3 \frac{V_R}{2^3} + b_4 \frac{V_R}{2^4} \dots \frac{V_R}{2^n}$$

$$a_{n2} = b_1 \frac{V_R}{2} + b_2 \frac{V_R}{2^2} + b_3 \frac{V_R}{2^3} + b_4 \frac{V_R}{2^4} \dots b_n \frac{V_R}{2^n}$$

#### Improved algorithm

단,  $bn$  값은 '0' 또는 '1'이 되는데 1차 변환출력  $V_0^* = a_{n1} - V_i$  값이 (+)일때  $n$  번째 비트  $bn$  은 '1'이 되며  $V_A$  값이 (-)일때는  $bn$  은 '0'가 되는 디지털 값을 갖는다. 이러한 변환 알고리즘에 따라 연속 근사형 기술에 의해 개선된 Cy-

clic A/D 변환회로를 설계하면 그림 3 과 같다.

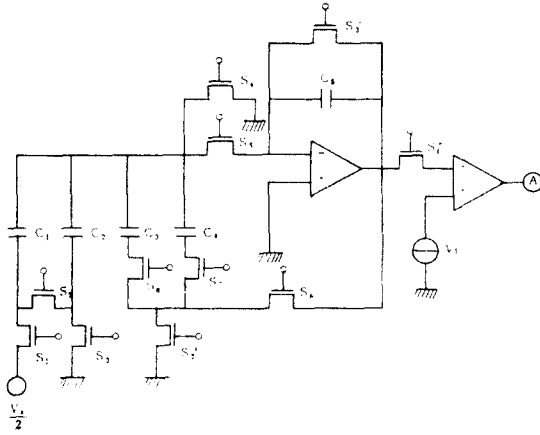


Fig. 3 Improved A/D converter

구성된 회로 동작을 다음과 같다.

즉, 초기화를 위해  $C_1$  과  $C_2$  의 그리고  $C_3$  과  $C_4$  의 전압을 방전시키고 OP 증폭기 출력도 0 값으로 리셋해 버린다.

다음  $V_{c1} = V_{c2} = -V_R/2$  의 전압과  $C_1, C_2$  를 충전시킨후  $V_{c2}$  를 OP 증폭기 입력에 가하면 OP 증폭기 출력은  $V_R/2$  이 되고,  $C_2$  전하를 방전시킨후  $S_2$  를 반라시키면  $C_2$  의 전압은  $\frac{1}{2} V_{c1}$  이 된다. 디지털 신호 MSB를 결정하도록 입력전압  $V_i$  와 OP 증폭기 출력을 비교하여 ( $S_1 = ON$ ) 비교가 ( $\ominus$  전압)이면 MSB는 '1'로 되고 다음 OP 증폭기 출력 전압은  $C_3, C_4$  에 보류된다. 그러나 비교가 출력에 ( $\oplus$  전압)이면 MSB는 '0' 이어야 하므로 OP 증폭기 출력을 방전시킨후  $V_{c3}$  과  $V_{c4}$  로 구성된다.

그리고 다음 비트를 결정하도록  $C_4$  의 전압을 OP 증폭기에 가한후,  $C_2$  의 전하를 OP 증폭기 입력에 인가하므로써 이전  $C_4$  의 축적 전압과  $1/2 V_{c2}$  전압이 합해지도록 한다. 이 합산된 OP 증폭기 출력값이 다시 신호전압  $V_i$  과 비교되어 다음 MSB 비트를 결정하게 된다.

이러한 동작은 회로 LSB 값이 결정될때까지 반복된다.

### V. 실험 및 결과

제안된 변환 회로의 시뮬레이션을 위한 컴퓨터 차-프는 그림 4와 같으며, 변환기는 디스크리트 회로 소자에 의해 실현되었다.

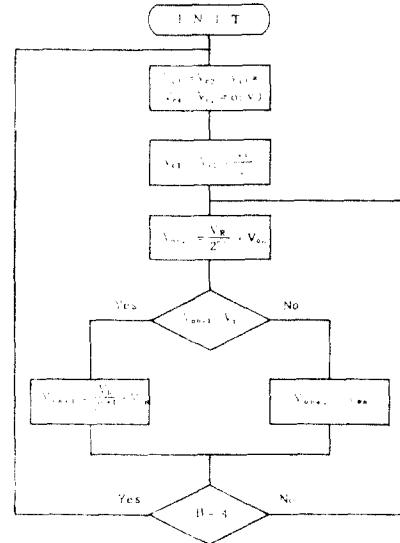


Fig. 4 Flow-chart for the Simulation

이후 변환의 시뮬레이션을 11비트로 해하였으며 실험적 변환 출력 특성을 나타내기 위하여 변환 출력의 0000에서 1111까지 되는 디지털 값은 단계적으로 나타내도록 하도록 값을 조정하여 그림 5에 나타내었다.

즉 그림 5-(f)에서 입력 전압  $V_i$  값으로 1.55V를 증가하는 경우 (기준 전압  $V_R = 2.4V$ ) 디지털 출력은 1010를 나타내는데 이때의 변환 동작은 다음과 같다.

처음 변환 동작은 입력 전압  $V_i$  이 변환 출력 OP 값  $a_{11} = \frac{V_R}{2}$  (1.2V)를 초과하므로  $a_{12} = b_4 \frac{V_R}{2}$ 에서 디지털 값 MSB  $b_4$ 는 '1' 값으로 선정되고 다음 동작에서는  $V_{op}$ 는  $a_{21} = V_R/2 + V_R/4$  (1.8V)이 되는데 이 값이 입력 전압보다 크므로

$a_{22} = \frac{V_R}{2} + b_3 \cdot \frac{V_R}{4}$ 에서 비트  $b_3$ 는 '0' 값이 된다.

세번째 동작에서  $V_{op}$ 는  $a_{31} = V_R/2 + V_R/8$  (1.5V)이 되는데 입력 전압보다 작으므로  $a_{32} = V_R/2 + b_2 \cdot V_R/8$ 에서 비트  $b_2$ 는 1 값이 된다.

마지막 변환 출력  $V_{op}$ 가  $V_R/2 + V_R/8 + V_R/16$  (1.65V)이 되므로  $a_{42} = V_R/2 + V_R/8 + b_1 \cdot V_R/16$ 에서 LSB  $b_1$ 는 '0' 값이 된다.

그러므로 전 디지털 비트 값은 1010이 되며 그림 8의 과정에서 디지털 비트는 시뮬레이션의 지연 루틴의 차에 의해  $S_1$ 의 제어 펄스 폭으로 구분되는데 비트 '1' 값은  $S_1$ 의 도트 폭으로 비트 '0' 값은  $S_1$ 의 넓은 폭으로 나타낸다.

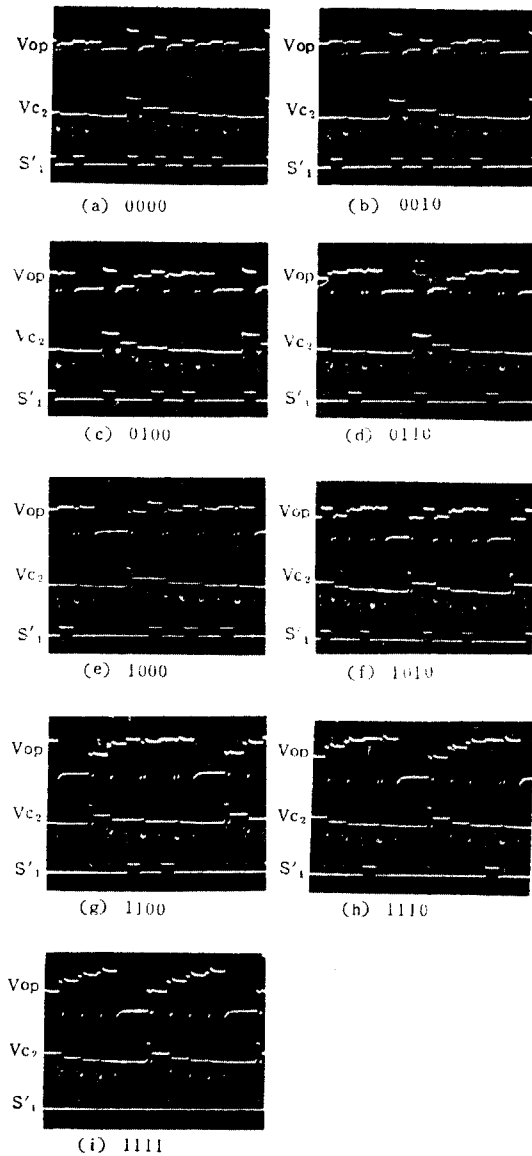


Fig.5 Conversion output waveforms

- (a)  $V_s =$  ( Digital out put value = 0000 )
- (b)  $V_s = 0.35V$  ( " = 0010 )
- (c)  $V_s = 0.65V$  ( " = 0100 )
- (d)  $V_s = 0.95V$  ( " = 0110 )
- (e)  $V_s = 1.25V$  ( " = 1000 )
- (f)  $V_s = 1.55V$  ( " = 1010 )
- (g)  $V_s = 1.85V$  ( " = 1100 )
- (h)  $V_s = 2.15V$  ( " = 1110 )
- (i)  $V_s = 2.45V$  ( " = 1111 )

그러므로 신호 변환 시스템에서 정확도 및 분해능에 영향을

미치는 주로 파라미터가 OP 증폭기의 입력 옴셋 전압인 것을 고려하면 본 변환회로에서 반감된 OP 증폭기의 수에 의해 2 배의 정확도와 분해능을 높일수가 있는 것이다.

## VI. 결 론

일측 근사형 변환 기술에 의해 동작하는 cyclic A/D변환기를 설계하였으며, 회로 모형을 제작하여 4 비트 변환 특성에 대해 실험적으로 고찰하였다.

본 논문에서의 cyclic A/D 변환기는 전하-전달 캐패시터의 원리에  $V_R/2^n$  전압을 생성하고 SC 작동기에 의해 연속적으로 신호 전압에 근사되어가는 전압을 출력하도록 하였다.

이것은 R.H Mccharles 등이 설계한 A/D 변환기에 비해 캐패시터 수는 같으나 OP 증폭기를 1개로 감소 시켰으며, 이로 인한 옴셋 전압의 영향도 반감 시킬수 있었다. 즉 이 변환 알고리즘에서는 OP 증폭기 옴셋 전압 2mv를 고려할때 10 비트 변환이 가능하며, 변환특성도 설계된 변환 알고리즘에서 기대한 것과 동일하다는 것을 확인하였다.

## REFERENCES

- 1) Albarran J.F. and Hodges D.A.: "A charge-transfer multiplying digital-to-analog converter," IEEE J.Solid-state Circuit, Vol. SC-11, PP. 772-779, 1976.
- 2) McCreary J.L. and Gray P.R.: All MOS charge-redistribution analog-to-digital Conversion techniques-Part-I, "IEEE J. Solid-state Circuits Vol. SC-10, PP. 371-379, 1975.
- 3) Yee Y.S., Terman L.M., and Heller L.G.: "A two-stage weighted capacitor network for D/A-A/D conversion," "IEEE J. Solid-state Circuits, Vol. SC-14, PP. 778-781, 1979.
- 4) Yee Yen Sung: "Two-stage weighted capacitor circuit for analog-to-digital and digital-to-analog Converter," "U.S.CI. 340-347 DA, P. 1687, 1978.
- 5) Gray P.R. and Hodges D.A., "All-MOS analog-digital Conversion techniques," "IEEE Trans. Circuits and System, Vol. CAS-25, PP 482-489, 1978.
- 6) townsend M, Hoff, and Holm R.E.: "An NMOS microprocessor for analog signal processing," "IEEE J. Solid-state Circuits, Vol. SC-15, PP. 33-38, 1980.
- 7) Gray P.R., Hodges D.A., and Brodersen R.W., Analog MOS Integrated Circuits, IEEE Press, PP 14-18, 1980.
- 8) 문용선, 박종안, "분해능 WCADC 설계에 관한 연구" 대한 전자 공학회 전남지부 학술대회 논문집, Vol.86-1-2, PP

1987.

- 9) 문용선, 박종안, "연속 근사형 전하-전압 A/D 변환기"  
한국 통신학회 추계 학술 발표회 논문집, Vol.6. No 1, PP.  
68-71, 1986.
- 10) 문용선, 김정희, 박종안, "전하-전압을 이용한 순환형  
D/A 변환기의 설계" 한국 통신 학회 춘계 학술 발표회 논  
문집, Vol.6. No 1, PP 140-143, 1987.
- 11) R.W/Brodersen, P.R. Gray, and D.A. Hodges, "MOS  
Switched capacitor Filters", Proc. IEEE, Vol.67, PP.  
61-75, Jan. 1979.
- 12) P.E. Allen and Edgar "Switched Capacitor Circuit"  
Van Norstran Reinhold Company, PP.87-105, 1983.
- 13) L.A.Young, D.A.Hodges and P.R.Gray, "All MOS sam-  
pled-Data recursive filter", in ISSCC Dig. Tech Paper-  
s, PP.56-157, 1977.
- 14) R.W.Brodersen and T.C.Choi, "Comparison of Switched  
-Cap acitor Ladder and CCD Transversal Filters" Proc.  
5th int. Conf. on Charge-Coupled Devices, PP.268-278,  
1979.
- 15) Haruo Isaka and Yoshifumi Amemiya, "An Analog-to-Di-  
gital Converter Using a Switched Capacitor Integrator,"  
일본 전기 통신학회 논문지, Vol.J 64-C, No 9, Sep. 1981.
- 16) Redfern T.P., Conolly J.J., and Frederiksen T.M.: "A  
monolithic charge-balancing successive approximation  
A/D technique," IEEE J. Solid-state Circuits, Vol. SC  
-14, PP.912-919, 1979.
- 17) B.J.Hosticka, R.W.Brodersen, and P.R.Gray, "MOS  
Sampled Data Recursive Filters Using Swiched Capaci-  
tor Integrators" IEEE J. Solid-state Circuits, VOISC  
-12, PP.600-608, Dec. 1977.
- 18) R.H.McCharles, V.A.Saletore, and D.A.Hodges, "An  
Algorithmic Analog-to-Digital Converter" IEEE Int.  
Solid State Circuits Conf. Digest of Tech. Paper, PP.  
96-97, Fed. 1977.
- 19) D.A.Hodges, P.R.Gray, and R.W.Brodersen "potential  
of MOS Techno logies for Analog Integrated Circuits  
and Systems, Vol. SC-13, No 3, PP.285-294, 1974.
- 20) R.H.McCharles and D.A.Hodges, "Charge Circuits for  
Analog LSI", IEEE Trans. Circuits and Systems, Vol.  
CAS-25, No 7, PP.490-497, July 1978.