

직접 디지털 주파수 합성기의 특성과 주파수 대역 확장에 관한 연구

김 경 석* 김 원 후*

* 한국 항공 대학 전자 공학과

A study on the extension for frequency band and the character of Direct Digital Frequency Synthesizer

Kyung Suk Kim * Won Hoo Kim *

* Dept. of Avionics Eng., Hankuk Aviation College

ABSTRACT: The frequency synthesizer that has very short transient time is the key to construct the Fast Frequency Hopping (FFH) system. A Direct Digital Frequency Synthesizer (DDFS) whose transient time is in the nS range has been implemented and the performance of which has been examined through this paper. And it is confirmed that DDFS is suitable for the FFH system. Finally the method that extend frequency band is presented.

1. 서 론

대역 확산(SS: Spread Spectrum) 통신 방식중에서 주파수 호핑(FH: Frequency Hopping) 방식은 PN(Pseudo Noise) 코드의 패턴에 따라 방송파 주파수를 불연속적으로 변화시키는 방식으로 주로 이동 통신이나 항공 우주 통신에 이용되고 있다.

FH 시스템에서 호핑 방송파를 얻기 위한 주파수 합성기로는 직접 방식과 PLL을 이용한 간접 방식, 그리고 디지털 방식이 있는데 이중 샘플링 이론과 DAC 변환 기술을 근거로 출력 파형을 얻는 디지털 방식은 다른 방식과 비교해 주파수 해상도 및 안정도가 뛰어나고 발생 주파수의 변화가 연속 위상상을 이루고, 전이 시간이 nS 단위로 매우 짧아서 FFH(Fast Frequency Hopping) 시스템에 적합하다.

본 논문에서는 FFH 시스템을 위한 직접 디지털 주파수 합성기(DDFS: Direct Digital Frequency Synthesizer)를 단일 ROM을 이용하여 실현하고 그 특성을 실험하였으며 주파수 대역 확장 방법에 대해 알아 보았다.

2. DDFS의 원리

첫 부분은 위상 어큐뮬레이터로 발생 주파수 범위의 해상도를 결정한다. 위상 어큐뮬레이터는 단순한 N비트 2진 어큐뮬레이터로 입력 데이터 비트의 조합 K를 초기 위상각을 스텝으로 받아들여 매 샘플링 클럭마다 K를 누적시키며 새로운 위상 데이터를 발생시킨다.

이때 위상 데이터는 0에서 2π 사이의 값에 해당되며 2π 이상이 되면 오버플로우를 발생시킴으로써 출력 파형의 한 주기 파형을 형성한다. 이 동작은 초기 위상각 스텝 K가 변화될때까지 계속 반복되며 K의 변화로 출력 주파수가 변화된다. 새로운 주파수가 발생될때 소요되는 전이 시간도 위상 어큐뮬레이터 출력상으로는 최대한 클럭 주기에 해당하는 시간이 소요되지만 실제로는 샘플링이 가해지는 순간에 새로운 위상각 스텝으로 누적되므로 어큐뮬레이터의 처리 속도에 해당하는 nS정도의 전이 시간이 소요되는 셈이다.

출력 주파수 F는 시간 인덱스인 클럭 주파수 f_{clk} 와 위상 어큐뮬레이터의 길이 N, 그리고 주파수 인덱스 K의

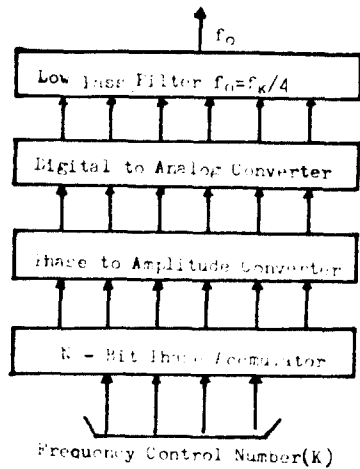


그림 1. DDFS의 동작 계통도
Fig. 1 Operation diagram of DDFS.

관계에 따라 다음과 같이 결정한다.

$$f = K \cdot f_{ck} / 2^N \quad (2.1)$$

여기서 위상 어큐뮬레이터의 길이가 N 비트이므로 단위 위상의 등간격 위상 샘플치는 2^N 개가 된다. 또한 K는 2진 데이터에 의한 정수 값이고 $f_{ck} / 2^N$ 은 주파수 해상도를 나타낸다. 위상대 진폭 변환기는 K의 주기 값으로 얻어지는 순시 위상각에 대한 진폭치를 얻기 위한 것으로 Look up Table (또는 이와 같은 기능을 수행하도록 프로그램된 ROM)을 이용한다. 이때 저장되는 데이터는 등간격의 위상각에 따른 진폭치를 다음 식에 따라 기록한다.

$$D = 2^x \cdot \sin(2\pi K / 2^{N-1}) \quad (K=1, 2, \dots, 2^N) \quad (2.2)$$

여기서 D는 진폭 데이터 값이고 x는 진폭 데이터 비트 수이며 $2\pi / 2^{N-1}$ 은 최소 위상각 스텝이다. D/A 변환기는 샘플링 클럭마다 Table로 얻어지는 병렬 2진 진폭 데이터를 하나의 아날로그 값으로 변환시키며 LPF는 D/A 변환기 출력의 불연속 성분을 보완하고 샘플링 고조파를 제거 시킴으로써 출력 정현파를 얻도록 한다.

3. DDFS의 특성

주파수 합성법에 있어서 디지털 방법은 다른 방법보다 많은 잡음이 존재하게 된다. 이유는 디지털 합성법이 표본화된 각 비트의 파형을 아날로그 파형으로 변환시키는 형태이기 때문이다.

3.1 트렁케이션(절단) 잡음

많은 잡음중에 출력단에 가장 큰 영향을 미치는 잡음은 표본화 간격 T로 위상 절단시 발생되는 절단 잡음이다.

다시 말하면 임의의 주파수를 발생시키며 샘플값을 계산하는 과정에서 발생한다고 할 수 있다.

따라서 양자화 오차의 영향을 고려할 때 먼저 양자화 오차가 없는 이상적인 경우로 발생하려는 정현 신호를 $f(t)$ 라 하고 n 번째 샘플치를 f_n 이라면 D/A 변환기를 거쳐 얻어진 합성 신호 $f'(t)$ 는

$$f'(t) = \sum_n f_n \delta(t - nT) \quad (3.1)$$

로 주어지고 $f(t)$ 는 $f'(t)$ 를 차단 주파수가 W_m 인 LPF를 거쳐 얻어진다. 여기서 이상적인 LPF를 가정하면 $f(t)$ 와의 Convolution으로

$$f(t) = \sum_n f_n \delta(t - nT) * \frac{\sin(W_m t)}{W_m t} = \sum_n f_n \text{sinc}\left(\frac{W_m t}{\pi} - n\right) \quad (3.2)$$

그러나 f_n 에는 양자화에 따른 오차가 필연적으로 포함되므로 이것을 f'_n 이라 할때 출력 정현 신호 $f'(t)$ 는

$$f'(t) = \sum_n f'_n \text{sinc}\left(\frac{W_m t}{\pi} - n\right) \quad (3.3)$$

으로 주어진다. 따라서 오차 신호 $e(t)$ 는

$$e(t) = f(t) - f'(t) = \sum_n (f_n - f'_n) \text{sinc}\left(\frac{W_m t}{\pi} - n\right) - \sum_n f'_n \text{sinc}\left(\frac{W_m t}{\pi} - n\right) \quad (3.4)$$

이 된다. 첫식으로부터 양자화 오차의 기본 주파수는 발생 신호 주파수와 일치하며 오차의 스펙트럼은 발생 주파수의 고조파로 나타남을 알 수 있다. 따라서 임의의 주파수 생성시 절단 잡음은 합성 신호의 가장 주기가 NT라 하면 잡음도 동일한 NT의 주기를 갖는다. 따라서 절단 잡음은 최악의 경우 주파수 간격 $f_c = 1/NT$ 의 선 스펙트럼(Line Spectrum)으로 구성된다. 그런데 출력 주파수가 2^k k일 경우에 트렁케이션 잡음의 고조파는 2^k K의 배수로 나타낸다.

3.2 클리치 문제 및 그 밖의 잡음

출력 주파수를 위한 샘플치를 완벽하게 얻었다고 하여도 D/A 변환기에서 각 비트마다의 스위칭 시간차에 의해서 출력 파형에 클리치가 발생한다. 그리고 가장 최악의 클리치 상태는 MSB(Most Significant Bit)의 스위칭 점에서 일어난다. 이 클리치 성분은 D/A 변환기에 가해지는 명분 데이터의 변화가 가장 클 때 크게 나타난다. 잡음 분포폭을 Δ 라 하고 한 주기마다 한 번씩 클리치가 발생한다고 하면 잡음에 관해서는 ΔNT 의 비율로 나타난다. 따라서 발생 주파수가 높을수록 이 비율은 커진다. 그러므로 D/A 변환기에 의한 클리치 잡음을 줄이기 위해서는 전역 시간상의 문제점을 해결시킬 필요가 있는데 이 방법은 D/A 변환기의 전단에 버퍼링(Buffering)과 버퍼는 deglitch 및 D/A 변환기를 사용하면 된다. 또 다른 잡음은 D/A 변환기의 출력을 완전한 정현파가 아니라 각비트 성분으로 나타나는 이차 성분으로 샘플링 시간의 정현파를 스크린에는 샘플링 고조파가 포함된다. 그러므로 D/A 변환기의 출력 파형을 정형하고, 샘플링 고조파를 제거하는 저역 통과 필터의 대역폭을 $1/2T$ 이하로 하는 것이 유리하며 최대한 $1/2T$ 이내로 하여야 한다.

3.3 주파수 대역 확장

주파수 대역을 넓히기 위해서는 첫째로 출력 속도를 증가시키기 위해 클럭 주파수를 증가시켜야 한다.

둘째로 클럭 주파수 제어 ROM의 사용이다. 이 문서에서는 350ns인 27320 EPROM을 이용하여 2비트의 정현파 샘플치를 8비트로 기록하였다. 때문에 8비트 변환기상에서의 문제점이다. 먼저 입력 비트가 많은 D/A 변환기의 사용이다.

$$1. \frac{V_{ref}}{R_{ref}} = \frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \dots + \frac{A_n}{2^n} \quad (4-1)$$

V_{ref} 은 V_{ref} 이 단자 쪽 연결 되어 있는 경우 $A_1, A_2, A_3, \dots, A_n$ 입력 비트이다.

3. 5비트에서 8비트와 같이 입력 비트가 많은 변환기는 높은 출력 전류를 얻을 수 있어 높은 주파수 성분을 얻는데 유리하다. 물론 V_{ref} 이 증가 또는 R_{ref} 이 감소로 조망이나마 높은 출력 전류를 얻을 수 있다.

또 고속 Switching Time을 할 수 있게끔 Settling Time이 빠른 D/A 변환기의 선택이 요구된다. 그러나 Settling Time이 빠르면서 입력 비트가 많은 D/A 변환기를 구하는데 어려움이 있어 본 논문에서는 Settling Time이 500ns 이하 10비트 D/A 변환기인 DAC 1020LCN을 사용하였다. 대체로 D/A 변환기 출력을 증폭하는 증폭단은 이득을 억제한 낮은 임피던스 회로 구성이 유리하고 풀이 적은 개방이득 특성이 요구되며 Op Amp 특성상 증폭기의 출력 전압의 최대 변화율인 SR가 문제가 된다.

SR(Slew Rate)은 Full-Power 대역폭으로 정의 된다.

$$f_p = \frac{SR}{2\pi E_{op}} \quad (3-6)$$

E_{op} 은 출력 peak 전압, f_p 은 Full-Power 응답 주파수이다. 따라서 본 논문에서는 Op Amp 741보다 SR이 몇 십배이며, 주파수 대역에서 몇 배로 좋은 LF 351을 사용하였다.

4. DDFS의 설계

DDFS에서 f_{clk} 은 2^{20} 1.048576MHz, 그리고 어큐뮬레이터 출력(N)을 20 비트로하여 주파수 해상도를 1Hz로 유지하였다. N이 20비트이므로 복소 지수항 샘플값을 얻기 위한 어큐뮬레이터의 누적값 Y는 다음으로 표시된다.

$$Y = \alpha_0 2^0 + \alpha_1 2^1 + \alpha_2 2^2 + \dots + \alpha_{19} 2^{19} \quad (4-1)$$

이를 2개의 Table로 분리하기 위해 binary 형태로 나타 쓰면,

$$Y = 2^0 \alpha_0 + 2^1 \alpha_1 + \dots + 2^9 \alpha_9 + 2^{10} (\alpha_{10} + 2 \alpha_{11} + \dots + 2^9 \alpha_{19}) = q + 2^{10} r \quad (4-2)$$

여기서

$$q = 2^0 \alpha_0 + 2^1 \alpha_1 + \dots + 2^9 \alpha_9$$

$$r = \alpha_{10} + 2 \alpha_{11} + \dots + 2^9 \alpha_{19}$$

이다.

따라서 Y는 다음과 같이 분리된다.

$$e^{j(2\pi/N)Y} = e^{j(2\pi/2^{20})(q + 2^{10}r)}$$

$$= \{e^{j(2\pi/2^{10})q}\} \cdot \{e^{j(2\pi/2^{10})r}\} \quad (4-3)$$

이제 샘플치의 연산에는 $e^{j(2\pi/2^{10})q}$ 와 $e^{j(2\pi/2^{10})r}$ 인 2개의 Table과 한번의 복소 승산이 필요하다. 인덱스 r은

어큐뮬레이터의 상의 10비트로 구성되고 q는 하위 10비트로 구성된다. 이는 단위원상의 $(2\pi/N)$ Y개 중의 한 값을 계산한다는 면에서 볼때, r값은 단위원을 2^{10} 개로 분할한 값에 해당하며 q값은 r에 더해질 2^{10} 개의 사이값에 해당한다. 위상각 보정 즉 q값의 계산은 복소 승산으로 이루어지며, 두개의 Table을 이용하여 계산할 때 다음과 같은 삼각 함수식으로 처리되도록 하였다.

$$\sin(q+r) = \sin q \cos r + \cos q \sin r \quad (4.4)$$

DDFS구성에서는 시스템을 간단히 하기 위해 q를 충분히 작은 값으로 고려하였다. 즉, $\cos q \approx 1$, $\sin q \approx 0$ 로 근사시킴으로써 $\sin r$ 에 해당하는 단일 Table을 사용하였고, 출력 정현파가 0와 π 그리고 $\pi/2$ 와 $3\pi/2$ 에서 각각 대칭인 성질을 이용하여 Table에 기록할 데이터 수를 1/4로 감소시켜 $2^8 - 256$ 개의 데이터만으로 시스템을 구성하였다.

구성한 시스템의 최대 출력 주파수 개수F는 $N = 2^{20}$ 개 이므로 $F = 2^{20} / 524,288$ 개까지 얻을 수 있으나 샘플링 고조파와 LPF복성을 고려하여 출력주파수 대역을 256.143KHz로 하였다. 또한 필요한 메모리 총 수S-1024개이지만 보수 회로를 사용하여 시스템을 구성한 값을 고려하면 실제 단위원 상의 데이터 수는 1024개로 실제 S와 일치한다.

그림 2.에는 본 논문에서 실현한 DDFS의 구성도를 나타내었다. 위상 어큐뮬레이터는 74LS83 전 가산기와 74LS74 D-플립 플롭으로 구성하였고 출력의 최상위 두 비트를 보수 회로의 제어 비트로 이용하였다. Table 앞단의 1의 보수 회로는 74LS86 EX OR 게이트로 구성되어 2상환과 4상환에서 위상 어큐뮬레이터 출력이 반전되도록 하였다. Table 출력은 다시 1의 보수 회로를 거쳐 주기를 보상한다. D/A 변환기 앞단에는 74LS74 D-플립 플롭으로 구성된 buffer 레지스터를 두어 D/A 변환기에서 발생하는 글리치 잡음을 줄이도록 하였다.

D/A 변환기에서 나온 전류원 출력을 OP Amp LF351을 이용하여 전압원 출력으로 변환하였다. 최종단

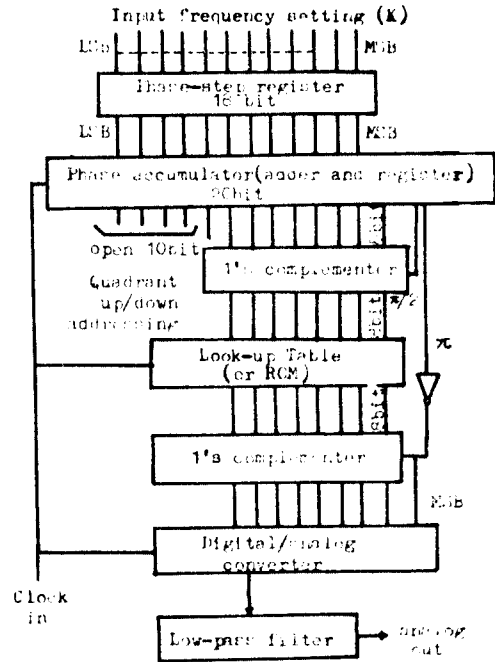


그림 2. DDFS의 구성도
Fig. 2 Block diagram of DDFS.

의 LPF는 차단 특성이 60dB/Oct가 되도록 10차 Butterworth LC LPF를 구성하였다.

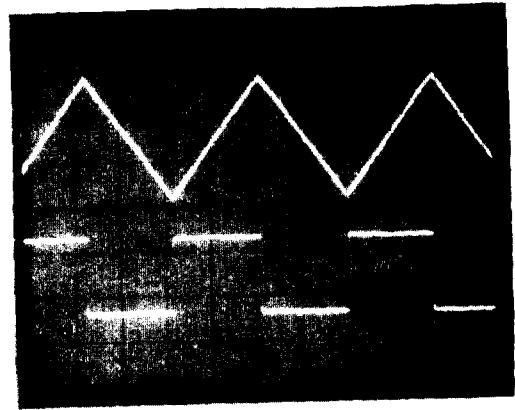
5. 실험 및 고찰

사진 1에는 위상값의 선형적인 눈금으로 나타낸 0° 에서 90° 까지의 위상 어큐뮬레이터 출력과 출력 주파수를 나타내었고, 사진 2는 두번째 MSB를 이용하여 보수를 취함으로써 반전된 위상 어큐뮬레이터의 출력과 두번째 MSB의 파형을 나타내었다. 사진 3은 첫번째 MSB와 두번째 MSB를 모두 보수 회로에 이용하였을 때의 위상 어큐뮬레이터와 첫번째 MSB의 파형을 나타내었고, 사진 4는 첫번째 MSB와 두번째 MSB가 모두 보수 회로에 가해져 D/A 변환기 출력을 나타낼때 두번째 MSB의 복에 해당하는 각상환의 출력파형을 얻었다. 사진 5는 출력 주파수가 16.38KHz 일때의 D/A 변환기 출력이

글리치 잡음이 포함되어 있으나 필터를 거칠때 위상 지연이 발생되면서 깨끗한 파형이 나타남을 알았고, 사진 6은 주파수 합성기의 최고 주파수인 262.143kHz 일때의 D/A 변환기 출력과 필터를 거칠때의 위상 지연이 일어난 파형을 나타내었다.

6. 결 론

본 연구에서는 DDS의 고주 주파수 조형 시스템에 관한 실험을 확인하였고 그 특성과 주파수 대역 확장 방법을 살펴 보았다. 그러나 주파수 대역을 확장시키는 문제에서 D/A 변환기와 Op Amp 선택상의 문제와 필터 구성상에서의 문제점이 있음을 알았다.



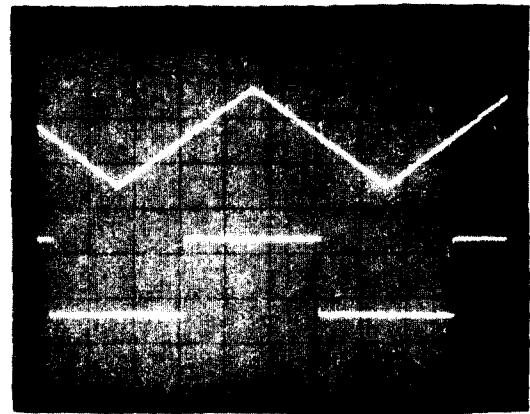
Vert.: 3V/Div., Hor.: 1mS/Div.

사진 2. 위상 어큐뮬레이터 출력과 두번째 MSB 파형



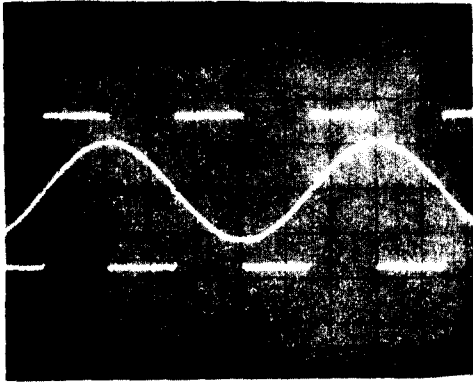
Vert.: 5V/Div., Hor.: 50 μ S/Div.

사진 1. 위상 어큐뮬레이터 출력과 같은 주파수 파형



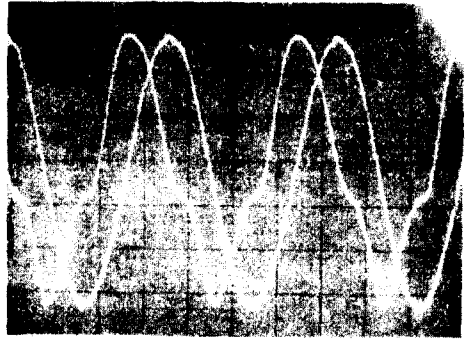
Vert.: 3V/Div., Hor.: 1.5mS/Div.

사진 3. 위상 어큐뮬레이터 출력과 첫번째 MSB 파형



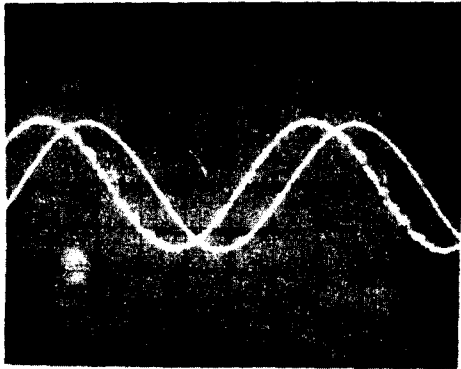
Vert.: 1V/Div., Hor.: 1ms/Div.

사진 4. 두번째 MSB와 D/A 변환기 출력 파형



Vert.: 2V/Div., Hor.: 10.1ms/Div.

사진 6. 출력 주파수가 최대일때 지역 통과 필터의 위상 지연의 파형



Vert.: 1V/Div., Hor.: 1ms/Div.

사진 5. 출력 주파수가 낮을 때 지역 통과 필터의 위상 지연의 파형

참 고 문 헌

- [1] G.C. Dixon, Spread Spectrum System, New York: John Wiley & Sons, Inc., pp.126-136, 1984.
- [2] D.Verhulst, Marley, J.Szipinglas, "Slow Frequency Hopping Multiple Access for Digital Cellular Radio Telephone," IEEE Journal on Selected Areas in Commun., vol. SAC 2, NO. 4, pp.563-574, July 1984.
- [3] Simon, Omura, Scholtz, Levitt, "Spread Spectrum Communication: volume I," Computer Science Press, Inc., pp.167-247, 1985.
- [4] J.D.Forgarty, "Digital Synthesizers Produce Wide Frequency Range from Single Source," Computer Design, pp.100-102, July 1975.
- [5] J.Gorski Popiel, "Frequency Synthesis: Techniques and Application," IEEE Press, pp.96-119, 1975.
- [6] J.Tiemey, C.M. Radar, B. God, "A Digital Frequency Synthesizer," IEEE Trans. Audio Electroacoust. AU 19, pp.43-57, March 1971.