

## RTN에 의해 제작된 MOS 소자의 C-V 특성

장 의 구 최 원 은 은 돈 영\* 이 오 성 김 상 용  
 중앙대학교 전기공학과\*

## C-V Characteristics of MOS Devices by Rapid Thermal Nitridation(RTN)

Eui-Goo Chang, Won-Eun Choi, Dohn-Young Yoon, Oh-Sung Lee, Sang-Yong Kim  
 Department of Electrical Engineering, Chung-Ang University

## ABSTRACT

The capacitance-voltage (C-V) characteristics of thin nitrided thermal oxides prepared by rapid thermal nitridation(RTN) have been studied.

The threshold voltages were calculated using C-V measurement and found to vary as the concentration of acceptor and the thickness of oxynitride. When the SiO<sub>2</sub> films were annealed in NH<sub>3</sub> a decrease in the positive oxide charge due to Si-N bond was observed.

In the case applied frequency is high and low, the high frequency depletion capacitance was higher than that of low frequency, which is indicative of high frequency surface conduction by mobile surface charge.

## 1. 서 론

최근에 MOS 소자의 gate 절연막으로서 열적으로 성장된 산화막이 주로 사용되고 있는데 VLSI 응용에 있어서는 보다 얇고 신뢰성 있는 절연막이 요구되고 있다.

열적으로 성장된 매우 얇은 산화막은 여러가지 불순물 침투에 대한 차폐효과가 부족하고, gate 산화막을 성장시키는 과정에서 strain 을 주게된다 [1]. 또한 결함밀도, 필적도 문제 [1], high-field에 대한 불안정성, 열전자 효과 [3], 등과 같은 몇가지 영향

으로 인해서 양질의 산화막을 성장 시킨다 하더라도 gate 산화막으로 사용하는데는 문제점이 있다.

이러한 문제를 해결하기 위한 방법의 일환으로 열적 질화 기법에 많은 관심이 모아지고 있다.

본 논문에서 다루고자 하는 질화된 산화막(oxynitride)은 B, N, O, Na, Si, P, As 등과 같은 불순물의 침투를 막아 표면과 계면의 보호막 역할을 하고 [2], 절연파괴 전압을 크게 향상 시키며, 계면상태 밀도와 포획밀도를 작게하고, 높은 유전력을 제공하는 장점이 있어서 MOS 소자의 안정성을 보다 향상시킨다고 보고 되고 있다 [3].

주로 사용되는 석영로 공정에서 산화막의 질화 시간이 너무 길거나, plasma-enhanced 공정을 이용하면 산화막 내의 불순물이 재분포하고 [4] 산화막에서의 질소분포를 공간적으로 제어하기 어려운 문제점을 가지고 있기 때문에 [5] 이러한 문제를 극복하기 위한 적합한 방법으로 lamp-heated rapid thermal nitridation (RTN) 방법이 개발되었다.

본 논문에서는 lamp-heating에 의한 RTN 방법을 이용하여 제작된 소자의 문턱전압의 차이, 순수한 산화막과 oxynitride 의 C-V 특성을 비교분석 하고 인가 주파수가 고주파와 저주파 일때의 C-V 특성 변화를 고찰하고자 한다.

## 2. 실험

비저항이 14 - 22 [ohm-cm]이고, 불순물이 Boron

이며, 결정 방향이 (100)인 P형 silicon wafer를 표층세척 공정으로 세척한후 850°C에서 1500 cc/min의 산소를 흘려 주면서 전기로의 석영관 내에서 30분간 산화 시켰다.

그후 850°C에서 20분간 질소개스 분위기에서 어닐링 하였다.

다음 공정으로 순수한 NH<sub>3</sub> 개스를 흘려 주면서 RTN 방법으로 1100°C 온도에서 30초 동안 질화 시킨후 back-side에 Al을 진공 증착한 다음 photolithography로 전극을형성 하였다.

이와같이 준비된 소자를 LCR meter 와 curve tracer를 사용하여 여러가지 조건에 따른 C-V 특성을 측정 하였다.

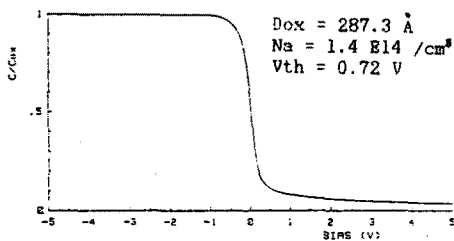
### 3. 결과 및 검토

그림 1과 2는 각각 RTN 온도 1100°C, 시간 30초 동안 질화시킨 동일한 sample에서 측정한 C-V 특성을 나타낸 것이다.

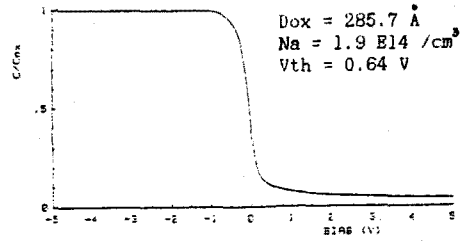
이 두 그림을 비교해 보면 문턱전압 V<sub>th</sub>에 있어서 그림1에서의 V<sub>th</sub> 값이 그림2에서의 V<sub>th</sub> 값이 약간 큼을 볼수 있다.

이것은 산화막 두께 와 도핑된 억셉터 농도에 따라 영향을 받기 때문이다.

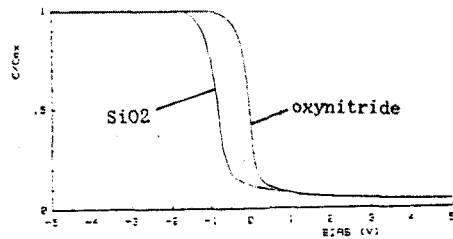
즉, 억셉터 농도가 감소하면 결핍영역에서의 capacitance 값이 감소하여 이로 인해 문턱전압 V<sub>th</sub>는 증가하고, 또한 산화막 두께가 두꺼울수록 capacitance가 감소하여 V<sub>th</sub>값은 증가하기 때문이라 생각된다.



(그림 1) RTN에 의해 형성된 oxynitride의 고주파 C-V 특성



(그림 2) RTN에 의해 형성된 oxynitride의 고주파 C-V 특성

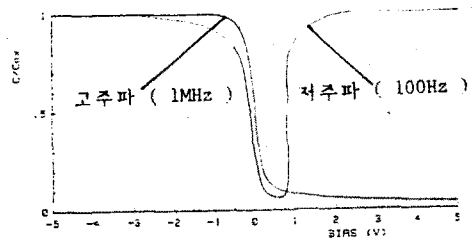


(그림 3) oxide와 nitrated oxide의 C-V 특성 비교

그림3은 초기 산화막(SiO<sub>2</sub>)과 RTN에 의해 형성된 oxynitride의 C-V 특성 곡선이다.

이 그림에서 flatband shift는 RTN 공정중에 NH<sub>3</sub> gas의 질소 성분이 산화막과 반응해서 Si-N 결합을 형성함으로써 현수결합(dangling bond)을 감소시키고, 초기 산화막 내에 존재하던 positive charge를 repel 시켰기 때문이라 생각된다.

flatband voltage가 positive 값을 나타낸 것은 산화막과 NH<sub>3</sub> gas의 수소성분과의 반응으로 인한 O-H 결합의 형성에 기인한다고 생각된다.



(그림 4) 인가 주파수가 고주파와 저주파 일때의 C-V 특성 곡선

그림 4는 RTN에 의해 형성된 동일한 sample 에 인가 주파수가 고주파 (1 MHz) 일때의 C-V 특성을 나타낸 것이다.

여기서 보면 인가 주파수가 저주파 때보다 고주파 때의 depletion capacitance 가 더 크게 나타나는 것을 볼 수 있는데, 이것은 gate에 인가되는 고주파 전압에 대해서 이동성 표면전하 (mobile surface charge) 들이 신속하게 반응함으로 인한 surface conduction 때문이라 생각된다.

#### 4. 결 론

본 논문에서는 rapid thermal nitridation (RTN)에 의해 제작된 MOS 소자의 C-V 특성을 고찰 하였다. 문턱전압 (threshold voltage) 은 acceptor 농도가 감소 할수록, 산화막 두께가 두꺼울 수록 높게 나타났다.

순수한 산화막과 RTN에 의해 형성된 oxynitride 의 C-V 특성을 비교한 결과, 질화 후에는 Si-N 결합에 의해서 flatband shift 가 오른쪽으로 이동하여 보다 안정된 특성을 보였다.

gate 의 인가 주파수가 고주파 일때에는 mobile surface charge 에 의한 surface conduction 으로 인해서 저주파 경우 보다 depletion capacitance 가 크게 나타났다.

#### - 참고 문헌 -

1. M.M. Moslehi, C.J. Han, K.C. Sarawat, C.R.Helms, and S. Shatas, "Compositional Studies of thermally nitrided Silicon dioxide (Nitroxide)", J. Electrochem. Soc., Vol.132(9), pp. 2196-2197, 1985.
2. C.C.Chang, A.KAMGAR, and D. Kahng, "High-temperature Rapid Thermal Nitridation of Silicon of Silicon Dioxide for Future VLSI Application", IEEE Electron Device Lett., Vol. EDL-6, pp.476-478, 1985.
3. Chin-Tang Chen, Fang-Churng Tseng, and Chun-Yen Chang, "Study of Electrical Characteristice on Thermally Nitrided SiO<sub>2</sub> (Nitroxide) Films," J. Electrochem. Soc., Vol.131(4), pp. 875-877, 1984.
4. Takshi Hori, Yasushi Naito, Hiroshi Iwasaki, and Hideya Esaki, "Interface States and Fixed Charges in Nanometer-Range Thin Nitrided Oxides Prepared by Rapid Thermal Annealing", IEEE Electron Device Lett., Vol. EDL-7, pp.669-671, 1986.
5. J. Nulman and J.P. Krusius, "Rapid Thermal nitridation of Thin Thermal Silicon Dioxide Films", Appl. Phys. Lett. 47(2), P. 148-150, 1985
6. Paihung Pan, "Characteristics of Thermal SiO<sub>2</sub> Films during Nitridation", J. Appl. Phys. Vol.61(1), pp. 284-293, 1987.
7. Takashi Ito, Tetsuo Nakamura, and Hajime Ishikawa, "Advantage of Thermal Nitride and Nitroxide Gate Film in VLSI Process", IEEE Transactions on Electron Devices, Vol. ED-29, pp. 498-502, 1982.
8. Mehrdad M. Moslehi, Krishna C. Sarawat, and Steven C. Shatas, "Rapid Thermal nitridation of SiO<sub>2</sub> for Nitroxide Thin Dielectrics", Appl. Phys. Lett., Vol.47(10), pp. 1113-1115, 1985.
9. Takashi Ito, Hideki Arakawa, Takao Nozaki, and Hajime Ishikawa, "Retardation of Destructive Breakdown of SiO<sub>2</sub> Films Annealed in Ammonia Gas", J. Electrochem. Soc., Vol.127(10), pp. 2248-2251, 1980.
10. Paihung Pan and Charles Paquette, "Positive Charge Generation in Thin SiO<sub>2</sub> Films During Nitridation Process", Appl. Phys. Lett., Vol.47(5), pp. 473-475, 1985.