

ECG 신호의 실시간 전송 및 처리 시스템의 구현

조종만, 장원영, 문철홍, 장원석, 홍승홍
인하대학교 공과대학 전자공학과

Implementation of Real Time Transmission and Processing System
for ECG Signal

C. M. CHO, W. Y. CHANG, C. H. MOON, W. S. CHANG, H. S. HONG
Department of Electronic Eng. INAH University

ABSTRACT

This paper is aimed at describing the design and implementation of real time transmission and its processing system for ECG signal.

For this purpose the analogue module dealing with 3-Ch ECG signals, D/A converter module and built-in type MODEM are developed. The result of field tests was good for possible practical uses.

1. 서론

심장병 환자나 응급환자의 부정맥 감시를 위한 심전도 신호의 전송 및 처리 시스템의 구현은 원격지에 있는 종합병원 구내간, 응급자동차와 병원간, 가정과 병원간 또는 전문의가 부족한 무의촌 지역의 의료 혜택을 주기 위한 수단으로서 그 실용화가 절실히 요구된다.

이를 위한 연구로 이동 ECG Monitor, Arrhythmia Analyzer[1] 등이 개발되어 장시간 부정맥을 분석하여 경고하는 시스템으로 발전하고 있으며, 시스템의 실시간 처리를 위해 Pipeline 처리나 DSP 등을 이용한 전용 처리 시스템화의 경향으로 발전되고 있다.

본 연구에서는 ECG 신호의 실시간 전송 및 처리를 위한 전용 하드웨어의 설계와 신호의 잡음 제거 기능을 강화하여 새로운 신호처리 시스템을 구현하였고, 설계된 각 부의 기능을 실험을 통해 평가하였다.

2. 시스템의 설계

시스템 하드웨어는 그림 1과 같이 7개의 STD-BUS (56Pin) 를 사용한 카드와 1개의 I/O Map에 의한 3-Ch Data Acquisition & Measurement Module(3-Ch Analog Module) 로 구성된다. 환자로부터 검출된 신호는 아날로그 모듈에 의해 양자화 되어 컴퓨터 제어에 따라 데이터 버퍼에 그 값이 기억된다.

시스템의 동작 상황에 따라 모니터 또는 시스템 동작 상태를 변화시키기 위해서 2-Ch RS-232C, 키보드/디스플레이 및 3-Ch DAC 카드가 사용되며, 데이터 전송을 위해서 모뎀이 사용된다. 시스템의 하드웨어는 Pro-log 사의 7000 Series 카드 중 컴퓨터, 2개의 Data Buffer/Storage, UART 및 키보드/디스플레이 카드와 전용성을 고려하여 세부 설계한 아날로그 모듈, DAC 모듈 및 모뎀으로 구성되며, 이와같은 하드웨어의 구성은 시스템 제어 알고리즘을 실현하기 위한 Criteria를 결정하는 중요한 요소이다.

(1) 3 채널 아날로그 모듈

ECG 신호 자동처리 시스템으로 갖추어야 할 기능을 컴퓨터로 제어 가능하도록 기존 시스템의 문제점을 보완 설계하였다. ECG 신호 증폭기와 대역 통과 여파기 간의 AC 결합에 의한 심한 Base Line Wander의 빠른 회복을 위하여 BAR (Base Line Auto Reset) 기능과 ECG 신호의 광범위한 변화를 최적 조건으로 입력하기 위하여 GCA (Gain Controlled Amplifier)를 사용하였으며, 이 기능은

소프트웨어로 제어가 가능하도록 설계하였고, STD-12 Lead 처리 또는 여러 환자의 부정맥을 동시에 감시할 수 있는 멀티 채널 기능을 부여하였다.

그림 2는 3-채널 아나로그 모듈의 구성도이다. 입력부는 Wilson Central Terminal을 형성하는 Unipolar Lead인 V-lead 6개, Limb Lead 3개와 Bipolar Limb Lead 3개로 STD-12 Lead를 형성한 Resistor Network으로 구성된다. 선택된 3채널은 각각 ECG 증폭기와 대역 통과 여파기 (0.05-100Hz)를 통과한 후 Photo Coupler를 사용한 Isolator를 거쳐 GCA 입력단에 가해진다. GCA에서 입력신호의 크기에 따라 배율을 자동 선택하며, 멀티플렉서를 통과하여 12 Bit ADC에 인가된다. 멀티플렉서에서는 3 채널에 대해 각각 60Hz BF (Elimination Filter)를 거친 신호와 거치지 않은 신호를 선택할 수 있다. ECG 신호 증폭기 (BF 제외시)의 전체 이득은 채널당 60 dB이다. 환자에 대한 전기적인 안전도를 만족시키기 위해서 전원은 DC/DC 변환기를 사용하여 전원을 절연시켰으며, 회로간은 Photo Coupler를 사용하여 20 M Ω 이상 절연시켜 Electrical Shock Safety Criteria에 맞도록 설계하였다.

BAR 신호는 신호처리 과정의 Data Alignment 과정에서 발생되며 심하게 이동된 Base Line을 자동으로 복시키기 위해서 사용된다.

ADC의 입력전압 범위는 $\pm 10V$ (0.0049 V/Bit) 이며 GCA와 연동하여 $\pm 5V \pm 20mV$ 범위의 ECG 신호를 처리할 수 있다. SR (ADC의 Sampling Rate)은 ECG 신호의 원신호 정보를 상실치 않는 범위내에서 설정 되어야 한다. 본 연구에서는 SR을 1ms 에서 30ms 까지의 범위에서 분석하여, PQRSST 원형정보를 잃지 않고 ECG 신호 분석 가능한 범위인 250Hz를 선정하였으며, 본 연구에서 사용한 ADC는 25 μ s의 최소 변환 주기를 가지며, 소프트웨어와 결합된 처리 시간은 채널당 40 μ s로 하였으며, 3 채널에 필요한 시간은 120 μ s이다.

(2) 디지털 신호처리 카드

디지털 신호처리 카드는 Computer, Data Buffer

및 Data Storage 등 세 카드로 구성된다.

Computer 카드는 Z-80A CPU (4 MHz), 32 Kbyte RAM/ROM, 3-Ch Timer 및 MBMEX 신호 (외부 메모리 확장용 신호) 등을 포함하고, 이 기능을 제어하는 Logic을 갖는 Pro-log의 7804 카드를 사용하였다. 이 카드는 STD-BUS (56Pin)와 호환성을 갖는다. Data Buffer는 ECG 신호처리를 위한 32 Kbyte RAM으로 구성되며, Data Storage는 부정맥 식별표 (AIDT: Arrhythmia Identification Table)용 32Kbyte ROM으로 구성된다. 이 카드는 컴퓨터와 STD-BUS로 접속되어 있으며 MBMEX 신호에 따라 시스템 동작시한 카드만 선택되어 동작한다. 3 채널의 타이머는 시스템의 Real Time Clock 및 ADC의 Sampling 신호 발생과 DAC/MODEM 제어용으로 사용하였다. 컴퓨터의 내장 메모리는 24 Kbyte OS와 8 Kbyte의 시스템 버퍼로 구성된다.

(3) 데이터 입출력 장치

데이터 입출력 장치는 2-Ch RS-232C 카드, 키보드/디스플레이 카드, MODEM 카드 및 3-Ch DAC로 구성된다. 2-Ch RS-232C 카드와 키보드/디스플레이 카드는 Pro-log사의 제품을 사용하였으며 MODEM과 3-Ch DAC 카드는 세부설계를 하였다. MODEM 카드는 가격절감을 위해 직접 설계 제작하여 시스템에 내장시켰다. MODEM Signal Processor의 구성은 EXAR사의 4개의 Chip (XR-2121, XR-2122, XR-2129, XR-2125)을 사용하여 Bell 212A와 동일하게 제작하였으며 Switched Network에 직접 연결할 수 있다. MODEM Signal Processor는 UART와 연결되어 Full Duplex로 통신이 가능하고, UART의 Status의 제어는 Handshake Control Logic으로 이루어진다. Parallel I/O는 FSK (600 Baud 이하), PSK (1200 1200 Baud)를 제어하고, Analog Loop Back 신호에 의해 MODEM 자체 시험을 할 수 있다.

DAC 카드 설계는 아나로그 모듈의 12 Bit ADC와 호환성을 갖도록 하며 채널 선택은 소프트웨어로 제어할 수 있도록 하였다. 12 Bit DAC(DATEL 사의 DAC-HZ12BGC)는 출력전압 $\pm 10V$ Bipolar로 동작한다. 3-Ch 출력단은 각각 LF398 Sample & Holder

를 사용하여 600 Ω의 임피던스를 갖도록 하였다. 사진 1은 전체 시스템의 외관이다.

3. 실험 및 고찰

시험은 3-채널 아나로그 모듈, 모뎀 및 DAC 카드로 나눈어 성능평가를 수행 하였으며, 시스템의 최종 시험은 부정맥 시뮬레이터와 전문의에 의해 작성된 AIDT 및 Correlation에 의해 성능 시험을 하였다. 모뎀 시험은 상용의 공중 회선을 이용하여 전송 데이터 에러를 분석하였다.

그림 3은 조정된 ECG 증폭기의 증폭 특성을 각각 2.5V, 5V, 10V 크기로 보이고 있으며, 그림 4는 이 증폭기의 주파수 특성으로 (a)는 60Hz BF 기능이 없을 때이고, (b)는 60Hz BF 기능이 있을 때이다. 60Hz 부근에서 50dB 이상 감쇄가 있음을 나타내며, Nominal 3dB 대역폭은 0.05-100Hz 이다.

모뎀 카드는 DPSK 1200 Baud 및 FSK의 경우 75, 110, 150, 200, 300, 600 Baud로 순차적으로 2시간씩 수행하여 어려없이 정상 동작함을 확인하였으며 또한 동일 기종의 Bell 212A MODEM Repeater를 사용하여 원격지와와의 데이터 전송 시험(교내 구간)을 수행하였다. 그림 5 (a)는 전송전의 ECG 신호이고, (b)는 전송 후에 수신된 데이터이다.

DAC 카드는 채널 선택과 3 채널 출력포트로 나뉘어지며, 그림 6은 DAC의 조정 후의 출력 파형으로 0.0000V, 9.9951V 및 -10.0000V를 나타낸다.

4. 결론

ECG 신호의 실시간 전송 및 처리를 고려하여 설계된 각 모듈은 양호한 결과를 얻었다. 또한 본 시스템을 위한 전용모뎀 설계는 시스템 성능 향상과 저가적으로 실현 가능하였으며 Bell-212A 규격을 만족하였고, 모뎀 전송시의 에러율은 0.92R-5 bits(300 Baud 시)로 미국 심장 협회(AHA)가 제정한 허용 에러율인 2R-5 bits보다 적었다.

앞으로 전체적인 성능 입증을 위해 실험지역, 시간, Baud Rate 별로 추가 시험을 수행하여 평가할 예정이며, 계속해서 ECG 신호 분석 번수를 확장하고, 신호처리 소프트웨어를 도입하여 실시간

처리 시간을 줄이기 위해 하드웨어와 소프트웨어로 분담처리할 수 있는 시스템을 고려중에 있으며, 심전도의 정확한 해석과 다중 채널 처리를 위하여 전용처리 모듈도 추가할 계획중이다.

(병렬 또는 고속 직렬 Port 내장)

5. 참고문헌

1. W.J.Tompkins and J.G.Webster, "Design of Micro Computer Based Medical Instrumentation," Prentice-Hall Inc. 1981
2. Louis F. Dell'osso, "An Arrythmia-Anomalous Beat Monitoring System," IEEE Trans. on Biomed. Eng., Vol. BME-20, No.1, pp.43-50, Jan. 1973
3. Adriaan Ligtenberg and Murat Kunt, "A Robust -Digital QRS-Detection Algorithm for Arrythmia Monitoring," Comput. Biomed. Res.16, pp. 273-286, 1983
4. Vess V. Vilips, "Data MODEM Selection and Evaluation Guide," Artech House Inc. 1972
5. "Telecommunications Data Book," EXAR Co., Dec. 1985
6. "STD 7000 7804 Z80A Processor Counter/Timer Card User's Manual," Pro-log Co., 1981
7. 계신웅, 장원석, 홍승홍, "공중 전화 회선용 다중 채널 ECG 데이터 원격 측정 시스템의 설계," 의공학회지 제7권, 제1호, pp.21-34, 1986. 6

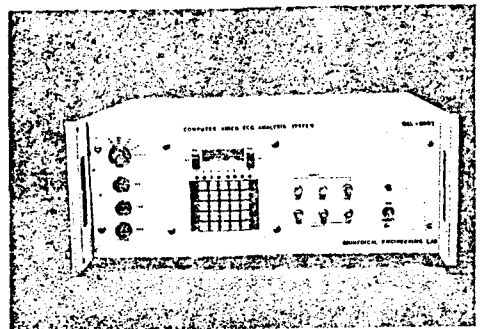


사진 1 시스템의 외형도

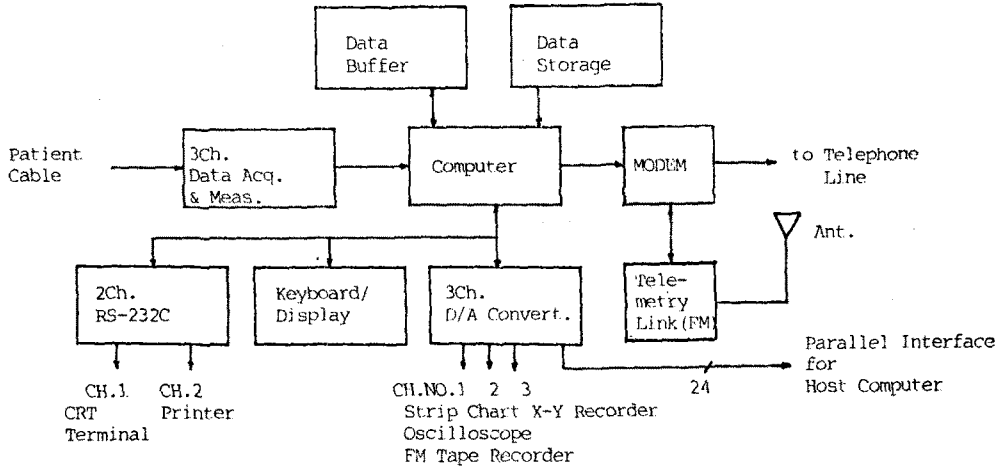


그림 1 하드웨어 시스템 구성도

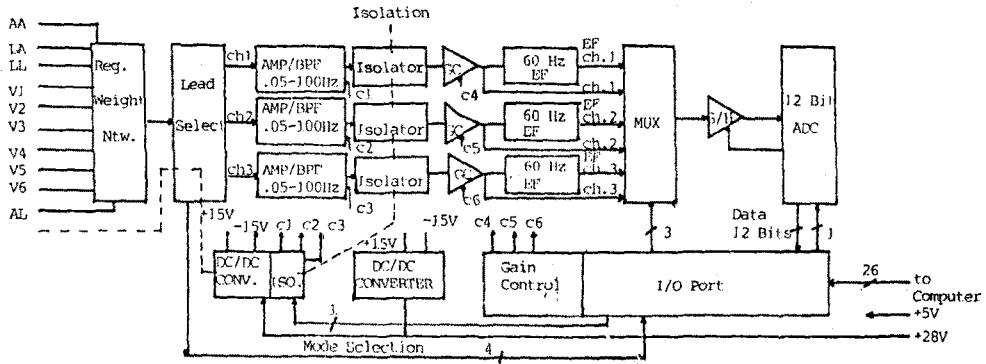


그림 2 3-채널 아나로그 모듈 구성도

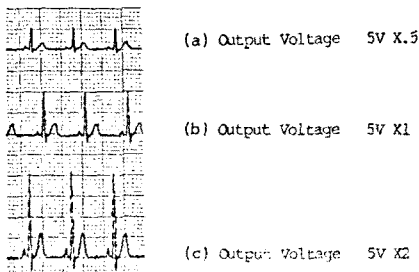


그림 3 3-CH ECG Amp.의 증폭 특성

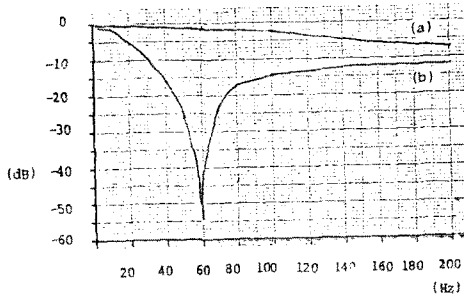


그림 4 3-CH ECG Amp.의 주파수 특성

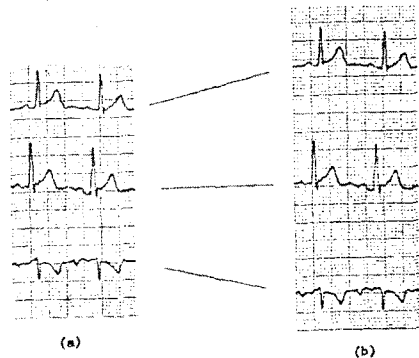


그림 5 데이터 전송 파형 (a)전송전 파형 (b)전송후 파형

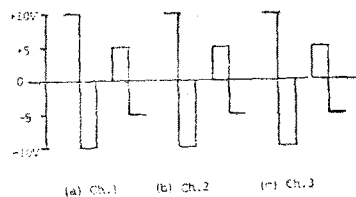


그림 6 DAC 출력 파형