

트랜스퓨터를 사용한 피라미드형 병렬 어레이 컴퓨터 (TPPAC) 구조

정 창성 , 정 철환

포항 공과 대학 전자계산 학과 고성능 컴퓨터 연구실

Transputer-based Pyramidal Parallel Array Computer  
(TPPAC) architecture ( Preliminary Version )

Chang-Sung Jeong , Chul-Hwan Jeong

High Performance Computer Lab., Dept. of Computer Science  
Pohang Institute of Science and Technology

\* ABSTRACT \*

This paper proposes and sketches out a new parallel architecture of transputer-based pyramidal parallel array computer ( TPPAC ) used to process computationally intensive problems for geometric processing applications such as computer vision , image processing etc. It explores how efficiently the pyramid computer architecture is designed using transputer chips, and poses a new interconnection scheme for TPPAC without using additional transputers.

1. 서 론

최근 10년 동안 컴퓨터 기술은 성능, 가격, 안정도 면에서 눈부신 발전을 거듭하여 왔다. 한가지 특기할 사실은 속도 면에서 megaflops 에서 gigaflops 까지 수행할 수 있는 super computer 의 개발 이라고 할 수 있다. 실제적으로 INMOS 사에서 개발된 transputer 와 같은 processing element(PE)를 개발 할 수 있는 VLSI 기술의 발달로 상용 super computer 의 개발이 가능하게 되었고, 이에따라 높은 병렬도 ( parallelism ) 를 수행 할 수 있는 병렬 컴퓨터 구조와 병렬 알고리즘 ( parallel algorithm ) 의 개발을 위해 전 세계적으로

수 많은 연구 기관과 대학에서 활발하게 연구가 진행 되고 있다 [ 1 , 2 , 3 ] .

높은 빈도의 계산을 요구하는 영상 처리 ( Image Processing ) 와 computer vision 등의 응용 분야에 적용되는 기하 문제 ( Geometric Problems ) 의 고속도 처리를 요구하는 효율적인 대규모 병렬 컴퓨터 ( Massively Parallel Computer ) 구조로는 이미 잘 알려진 mesh-connected computer ( MCC ) 와 이를 여러개의 계층 ( layer ) 으로 접속한 pyramid computer 등이 있으며 많은 연구자들이 여러 형태의 chip 구조를 제안하여 MCC 와 pyramid computer 를 실제로 개발 하였다. 본 논문에서는 INMOS 사에서 개발한 transputer 를 사용한 최초의 pyramid computer architecture 를 제안하고 이를 간단하게 설명 하려고 한다. ( 보다 자세한 내용은 Technical Report 를 참고하기 바람. [ 4 ] )

Transputer는 10 Mips 를 수행할 수 있는 고성능 multicomputer 로서 4 개의 channel 이 제공되어 동기화된 communication 을 수행할 수 있으므로, 여러개의 transputer 를 접속하여 병렬 컴퓨터 시스템을 효율적으로 설계할 수 있는 장점이 있다. Pyramid 구조는 그림 1 과 같이 계층 구조를 가지는 여러개의 프로세서들로 이루어져 있는데, 각 계층을 이루고 있는 PE 들은 mesh-connected 의 형태로 연결되어 있다.

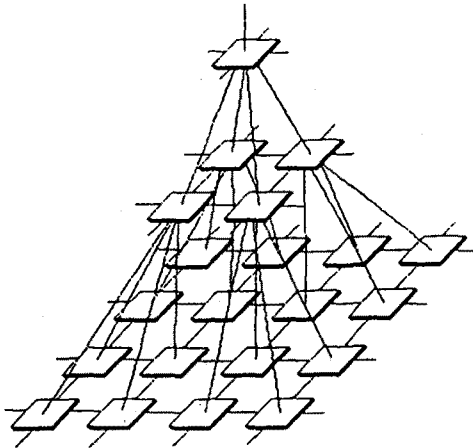


그림 1. Pyramid 구조

위 계층의 PE 는 바로 아래 계층의 PE 수의 1/4 로 이루어진 mesh-connected 의 형태를 이루고 있으며, 최 상위 계층과 최 하위 계층을 제외한 모든 계층의 한 PE 는 아래 계층의 4 개 PE 와 위 계층의 1 개 PE 와 상하로 연결되어 있다.

따라서, pyramid computer 에서는 각각의 PE는 9개의 PE와 연결되어 있으나, transputer 는 4 개의 channel 밖에 없으므로 실제적으로 transputer 를 pyramidal architecture 에 사용하기에는 부적합 하다고 할 수 있다.

이러한 문제점을 해결하기 위해 본 논문에서는 processing element 인 transputer 간의 새로운 interconnection scheme 을 사용한 TPPAC architecture 를 제안하고, 이 architecture 는 다른 chip 구조를 사용한 pyramid computer 보다 성능이 우수하다는 것을 보여준다. TPPAC 은 pyramid 의 고유한 형태인 quad tree 구조를 사용하므로써 기하 문제와 영상 처리를 효율적으로 수행할 수 있고, base-level 에서의 mesh-connected-computer 를 이용하여 영상 처리 또는 과학 계산등을 고속도로 처리 할 수 있는 장점이 있다.

이 논문의 구성은 다음과 같다:

2 절에서는 TPPAC 의 전반적인 구조를 설명하고

3 절과 4 절에서는 TPPAC 상에서 수행되는 기본 명령과 이를 사용한 응용 분야를 각각 제시한 후, 5 절에서 TPPAC 의 구조에 대한 장점 및 결론을 설명한다.

## 2. 구조

### 2.1 Transputer Chip 의 구조

INMOS 사의 transputer 는 T414 와 T800 등의 model이 있는데, T414 에 대하여 살펴보면 32-bit 의 CMOS microcomputer 로서 10 MIPS 의 processing power 를 제공하며 2K bytes 의 내부 memory 와 4G bytes 까지의 외부 memory 의 direct referencing 능력을 가지고 있다 [ 5 ]. 표 1 은 T414 의 기능을 요약한 것이다. Transputer 는 그림 2 와 같이 4 개의 link 를 가지고 있으며 각 link 는 input 과 output link 로 나누어져 있다.

Internal architecture	32-bit
Neighbour connections	1-bit
Memory extension port	32-bit
Internal Memory	2 kbytes
Internal Clock	20 MHz
Processor execution rate	10 MIPS
Serial link data rate	1.5 Mbytes/s
Memory port data rate	25 Mbytes/s
Boolean function time	50 ns
32-bit addition time	50 ns
32-bit multiply time	950 ns

표 1. T414 transputer 의 특성

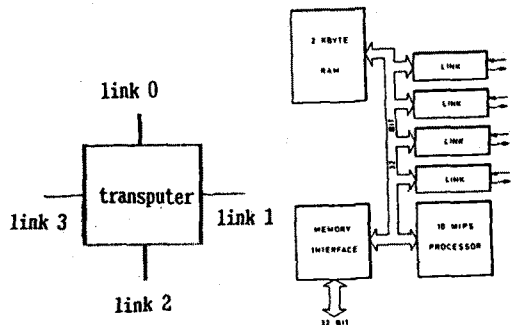


그림 2. Transputer 의 block diagram

### 2.2 TPPAC 구조

Transputer 를 이용하여 pyramid architecture

를 구현 하는데 한개의 transputer 당 가지는 4 개의 link 는 pyramid architecture 상에서 한 PE 가 가질수 있는 최대 link 숫자인 9 개에 비하여 매우 부족하므로 이를 해결하는 것이 주요 문제이다.

그런데 pyramid architecture 상에서 PE 간의 데이터 교환은 주어진 시간에 같은 계층 PE 간에 일어나거나, 위 아래 계층 PE 간에 일어난다. 즉, 어떠한 경우라도 동시에 같은 계층의 PE 들과 위,아래의 계층의 PE 들이 상호 작용을 하는 경우는 없다. 위 사실은 PE 간의 link 연결 문제를 해결하는데 매우 중요한 핵심이다.

TPPAC 에서는 한 PE 에 연결된 link 들을 같은 계층의 PE 들과 연결된 horizontal link 와 위 아래 계층의 PE 들과 연결된 vertical link 들로 나누고, 주어진 시간에 horizontal link 와 vertical link 중 하나를 선택하는 multiplexing 방법을 이용하여 PE 간의 data routing 을 한다.

그러나, vertical link 의 경우 5 개 (위 계층 PE 와 1 개, 아래 계층 PE 와 4 개) 가 존재하므로 아직도 4 개의 link 만을 이용할 수 있는 transputer 를 사용하는데 문제점이 존재한다.

- horizontal enable
- ▲ vertical enable

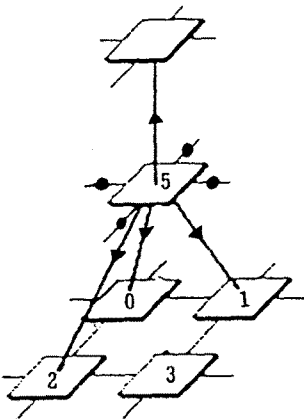


그림 3. TPPAC 의 구조

TPPAC 에서는 그림 3 와 같이 각 PE(5번) 는 아래 계층의 4 개 PE 중 3 개의 PE 와 연결되고 연결되지 않은 PE(3번) 는 이웃PE(2번) 를 통하여 root PE(5번) 와 data를 교환 한다. 이렇게 하면

3번 transputer 의 경우 2 번의 link 전송이 필요 하게 되지만 이는  $O(1)$ time 이므로 전체적인 time complexity의 관점에서 보게되면 다른 pyramid architecture 와 같은 time complexity 를 가진다.

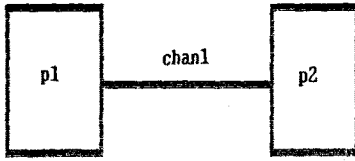
그림 3 와 같이 각 transputer 들은 pyramid architecture 의 형태로 배열되어 있으며 각 계층의 transputer 들은 mesh-connected 의 형태로 서로 연결되어 있다. 각 transputer 들은 horizontal link 와 vertical link 를 통하여 같은 계층 또는 위 아래 계층과 각각 연결 되어 있으며, 각 link 에는 switch element 가 있어서 data 의 routing 방향을 결정한다. 따라서 TPPAC 에서는 horizontal link 와 vertical link 를 선택하기 위해서 switching element 에 적용 되는 두개의 control signal 이 필요하다.

Control signal 에 따른 동작을 살펴보면 다음과 같다.

Control signal	Action
VE = 1	Vertical link 의 enable .
HE = 1	Horizontal link 의 enable.

### 3. 기본 명령

Transputer 를 이용하여 구성한 system 에서 사용하기 위하여 제안된 언어로 OCCAM 이 있다. OCCAM 프로그램 상의 프로세스들은 transputer processor 에 할당하여 여러개의 process 들 동시에 실행을 시킬 수 있다. OCCAM 의 process 는 크게 한개의 statement 로 된 primitive process 와 여러개의 primitive process 들이 합하여 이루어진 combined process 로 나누어 지고, primitive process는 다시 arithmetic / logic operation과 input/output data exchange operation 으로 나누어 진다 [ 6 ]. OCCAM 에서의 두 개의 process 간의 data communication 은 synchronized one way point-to-point hardware link 를 통해 다음과 같이 이루어 진다.



```

chan1 ! x /* process p1 outputs x to chan1 */
chan1 ? y /* process p2 inputs the value
           of chan1 to y */
  
```

TPPAC에서의 data communication은 HE, VE의 control signal을 통하여 vertical link와 horizontal link들 중에 하나가 multiplex되므로 위의 첫 번째 명령은 input, output 명령은 다음과 같이 변경된다.

```

chan1 ! x (HE = 1)
chan1 ? x (VE = 1)
  
```

즉, 첫 번째 statement는 HE = 1 일 때 두 번째 statement는 VE = 1 일 때 각각 Multiplex된 horizontal 또는 vertical link를 통하여 수행된다.

#### 4. 응용 분야

TPPAC의 pyramid 구조는 quad tree의 data structure이기 때문에 계산기하 (Computational Geometry)에 대한 효율적인 병렬 알고리즘의 설계가 용이하고 또한 각 계층에서 multiple resolution을 갖는 영상을 저장할 수 있으므로 영상 분석 (image analysis), pattern classification에 관련된 다음과 같은 분야에 많이 응용이 된다.

- Image Processing
- Pattern recognition
- Computer Vision

즉, pyramid의 topology를 이용한 PE간의 communication과 각 계층에서 여러가지 다른 resolution의 image가 동시에 처리될 수 있는 TPPAC은 image processing을 위한 special purpose parallel computer로서 매우 적합하다고 할 수 있다.

#### 5. 결 론

TPPAC은 매우 성능이 우수한 transputer를 기본 processing element로 사용하여 만든 SIMD형 array computer이다. 이는 많은 양의 정보에 대한 데이터 병렬화를 실현시킬 수 있는 대규모 병렬 컴퓨터로서, 높은 빈도의 계산을 요구하는 화상 처리, computer vision 등에 효율적으로 응용이 될 수 있다 [7]. 또한 각 transputer는 독립된 프로그램을 수행할 수 있으므로 TPPAC은 MSIMD형 mode로 사용될 수 있고, 여러개의 똑같은 구조의 TPPAC으로 분할될 수 있는 flexibility를 제공하고 있다. 현재 TPPAC은 실제로 TDS (transputer development system)에서의 occam development system 하에서 3 level 21개의 transputer node로 구현이 되어 있다.

( Technical Report 참조 )

\*\*\* 끝으로 이 연구에 fund를 제공한 포항공대와 한국 과학 재단에 감사한다.

#### [ 참고 문헌 ]

- [1.] C.S. Jeong, and D.T. Lee, " Parallel Geometric algorithms on a Mesh-connected-computer ", to appear in Journal of algorithmica.
- [2.] C.S. Jeong, and D.T. Lee, " Parallel Convex hulls in 2 and 3 dimensions " In the proceeding of International conference on parallel processing for computer vision and display, U. K.
- [3.] L.P. Kartashev and Dr. Steven I. Kartashev " Second international conference on super-computing. ", Volume I, II, III, 1987, International Supercomputing Institute.
- [4.] C.S. Jeong, and C.H. Jeong, " Technical Report : CS-HC-88-03 ", Dept. of Computer Science, POSTECH. 1988
- [5.] INMOS Ltd, "product overview: IMS T414 transputer "
- [6.] Dick Pountain, " A tutorial introduction to OCCAM programming ", INMOS.
- [7.] N. Ahuja, and S. Swamy, " Multiprocessor Pyramid Architectures for Bottom-Up Image Analysis ", Coordinated Science Laboratory, Univ. of Illinois.