

고밀도 PLA 설계를 위한 겹침 알고리즘

○선선구*, 김윤홍*, 홍인식*, 정준모*, 이재민**, 임인철*

*한양대학교, **관동대학교

A folding algorithm
for design of high density PLA's

S.K.SUN*, Y.H.KIM*, I.S.HONG*, J.M.JUNG*, J.M.LEE**, I.C.LIM*

*Hanyang University, **Kwandong University

ABSTRACT

In this paper, a new folding algorithm for design of high density PLA's is proposed.

This algorithm generates transform matrix so that programmed region of each row becomes narrow. Based on transform matrix, folding pair is selected. In the process of generating transform matrix, interval degree and dense degree are used to improve folding ratio.

This paper also proposes an efficient folding pair graph which has short time of selection folding pair.

This Proposed algorithm is named PLAFOLII and implemented in C language on VAX-11/750(UNIX) computer.

Through various example, efficiency of this algorithm is verified.

I. 서론

VLSI 기술이 발전함에 따라 설계 및 테스트가 용이하고 규칙구조를 갖는 배열논리(array logic)를 이용한 설계 방법이 널리 이용되고 있다. 특히 PLA(Programmable Logic Array)는 구조가 간단하고 규칙적이므로 설계와 변경 그리고 테스트가 용이하여 논리회로 설계에 매우 효과적인 수단으로서 그 사용이 점차 확대되어 가고 있다. 그러나 다출력 논리 함수를 PLA에 의해 바로 실현할 경우 불규칙 논리에 비해 10~20%의 칩 면적의 증가와 이로인한 동작속도의 감소를 가져온다.

따라서 배열논리를 이용한 설계 방식에서는 칩 면적을 최소화하는 과정이 매우 중요시되며 이러한 문제를 해결하기 위한 가장 직접적인 방법으로서 PLA겹침(folding) 방법이 사용되고 있다.

PLA겹침 방법은 Wood[5]에 의해 최초로 제안 되었으며 Liu[3], De Micheli[2], Newton[8] 등에 의해 더욱 발전 되었고 현재에도 많은 연구가 진행되고 있다.[4,6,8]

종래의 PLA 겹침 방법들은 겹침쌍을 선정할때마다 직렬선의 순서를 재배열 하므로써 계산 과정이 복잡하였고 이로인해 겹침쌍 선정 시간도 증가하였다.

본 논문에서는 PLA의 프로그램된 부분이 최대로 밀집되도록 직렬선의 순서를 재배열한 다음 겹침쌍을 선정하므로써 겹침쌍 선정시간을 감소시킨다. 정입력선과 보수입력선을 동일한 입력선으로 취급하였던 종래의 방법과는 달리 정입력선과 보수입력선을 각각 구별하여 취급하므로써 겹침쌍을 향상시킬 수 있는 새로운 알고리즘을 제안하여 이를 다중 겹침으로 확장한다. 또한 AND 평면에 프로그램된 교점(cross point)에 대해서 가중치를 2로 하고 OR 평면에 프로그램된 교점에 대해서는 가중치를 1로하여 변환 행렬을 생성 하므로써 겹침쌍을 향상시키고 있다.

제안한 알고리즘을 VAX-11/750(UNIX) 컴퓨터에서 C언어로 프로그램하여 PLAFOLII라 하고 종래의 BFS 알고리즘[4]과 예제를 통해 비교하며 실제 PLA인 직렬 산기 회로 및 다양한 예제에 제안한 알고리즘을 적용함으로써 그효율성을 확인한다.

II. 정의 및 겹침의 종류

II-1. 기본 정의

제안한 알고리즘을 기술하는데 사용되는 중요한 용어들을 다음과 같이 정의한다.

(정의 1)

구간(interval) : 특성행렬의 행에서 가장 왼쪽에 있는 1(0)의 위치를 A_i , 가장 오른쪽에 있는 1(0)의 위치를 B_i 라고 할때 행 R_i 의 구간은 $I_i = [A_i, B_i]$ 로 정의 된다.

(정의 2)

구간 분리(interval disjoint) : 2개의 행 R_i 와 R_j 의 구간 I_i 와 I_j 가 겹치지 않을때 행 R_i 와 R_j 는 서로 구간 분리 되었다고 한다.

즉, 행 R_i 와 R_j 가 구간 분리 되었으면 $I_i \cap I_j = \emptyset$ 이다.

(정의 3)

좌우 인접도 : 어떤 열에서 그 열에 프로그램된 행의 프로그램된 갯수를 R_a 라고 할때 그 열에 대한 좌우 인접도는 각행에 대한 R_a 의 합을 말한다.

(정의 4)

구간도(interval degree) : 각 행에 대한 구간 I_i 의 합을 말하고 I_d 로 정의 한다.

즉, $I_d = \sum_{i=1}^n I_i$ (n은 행의 수)

(정의 5)

밀집도(dense degree) : 행 R_i 의 구간 내에 프로그램되지 않은 부분의 수를 f_i 라고 할때 밀집도 d_r 는 각 행에 대한 f_i 의 합을 말한다.

$$\text{즉, } d_r = \sum_{i=1}^n f_i \quad (n \text{은 행의 수})$$

II-2. 단순 겹침

한개의 물리적인 열[행]을 겹침하는 방법을 말하며 그림 1은 단순 행 겹침(simple row folding) 방법을 나타낸다.

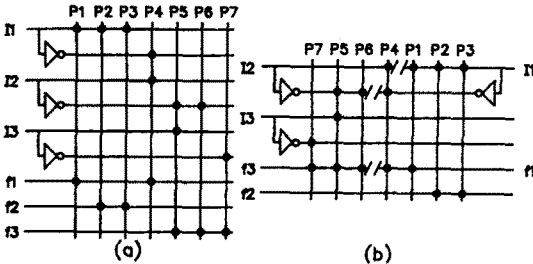


그림 1. 단순 행 겹침

- (a) 겹침하지 않은 기본 PLA
- (b) (a)에 대한 단순 행 겹침

II-3. 다중 겹침

다중 겹침이란 한개의 물리적인 열[행]에 두개 이상의 열[행]을 겹침하는 방법을 말한다.

다중 겹침을 실현하기 위해서는 다중 layer를 이용한 설계 방식을 채택해야 한다. 제한한 알고리즘을 적용하여 다중 겹침한 PLA를 설계하기 위해서는 다음과 같은 두개의 아키텍처가 사용될 수 있고 이것들은 NMOS와 COMS 기술로 설계할 수 있다. 두개의 아키텍처는 모두 입력선과 출력선의 전체수가 각각 적항선의 수보다 많지 않아야 하고 대부분의 PLA들은 이러한 가정을 만족시킨다.

(아키텍처 1)

이것은 2층의 metal(poly)과 1층의 poly(metal) 그리고 diffusion으로 이루어지며 AND평면에서 행은 입력선으로 입력 신호가 수평으로 전달되고 열은 적항선을 나타낸다. 입출력선은 적항선을 따라 외부회로와 연결되고 이때 입출력선은 2층의 metal(poly)이며 1층의 레벨과 2층의 레벨이 만나는 곳에는 contact을 만들어 연결시킨다.

그림 2는 그림 1의(a)의 기본 PLA를 아키텍처 1을 이용하여 다중 겹침한 경우를 나타낸다.

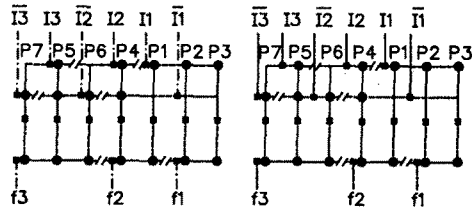
(아키텍처 2)

1층의 metal, poly, diffusion으로 이루어진다. 입출력선이 적항선과 동일한 레벨로 두개의 적항선 사이로 연결되므로 이것은 아키텍처 1보다 실현이 용이하지만 다중 겹침 PLA에 사용된 면적은 아키텍처 1보다 더 크다.

그림 3은 아키텍처 2를 이용하여 그림 1의 (a)에 대한 기본 PLA를 다중 겹침한 경우를 나타내고 있다.

III. 단순 겹침 알고리즘

변환 행렬 생성 알고리즘을 이용하여 겹침쌍이 최대가 될 수 있도록 특성행렬의 열의 순서를 재배열하여 변환행



- ; metal, ---; poly,
- ; metal 2,
- ; active device, //; cut,
- ; contact

그림 2. 아키텍처 1을 이용한 다중 겹침

그림 3. 아키텍처 2를 이용한 다중 겹침

렬을 생성하고 겹침쌍 선정 알고리즘을 이용하여 순서화된 겹침쌍을 만드는 두개의 알고리즘으로 이루어진다.

III-1. 변환 행렬 생성 알고리즘

PLA에서는 정입력선과 보수입력선 중에서 동시에 두 입력선이 프로그램된 경우는 발생하지 않으며 대부분 입력선이 겹침쌍을 이룰때는 정입력선과 보수 입력선이 모두 겹침된다. 따라서 특성 행렬에서 AND평면에 프로그램된 교점에 대해 가중치를 2로 하고 OR 평면에 프로그램된 교점에 대해서는 가중치를 1로 하여 변환행렬을 생성하면 겹침쌍을 항상 시킬 수 있다. 또한 구간도 I_d 와 밀집도 d_r 의 증가가 적어지도록 적항선을 배열하면 어떤 행 R_i 와 다른 행 R_j 를 겹침할때 R_i 의 구간이 좁아짐으로써 R_i 와 겹침될 수 있는 행 R_j 가 많아져서 겹침쌍이 향상된다. 변환 행렬 생성 알고리즘은 다음과 같다. [변환 행렬 생성 알고리즘]

- 단계 1) 특성행렬에서 프로그램이 가장 많은 열을 선정해 기준열로 배치한다.
- 단계 2) 단계 1)에서 구한 열과 인접도가 가장 큰 열을 선정해 기준열의 오른쪽에 배치한다.
- 단계 3) 동일 조건이 발생하면 좌우 인접도가 큰 열을 선정해 기준열의 오른쪽에 배치한다.
- 단계 4) 단계 1)로부터 단계 4)에서 배치된 열들과 인접도가 가장 큰 열을 선정한다.
- 단계 5) 단계 4)에서 선정된 열이 두개 이상일 경우는 구간도 I_d 를 구하여 구간도 I_d 의 증가가 최소가 되는 열을 왼쪽 또는 오른쪽에 선정 배치한다.
- 단계 6) 단계 4)에서 선정된 열이 한개일 경우는 밀집도 d_r 의 증가가 최소가 되도록 왼쪽 또는 오른쪽에 선정 배치한다.
- 단계 7) 고려하는 모든 열이 배치될때 까지 단계 4)부터 단계 6)의 과정을 반복한다.

III-2. 겹침쌍 선정 알고리즘

종래의 입출력 겹침쌍 선정 방법은 분리(disjoint)의 개념을 이용한 겹침쌍 선정 그래프를 만들어 겹침쌍을 선정하였으나 제한한 알고리즘에서는 구간 분리의 개념을 사용하여 겹침쌍 선정을 간단히 하고 효율적으로 할 수 있는 방법을 제시한다. 변환행렬을 생성한후에는 열의 순서가 고정되므로 두 열이 분리되어 있어도 구간 분리 되지 않으면 겹침쌍을 이룰 수 없다.

또한 주변회로와의 연결관계를 고려하여 입출력 위치에 대한 수평 제한조건을 사용해 검침쌍을 선정하고 있다.

III-2. 검침쌍 그래프

[입력 검침쌍 그래프]

입력 검침쌍 그래프 $G=(V, E)$ 는 변환된 PLA의 입력을 나타내는 정점 V 와 다음과 같이 정의 되는 가지 E 를 갖는 무향 그래프이다.

(a) 두 행 R_i 와 R_j 의 정입력선과 보수입력선이 모두 서로 구간 분리되어 있고 정입력선과 보수입력선의 구간이 순환(cyclic)이 일어나지 않은 경우는 정점 R_i 와 R_j 를 무향 가지로 연결한다.

(b) 행 R_i 의 정입력선과 행 R_j 의 보수 입력선이 각각 구간 분리되어 있고 순환이 일어나지 않을경우 정점 R_i 와 R_j 를 무향가지로 연결한다.

[출력 검침쌍 그래프]

출력 검침쌍 그래프 $G=(V, E)$ 에서 정점 V 는 PLA의 출력을 나타내고 가지 E 는 두 출력이 구간 분리된 경우에만 무향가지로 연결 한다.

그림 4의 (b)는 (a)의 특성 행렬을 갖는 PLA에 대한 입출력 검침쌍 그래프를 나타낸다.

III-2-2. 검침쌍 선정 알고리즘

[입력 검침쌍 선정 알고리즘]

단계 1) 변환행렬을 보고 입력 검침쌍 그래프를 생성한다.

단계 2) 그래프에서 vertex degree가 최소인 정점을 선정한다. 동일 조건이 발생하면 임의로 선정한다.

단계 3) 선정된 정점과 검침쌍이될 수 있는것중에서 vertex degree가 최소인 정점을 선정한다.

단계 4) 검침쌍으로 부터 순서화된 검침쌍을 생성한다.

단계 5) 순서화된 검침쌍을 이루는것 중에서 수평 제한조건을 위반한 정점은 검침쌍을 만들지 않고 제외시킨다.

단계 6) 검침쌍으로 선정된 정점을 그래프로부터 제외 시킨다.

단계 7) 모든 검침쌍이 찾아질때까지 단계 2) 부터 단계 6)을 반복한다.

단계 8) 검침이 되지않은 입력 변수가 둘이상 존재하면 정입력선과 보수입력선 중에서 각각 한선만이라도 검침한다.

[출력 검침쌍 선정 알고리즘]

입력 검침쌍 선정 알고리즘의 단계 1) 에서 단계 7)을 반복 한다.

IV. 다중 검침 알고리즘

단순 검침 알고리즘을 확장한것으로 종래의 다중 검침 알고리즘들은 입출력선이 여러 방향으로 인가되어 설계 과정에서 입출력선의 연결로 인한 면적 축소효율의 감소를 나타내는 문제점을 갖고있다. 그러나 제안한 알고리즘에서는 종래의 방법과는 달리 그림 2, 그림 3의 아키텍처들을 이용하여 입력선과 출력선이 각각 한 방향으로만 인가되도록 하였다. 단순 검침의 경우와 같이 변환 행렬을 생성한 후에 입출력선 할당 알고리즘을 적용하여 입출력선을 할당하고 다중 검침쌍 선정 알고리즘을 이용해 검침쌍을 선정한다.

[입출력선 할당 알고리즘]

단계 1) 변환 행렬에서 가장 왼쪽에 프로그램된 입력선에 그 입력선의 구간에 포함되는 제일 왼쪽에 있는 직항선을 따라 입력선을 할당 한다.

단계 2) 단계 1) 에서 할당한 입력선에 보수 입력선이 존재하면 바로 다음 직항선을 따라 할당한다.

단계 3) 다음 직항선을 선택하여 그 직항선이 어떤 입력의 구간에 존재하면 아직 할당되지 않은 입력선을 할당한다.

단계 4) 단계 2) 를 반복한다.

단계 5) 모든 입력선에 대해 단계 3), 단계 4)를 반복한다.

단계 6) 변환 행렬의 출력 부분에 대해 모든 출력이 고려될때 까지 단계 1), 단계 3)을 반복한다.

[다중 검침쌍 선정 알고리즘]

단계 1) 입출력선이 할당된 변환 행렬에서 입출력 검침쌍 그래프를 생성한다.

단계 2) 그래프에서 vertex degree가 최대인 정점을 선정한다.

단계 3) 선정된 정점과 검침쌍이 될 수 있는것 중에서 vertex degree가 최대인 정점을 선정한다.

단계 4) 단계 2) 및 단계 3) 과 검침쌍이 될 수 있는것중에서 vertex degree가 최대인 정점을 선정한다.

단계 5) 선정된 정점들과 검침쌍이 될 수 있는것이 더이상 존재하지 않을때까지 위의 과정을 반복한다.

단계 6) 선정된 정점을 그래프로부터 제외 시키고 순서화된 검침쌍을 만든다.

단계 7) 위의 단계 2) 부터 단계 6)을 모든 검침쌍이 찾아질때까지 반복한다.

단계 8) 출력 검침쌍의 선정은 출력에 대해 단계 1) 부터 단계 7)을 반복한다.

V. 알고리즘 실현 및 적용 예

제안한 단순 검침 알고리즘과 다중 검침 알고리즘을 VAX-11/750 (UNIX) 컴퓨터에서 C언어로 프로그래밍하여 PLAFOLII라 명명하였고 그 효율성을 확인하기 위해 그림 4의(a)와 같은 특성 행렬을 갖는 기본 PLA를 종래의 BFS 알고리즘[4]과 제안한 알고리즘으로 단순 검침하여 비교하면 그림 4의 (c), (d)와 같다. 그림 4에서 알 수 있는 바와 같이 BFS 알고리즘으로는 검침률이 27.8%이지만 PLAFOLII를 이용하여 검침하면 검침률이 46.6%이다. 따라서 제안한 알고리즘이 보다 효율적임을 알 수 있다.

표 1은 여러가지 예제에 대해 PLAFOLII를 이용하여 검침한 결과를 나타낸다. 표 1의 PLA1은 실제 PLA인 직렬 가산기로서 단순 검침한 결과 검침률이 40.4%이고 다중 검침의 경우에는 69.9%이었다.

여러가지 예제를 통해서 볼때 제안한 알고리즘이 종래의 방법보다 효율적이고 또한 실제 PLA에 적용될 수 있음을 알 수 있다.

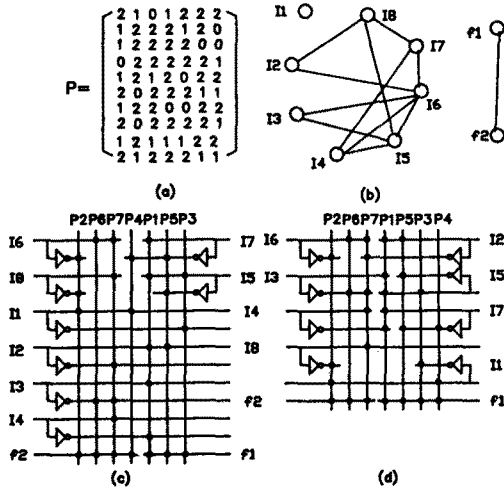


그림 4. 제안된 알고리즘과 BFS 알고리즘의 비교

- (a) 기본 PLA의 특성 행렬
- (b) 입출력 접침쌍 그래프
- (c) BFS 알고리즘을 이용한 접침
- (d) 제안한 알고리즘을 이용한 접침

PLA	example				folding ratio (%)	
	Ni	No	Np	Ur(%)	simple	multiple
PLA1	18	15	32	8.1	40.0	69.9
PLA2	7	4	14	14.7	31.3	43.8
PLA3	10	20	22	14.5	50.0	70.1
PLA4	8	7	16	13.0	47.8	56.5

Ni ; 입력선 수
 No ; 출력선 수
 Np ; 적향선 수
 Ur ; 프로그램 률

표 1. 알고리즘 적용 예

V. 결론

본 논문에서는 구간도와 밀집도를 이용하여 PLA의 프로그램된 부분이 최대로 밀집되도록 열을 재배열하여 변환 행렬을 생성한 후에 접침쌍을 선정하는 새로운 단순 접침 알고리즘과 이를 확장하여 다중 접침 알고리즘을 제안하였다. 변환 행렬 생성 과정에서 AND 평면에 프로그램된 교점에 대해 가중치를 2로 하고 OR 평면에 대해서는 가중치를 1로 하여 인접도를 계산하고 인접도가 동일한 조건이 발생했을때 구간도와 밀집도를 계산하여 적향선을 재배열하므로써 접침률을 향상시켰다.

단순 접침 알고리즘에서는 주변 회로와의 연결관계를 고려한 입출력 위치에 대한 제한조건을 줌으로써 실제 PLA에 적용될 수 있게 하였다. 또한 다중 접침을 위하여 두개의 아키텍처를 이용하고 입출력선이 사방으로 인가되었던 종래의 다중 접침 방법과는 달리 입출력선을 각각 한 방향으로만 인가하여 설계 과정에서 입출력선에 의한 침면적의 손실을 최소화하고 있다.

제안한 알고리즘들을 VAX-11/750 (UNIX) 컴퓨터에서 C 언어로 프로그래밍하여 PLAFOLII라 명명하였고 종래의 알고리즘과 제안된 알고리즘을 동일한 예제에 적용하여 접침률을 비교하였으며 다양한 예제에 적용해 봄으로써 그 효

용성을 확인하였다.

앞으로의 과제는 제안한 알고리즘을 확장하여 배열 논리를 이용한 설계의 침면적 최소화에 이용하는 것이다.

참고 문헌

- [1] David C. Yeh and Timothy N. Trick, "Suboptimal and optimal algorithm for PLA folding," IEEE Proc of ISCAS pp. 1467-1470, 1985.
- [2] G. De Micheli and A. Sangiovanni-vincentelli "Multiple constrained folding of Programmable Logic Arrays: Theory and application," IEEE Trans. CAD, Vol. CAD-2, No.3, July 1983.
- [3] J.R. Egan and C.L.Liu, "Bipartite Folding and Partitioning of a PLA," IEEE trans. on CAD, Vol. CAD-3, No. 3, July 1984.
- [4] Sun Young Hwang, R.W. Dutton, and T. blank, "A best-first search algorithm for optimal PLA folding," IEEE Trans. on CAD Vol. CAD-S, No. 3, July 1986.
- [5] R.A. Wood, "A high density programmable logic array chip," IEEE Trans. on CAD Vol. C-28, pp.602-609, sep.1979.
- [6] Q. Yu, W. Wing, "Interval-graph-based PLA folding" IEEE Proc. of ISCAS, pp. 1463-1466, 1985.
- [7] W.N. Carr and J.P.Mize, "MOS/LSI Design and Application," McGraw-hill, New York, 1972.
- [8] SRINIVAS DEVADAS, R.A. Newton "Topological Optimization of Multiple-Level Array Logic," IEEE Trans. CAD. Vol. C-6, november 1987.
- [9] 이재민, "고밀도 Programmable Logic Array의 설계방식에 관한 연구," 한양대학교, 박사학위논문.
- [10] 신용철, "배열논리설계를 위한 소프트웨어 도구개발에 관한 연구," 한양대학교, 석사학위논문.
- [11] 선선구, 한석봉, 이재민, 임인침, "고밀도 PLA 설계를 위한 단순접침 알고리즘," 대한전자공학회 추계종합 학술대회 논문집, pp.801-804, 1987년 11월.