

새로운 리플 아나로그-디지털 변환기

정 원섭

청주대학교 반도체공학과

A New Ripple Analog - to - Digital Converter

Won-sup Chung

Dept. of Semiconductor Eng. Chongju Univ.

Abstract

A new ripple analog-to-digital converter(ADC) has been developed. It consists of two parallel ADCs and a switching network. The circuit operates on the input signal in two serial steps. First a coarse conversion is made to determine the most significant bits by the first parallel ADC. The results control a switching network to connect the series resistor segment, the analog signal is contained within, to the second parallel ADC. At second step, a fine conversion is made to determine the least signification bits by the second parallel ADC. The circuit requires $2(2^{\frac{N}{2}})$ comparators, $2(2^{\frac{N}{2}})$ resistors, and $2(2^{\frac{N}{2}})$ switches for N-bit resolution.

I. 서론

고속 아나로그-디지털 변환기(ADC)는 비디오 그리고 많은 디지털 신호 처리 시스템에 있어서 시스템의 성능을 결정짓는 중요한 회로이다. 각종 원리의 ADC 가운데 변환 속도가 제일 빠른것은 병렬형(fully parallel) ADC 이다. 이 ADC 는 하나의 클럭 사이클 동안에 아나로그 입력 신호를 완전히 디지털 신호로 변환시킨다. 그러나 이 ADC 는 많은 비교기(comparator)와 저항기를 필요로 하는 결점을 갖는다. 예를 들면, N비트(bit) 분해능의 ADC 를 구성할 경우 $2^N - 1$ 개의 비교기와 2^N 개의 저항기가 필요하다[1].

직-병렬(series-parallel) ADC 는 변환 속도가 병렬형 ADC 보다 2 배 느리지만, 필요로 하는 비교기와 저항기의 수는 각각 $2(2^{\frac{N}{2}} - 1)$ 과 $2(2^{\frac{N}{2}})$ 으로, 병렬형 ADC 의 경우보다 훨씬 적다. 따라서, 직-병렬형 모노리딕 ADC 는 병렬형 ADC 보다 값싸고, 전력 소비가 적은 특징을 갖는다. 그러나, 이 ADC 도 여전히 많은 비교기와

저항기를 필요로 하기 때문에, 8-비트 이상의 분해능의 ADC 는 사실상 모노리딕 IC화 하는데 문제점이 많다[2]. 이러한 문제점을 해결하기 위해, 필자들은 비교기와 저항기가 직-병렬 ADC 보다 각각 반으로 줄어드는 새로운 순환-병렬형 ADC 를 제안했다[3],[4]. 그러나, 이 ADC 도 통상의 직-병렬 ADC와 마찬가지로 고정도(high accuracy)의 아나로그 감산기와 디지털-아나로그 변환기(DAC)를 필요로 하는 문제점을 안고 있다.

리플(ripple) ADC 는 직-병렬 ADC 의 일종이나 감산기나 DAC 를 필요로 하지 않기 때문에, IC화 하는데 매우 적합한 회로 방식으로 주목을 받고 있다[5]-[9]. 이 방식으로 N-비트의 분해능을 얻으려면 $2(2^{\frac{N}{2}} - 1)$ 개의 비교기와 2^N 개의 저항기 그리고 2^N 개의 스위치가 소요된다. 본 연구에서는 N-비트의 분해능을 $2(2^{\frac{N}{2}} - 1)$ 개의 비교기와 $2(2^{\frac{N}{2}})$ 개의 저항기 그리고 $2(2^{\frac{N}{2}})$ 개의 스위치로 실현할 수 있는 새로운 ripple ADC의 구성원리를 제안한다. 제안한 구성 원리에 의거해 설계된 새가지 유형의 ADC 회로를 제시하고, 각각 회로의 성능과 장, 단점에 대해 기술한다.

II. 회로 구성 및 동작

그림 1에 N-비트의 새로운 리플 ADC 의 블럭도를 나타냈다. 전체 블럭은 아날로그 입력 전압 V_{in} 을 상위 N/2-비트로 변환시키는 상위 비트 블럭과 하위 N/2-비트로 변환시키는 하위 비트 블럭, 그리고 상위 비트 블럭과 하위 비트 블럭을 연결시키는 스위치 블럭으로 구성된다. 상위 비트 블럭과 하위 비트 블럭은 각각 $2^{\frac{N}{2}} - 1$ 개의 비교기와 $2^{\frac{N}{2}}$ 개의 저항기로 형성되고 스위치 블럭은 $2(2^{\frac{N}{2}})$ 개의 스위치로 형성된다.

회로는 2개의 클럭 사이클 동안에 아나로그 입력을 디지털 출력으로 변환시킨다. 첫번째 클럭 사이클 동안에, 아나로그 입력 전압 V_{in} 은, 기준

(* 본 연구는 88년도 상반기 한국과학재단 연구비 지원에 의하여 수행된 연구임)

전압 V_r 과 $2^{\frac{N}{2}}$ 개의 저항기에 의해 분할된 전압들과 비교되어, $N/2$ 개의 상위 비트로 변환된다. 이 상위 비트의 결과에 따라 스위치 제어 논리 회로는 $2(2^{\frac{N}{2}})$ 개의 스위치를 'on' 또는 'off' 시켜, 입력 전압에 가장 가까운 전압 구간을 하위 비트를 위한 저항기 열(resistor string)에 연결시킨다. 다음의 두번째 클럭 사이클 동안에, 이 전압 구간은 다시 $2^{\frac{N}{2}}$ 개의 저항기에 의해 분할되고, 분할된 전압과 입력 전압이 비교되어 $N/2$ 개의 하위 비트를 출력시킨다. 따라서, 입력 전압은 결과적으로 상위 $N/2$ -비트와 하위 $N/2$ -비트 즉, N -비트의 디지털 출력으로 변환된다. 그림1의 구성 원리에 의거해 새가지 유형의 ADC를 설계했다. 이하에서 이 회로들에 대해서 자세히 기술한다.

그림 2(a),(b), 그리고 (c)에 4-비트로 설계한 새가지 유형의 리플 ADC의 회로 구성을 각각 나타냈다. 그림 2(a)의 ADC 회로는 상위 2-비트를 위한 저항기 열(2^2 개의 저항기로 구성됨)과 $2^2 - 1$ 개의 비교기, 하위 2-비트를 위한 저항기 열(2^2 개의 저항기로 구성됨)과 $2^2 - 1$ 개의 비교기, 그리고 상위 비트 회로와 하위 비트 회로를 연결시켜주는 2×2^2 개의 스위치로 구성 되어있다. 입력 전압 V_{in} 은 상위 2-비트 저항기 열과 비교기에 의해서 기준 전압 V_r 과 비교된다. 비교기의 출력은 decoding되어 2-비트의 2진수로 변환된다. 따라서, 상위 2-비트의 2진출력 $D1$ 은 다음식으로 표시된다.

$$D1 = \frac{V_{in}}{V_r} = \frac{b1}{2^1} + \frac{b2}{2^2} \quad (1)$$

비교기의 출력은 다시 스위치 제어 논리 회로에 입력되어 스위치를 제어하는 신호를 발생시킨다. 이 제어 신호에 의해서 홀수와 짝수 스위치중 각각 하나씩만 on 되어, V_{in} 이 속해있는 분할된 V_r 전압구간을 하위 2-비트의 저항기 열에 가해준다. V_{in} 은 다시 하위 2-비트의 저항기 열과 비교기에 의해서 V_r 의 구간 전압과 비교된다. 비교기 출력은 decoding되어 2-비트의 2진수로 변환된다. 따라서, 하위 2-비트의 2진 출력 $D2$ 는 다음식으로 표시된다.

$$D2 = \frac{V_{in}}{V_r/2^2} = \frac{b3}{2^1} + \frac{b4}{2^2} \quad (2)$$

(1)식과 (2)식으로 부터 변환기의 입출력 관계를 구하면

$$D = D1 + D2 = \frac{V_{in}}{V_r} = \frac{b1}{2^1} + \frac{b2}{2^2} + \frac{b3}{2^3} + \frac{b4}{2^4} \quad (3)$$

또 $2 + 2 = 4$ -비트의 2진 출력을 얻는다.

그림2의 ADC 구성과 그림3의 ADC 구성은 원리적으로는 그림1의 ADC와 동일하나, 분해능과 변환 속도등에 다소 차이가 있다.

III. 실험결과

그림2(b)의 리플 ADC를 개별 부품을 사용하여 시험 제작 했다. op amp는 μA 741를 그리고 비교기는 LM 710을 사용했다. 아나로그 스위치는 MC4066을 사용했고, 모든 저항은 $2 K\Omega$ 으로 했다 V_r 을 2V로 고정시키고, 입력 전압 V_{in} 을 0V부터 2V까지 변화시키면서 측정된 디지털 출력을 그림3에 나타냈다. 그림에서 실선은 ADC의 이상적인 변환 특성이고, 점은 측정치이다. 실험 결과로 부터, 이론치와 실험치가 잘 일치함을 알 수 있다.

IV. 결론

새로운 리플 ADC에 대해 기술하고, 그 동작 원리를 실험을 통해 확인했다. 아나로그 입력 신호는 2개의 클럭 사이클 동안에 디지털 출력으로 변환된다. 제안한 ADC도 N -비트의 AD변환을 수행하는데 요구되는 비교기의 수는 $2(2^{\frac{N}{2}} - 1)$ 개이고, 저항기와 스위치의 수는 각각 $2(2^{\frac{N}{2}})$ 개이다. 회로 구성에 소요되는 저항기와 스위치의 수가 종래의 리플 ADC보다 훨씬 적으므로, 제안한 ADC는 고속, 고정도의 ADC로서 많은 분야에 응용될 것이다

참고문헌

- [1] T. Kumamoto, M. Nakaya, H. Honda, S. Asai, Y. Akasaka and Y. Horiba, "An 8-bit high-speed CMOS A/D converter," IEEE J. Solid-State Circuits, vol. SC-21, no. 6, pp. 976-981, Dec. 1986
- [2] R. J. Van de Plassche and R. E. J. Van der Grif, "A high-speed 7 bit A/D converter," ibid., vol. SC-14, no. 6, pp. 938-943, Dec. 1979
- [3] k. Watanabe and W.-S. Chung, "A switched-capacitor interface for intelligent capacitive transducers," IEEE Trans. Instrum. and Meas., Vol. IM-35, no. 4, pp. 472-476, Dec. 1986

- [4] 정 원섭 등, "순환-병렬형 아나로그-디지털 변환기," 1987년도 전기. 전자공학 학술대회 논문집(II), pp.1166-1169, 7월 1987
- [5] A. G. F. Dingwall and V. Zazzu, "An 8-MHz CMOS subranging 8-bit A/D converter," IEEE J. Solid-State Circuits, vol. SC-20, no. 6, pp. 1138-1143, Dec. 1985
- [6] T. Sekino et al., U. S. Patent 4559522, Dec. 17, 1985
- [7] T. Yamada et al., U. S. Patent 4533903, Aug. 6, 1985
- [8] T. sekino et al., U. S. Patent 4568910, Feb. 4, 1986
- [9] T. Sekino et al., U. S. Patent 4599599, July 8, 1986

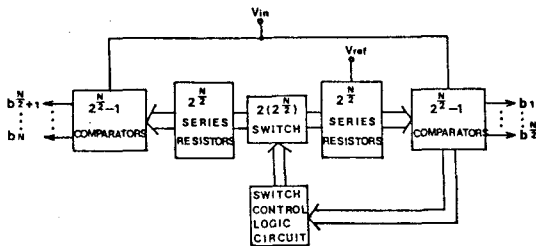
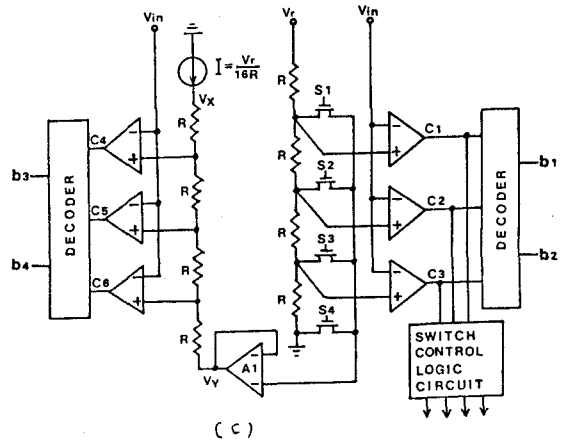
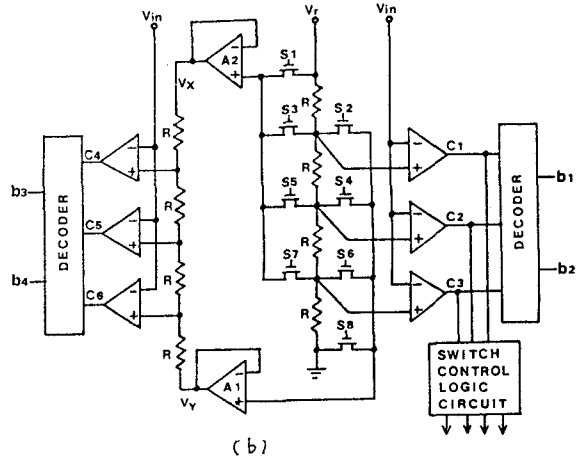


Fig.1. Block diagram of N-bits ripple ADC.

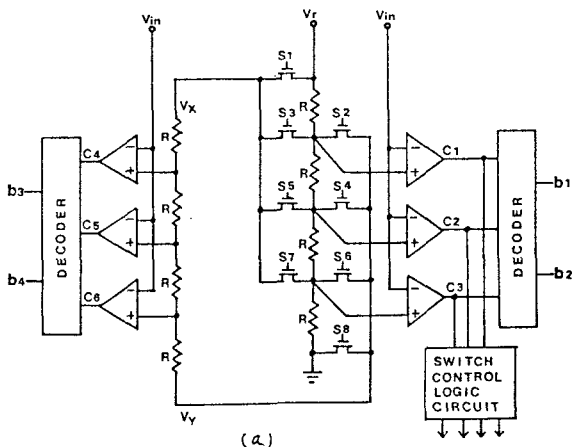


Fig.2. Circuit diagram of 4-bit ripple ADCs.

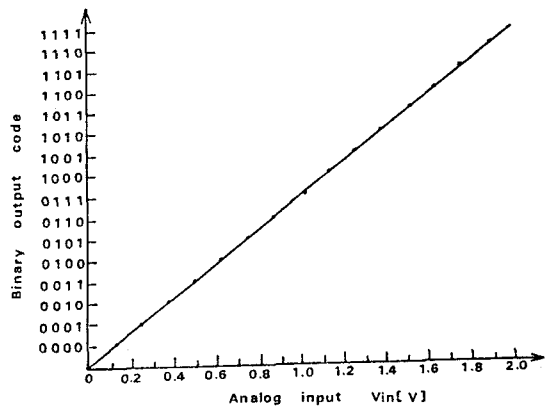


Fig.3. The output binary number versus the input analog voltage of the ADC shown in Fig.2(b)