

필터 Length를 가변할 수 있는 FIR 디지털 필터 및 힐버트 변환기의 설계

김 세 중 황 호 정
 중앙대학교 전자공학과

Design of FIR System and Hilbert Transformer
 Having Ability of Selecting Filter Length

Se Jung Kim Ho Jung Hwang
 Dept. of Electronics Eng., Chungang Univ.

ABSTRACT

This paper describes the design of FIR filtering DSP-chip that can be operated without programming. The proposed DSP-chip has not only the improvement of execution time but also selectivity of filter length from N=1 to N=128. Hilbert Transformer can be designed from this chip. FIR filter system is composed of Data memory/Control Unit, external memory and multiplier-accumulator. Data memory/Control Unit is laid out in this paper.

I. 서론

대규모 집적회로 시스템을 경제적으로 설계, 제조할 수 있는 VLSI 기술의 발달에 따라 Digital Signal Processor의 단일 칩화에 대한 연구가 활발히 진행되고 있으며 최근에는 FIR filtering, FFT, Convolution, Correlation 등을 선택적으로 수행할 수 있는 범용 DSP 칩에 관한 관심이 고조되고 있다. 그러나 범용 DSP 칩의 경우 그 범용성의 구조로 인하여 chip면적이 증가하고 연산 수행에 필요한 programming에 의한 instruction code의 실행 때문에 specified DSP 칩 보다는 연산속도가 느려진다. 따라서 본 연구는 programming이 필요없고 연산속도가 향상될 뿐 아니라 사용자가 원하는 filter length를 N=1에서 128 까지 선택 사용할 수 있는 FIR filtering 전용 DSP 칩을 설계하고, 90° 위상차 회로망 구성에 필요한 hilbert transformer를 구현하고자 한다. finite impulse response (FIR) filter는 specified digital signal processor를 실현시키기에 적합한 회로망이며 low pass, high pass, band pass, band reject, adaptive filter, hilbert transformer, matched filter 등의 응용 분야가 있다. FIR filter는 간단한 control 및 data 흐름, stability, 그리고 roundoff noise / truncation error에 대한 둔감성의 장점이 있다. 그런데 실시간 신호처리를 위해서는 많은 계산량이 필요하고 시스템이 커지는 단점이 있으나 간단한 control과 data 흐름으로 인한 design의 용이함 그리고 multiplier / accumulator의 사용에 의한 수행성 향상등으로 단점은 감감할 수 있다. 본 FIR 필터 시스템은 Data memory / Control Unit, Multiplier-accumulator, Coefficient memory (128 word RAM 또는 EPROM) 등 세부부분으로 구성된다. 이런 방식은 16*16 multiplier-accumulator를 layout시 포함함으로써 생기는 layout 영역의 증대를 피하고 기존의 multiplier-accumulator를 이용할 수 있는 잇점이 있다. 또한 data와 coefficient를 parallel과 분리된 path로 처리하기 때문에 bottle neck 현상을 피할 수 있다. 그래서 memory access 동안 하나의 multiplication / accumulation의 수행을 허락한다. non-sequential controller의 경우, 응용과 design면에서 어려움이 있으나 이런 구조는 간단한 control 구조로 인하여 design이 용이하고 high-speed controller를 실현할 수 있다. 본 연구에서 설계할

부분은 Data memory / Control Unit이며 Data RAM과 Coefficient ROM의 address를 access하는 counter를 programmable counter로 설계하여 filter length를 N=128까지 가변할 수 있게 하였다.

II. FIR 필터 및 힐버트 변환 이론

1. FIR 디지털 필터 이론 (1)(2)

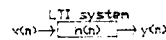


그림 1. linear, time-invariant system

$x(n)$ 은 discrete time signal로 n 이 $-\infty < n < \infty$ 이고 정수인 조건을 만족하는 구간에서 그 값이 존재하며, $h(n)$ 은 impulse response이고 $y(n)$ 은 output 신호이다. analog signal에서 유용한 함수인 $\delta(t)$ 는 discrete time signal에서도 유용한 함수인데 discrete signal에서는 unit-sample sequence라고 하며 다음과 같은 성질을 갖는다.

$$u(n) = \begin{cases} 1, & n=0 \\ 0, & n \neq 0 \end{cases}$$

그래서 $x(n)$ 은 $x(n) = \sum_{m=-\infty}^{\infty} x(m)u(n-m)$ 으로 표현할 수 있다.

$h(n)$ 이 $u(n)$ 에 대한 응답이므로 time invariance system에서는 $h(n-m)$ 이 $u(n-m)$ 에 대한 응답이 된다.

그래서 $y(n) = \sum_{m=-\infty}^{\infty} x(n)h(n-m) = x(n) * h(n) = \sum_{m=-\infty}^{\infty} h(m)x(n-m) = h(n) * x(n)$ 결국 $y(n)$ 은 $x(n)$ 과 $h(n)$ 의 convolution이 된다. 실제의 FIR filter는 m 의 값이 한정된 causal system이므로

$y(n) = \sum_{m=0}^{N-1} h(m)x(n-m)$ 이 식을 구조적인 형태로

표현하면 그림 2와 같다. Z는 delay를 나타낸다

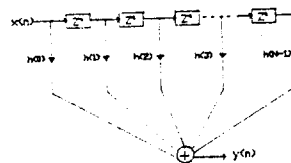


그림 2. Direct form of finite impulse response filter

결국 FIR Filter는 그림 2의 구조를 hardware적으로 구성하면 된다.

2. FIR 힐버트 변환 이론 (1)(2)(3)

hilbert transform이라는 것은 입력신호를 90° 위상 전이 시키는 것을 의미하는데 대개의 신호의 경우, 음성신호와 같이 비정현파인 경우가 많아서 hilbert transform 시키기 위해서는 그 신호의 각 주파수 성분들을 각각 90° 위상 전이 시켜야 한다. 각 주파수 성분을 90° 위상 전이 시키는 문제는 그리 간단한 문제라고는 할 수 없다.

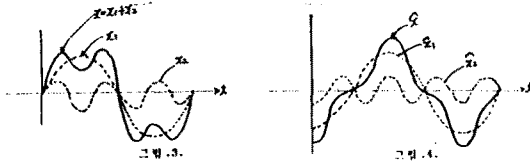


그림 3의 신호 $x(t)$ 를 hilbert transform 시키면 그림 4의 $\hat{x}(t)$ 이 된다. 그림 4에서 보듯이 $x(t)$ 를 hilbert transform 시키면 원래의 파형과 전혀 다른 파형이 되는데 그 이유는 $x(t)$ 를 Fourier analysis 시키면 x_1 과 x_2 의 고조파로 표현할 수 있는데, hilbert Transform시키기 위해서는 x_1 과 x_2 각각의 위상을 90° 전이 시켜야 되기 때문이다. linear phase FIR digital hilbert transformer에 대해 연구한 논문에는 여러 종류가 있는데 본 system에서 이용한 hilbert transformer의 filter coefficients는 Rabiner와 Schafer가 연구한 내용을 적용하여 구했다. 그 논문의 내용은 아래와 같다.

- a. lower와 upper transition region이 같은 경우 peak error가 같다고 가정할때 N 이 odd인 경우가 N 이 even인 경우보다 hilbert transformer를 구성하는데 바람직하다. 또한 N 이 odd 이고 $(N-1)/2$ 가 odd인 경우가 N 이 odd이고 $(N-1)/2$ 가 even인 경우보다 바람직하다.
 - b. N 이 odd인 hilbert transform의 peak approximation error는 lower나 upper transition width가 적은 값에 의해서 결정된다.
 - c. N 이 even인 경우 peak approximation error는 lower transition에 의해서 결정된다.
 - d. hilbert transformer의 bandwidth가 작으면 작을수록, peak approximation error는 bandwidth가 감소함에 따라 급격히 감소한다.
 - e. N 이 크면 클수록 peak approximation error는 bandwidth가 감소함에 따라 급격히 감소한다.
- 결국 linear phase FIR digital hilbert transformer는 bandwidth는 가능한 한 작게 구성되어야 하며 N 이 odd이고 $(N-1)/2$ 가 odd인 경우가 바람직하고 lower와 upper transition width는 같게 하는 것이 좋다 할 수 있다.

3. FIR Filter Design Algorithm (1)(3)(4)

linear phase FIR filter를 design하는 방법에는 windowing, frequency sampling, optimal (minimax error) filter등의 기법이 있다. optimal filter가 filtering 수행면에서 볼때 가장 우수하다고 할 수 있다. optimal filter를 구성하는 방법에는 여러가지가 있는데 그중에서 본 system은 weighed Chebyshev approximation과 Remez exchange algorithm을 적용한 computer program을 이용하여 $h(n)$ 즉 impulse response 값을 구하는 filter design 방법을 사용하였다.

III. 시스템 설계 및 Simulation

1. 전체 구성도

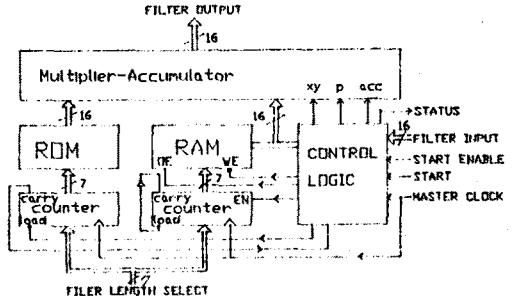


그림 5. FIR Filter System

그림 5의 FIR Filter는 Data memory / Controller Unit, Multiplier-accumulator, Coefficient memory등의 세부분으로 구성된다. 이런 방식은 16*16 bit multiplier-accumulator를 layout시 포함함으로 생기는 layout 영역의 증대를 피하고 기존의 multiplier-accumulator를 이용할 수 있는 잇점이 있으며 speed와 소비 전력면에서 multiplier-accumulator와 memory를 넓은 폭으로 선택할 수 있다. 특히 RAM과 ROM의 address를 access하는 counter를 programmable counter로 설계하여 filter length를 $N=128$ 까지 가변할 수 있게 설계하였다. 본 filter에서 중요한 부분은 counter에 의한 RAM의 address 할당인데 RAM은 shift register의 기능을 수행한다. 아래 부분은 RAM이 shift register의 기능을 어떻게 수행하는가를 설명하고자 한다. 아래의 경우는 $N=4$ 이며, 실제적으로 filter length select에 입력되는 값은 128-4이다. start enable high와 함께 start clock이 구동되면 filter input x_n 은 latch OE가 0가 되면서 RAM의 d에 write되고 동시에 multiplier에 x_n 이 입력되며, ROM은 같은 시점에 c_n 를 multiplier에 입력하게 된다. 그래서 $y_n=d_n*c_n$ 가 되어 accumulator의 register에 accumulation 없이 초기치로 입력된다. 결국 $y_n=d_n*c_n+d_{n-1}*d_{n-1}+d_{n-2}*d_{n-2}+d_{n-3}*d_{n-3}$ 가 되고 y_n 이 output된다. 이때 RAM address counter의 EN을 0로 하여 d address를 유지시킨다. 그리고 x_{n+1} 을 d3에 write시키고 동시에 multiplier에 입력시킨다. 이때 부터 RAM과 ROM의 address는 일하지 않게 된다. $y_{n+1}=d_n*c_n+d_{n-1}*d_{n-1}+d_{n-2}*d_{n-2}$ 상태에서 counter의 carry가 발생되고 load에 0가 입력되어 filter length select가 load된다. 이런식으로 RAM이 filter의 delay단 즉 shift register의 기능을 수행한다. 바로 이부분의 control이 중요하다.

2. Control Unit Design

(1). programmable counter의 설계

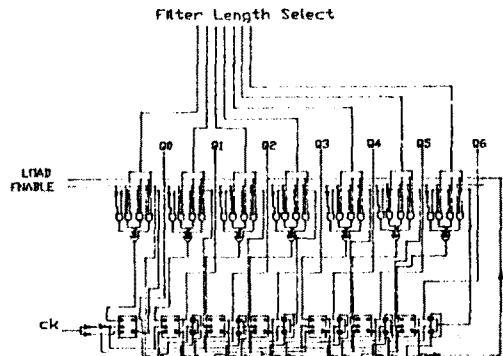


그림 6. programmable counter

설계한 counter의 특징은 다음과 같다. 대개의 경우 programmable counter는 comparator(대소비교 기능)를 사용하게 된다. 그러나 본 counter는 carry기능과 system특성을 이용하여 comparator의 기능을 대신하게 하였으며 nand와 invert는 multiplexer(transmission gate)의 select기능과 carry 발생기능을 동시에 수행한다. 그리고 CMOS D flip flop과 transmission gate를 사용하고 enable 기능과 counter수를 가변할 수 있도록 load기능을 첨가하였으며 layout이 용이하도록 최대한 regularity를 갖는 counter 구조로 설계하였다. 그림6는 설계한 programmable counter이다. EDAS-P로 simulation하여 만족한 결과를 얻었다.

(2). control logic design

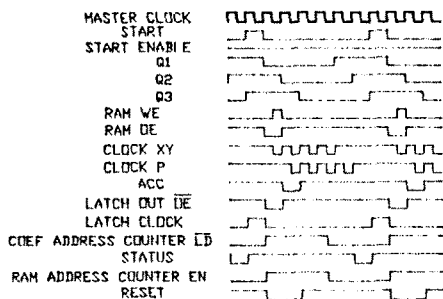


그림.7. timing 도

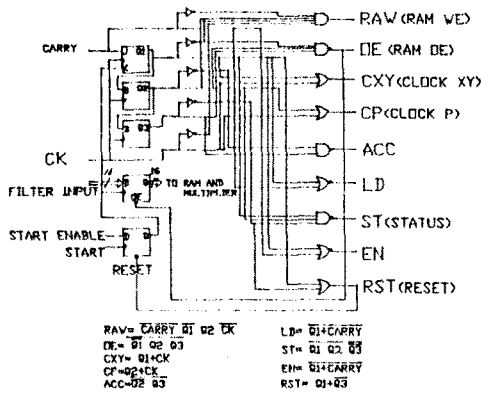


그림.8. control logic

그림8은 그림7의 timing도를 기초로 해서 구성한 control logic이다. EDAS-P로 simulation하여 만족한 결과를 얻었다. 그림7의 timing도는 초기동작이 안정된후의 모습이다. 이 시스템에서 flip flop은 positive edge triggered로 동작된다. 본 시스템은 master clock 구동, start enable high 그리고 start 신호가 구동되면서 동작을 시작한다. coefficient address counter의 carry가 0가 되므로 JK flip flop의 output이 0가 된다. 이때 K는 Latch clock에서 보다서피 이다. 그로 J=0, K=1 이므로 output가 0가 되고 master clock의 구동에 따라 Q2, Q3도 이어서 0가 된다. Q1이 0가 되면서 xni RAM의 WE 신호에 의해서 write되고 clock xy에 의해서 multiplication이 시작되고 ACC 신호에 의해 accumulator register에 accumulation 없이 초기치로 입력된다. clock p는 accumulator register를 control한다. $m=d1c1+d2c2+d3c3$ 가 되면 status 신호에 의해서 output되고 이때 RAM counter EN=0가 되며 ROM counter의 LD도 0가 되어서 $ym=d1c1+d2c2+d3c3$ 가 수행된다. 이런 식으로 FIR Filtering이 수행된다. start 신호는 본 system의 구동에도 필요하지만 A/D converter나 본 system 이전의 system과의 동기를

위해서 필요로 되어진다. status 신호는 또한 D/A converter나 다음단의 system과의 동기를 위해서 필요하다.

3. RAM Design

data memory로서 사용되는 RAM은 설계의 용이함과 access time을 고려하여 static RAM으로 설계하였으며 internal clock을 사용하지 않는 비동기 구조로 구성하였다. 그리고 layout 영역보다 speed에 중점을 두어 설계하였고 layout이 용이하도록 최대한 regularity를 갖도록 하였다.

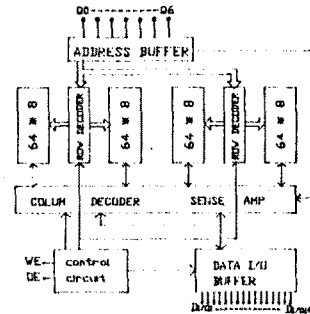


그림.9. CMOS RAM block diagram

그림9는 CMOS RAM의 block diagram이다.

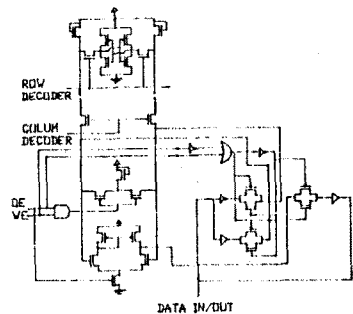


그림.10. RAM의 read 및 write 회로

그림10은 sense amplifier를 포함한 readout 회로와 write 회로를 나타낸다.

4. 기본 Inverter 특성 분석 및 Fanout 계산

(1). invert의 rise time, fall time, delay time

기본 inverter 회로의 switching 특성 곡선을 그림11에 나타 내었다. rise time, fall time을 입력전압 high level의 10%에서 90%까지 소요되는 시간으로 정의하였으며 (a), (b), (c)식을 기준으로 하여 계산한 inverter의 시간특성은 아래와 같다.

CL	Wp/Lp	Wn/Ln	Tr(nsec)	Tf(nsec)	Td(nsec)
0.04PF	6/2	6/2	0.41	0.16	0.14
	15/2	6/2	0.16	0.16	0.08
0.3PF	6/2	6/2	3.04	1.18	1.05
	15/2	6/2	1.22	1.18	0.60
1PF	6/2	6/2	10.14	3.92	3.52
	15/2	6/2	4.06	3.92	2.00

$$t_f = \frac{2CL}{\beta n(V_{DD} - V_{tn})} \times \frac{V_{tn} - 0.1V_{DD}}{V_{DD} - V_{tn}} + \frac{1}{2} I_n \frac{19V_{DD} - 2DV_{tn}}{V_{DD}} \quad (a)$$

$$tr = \frac{2Cl}{A p\sqrt{V_0 - |V_{tp}|}} \times \frac{|V_{tp}| - 0.1V_0}{V_0 - |V_{tp}|} + \frac{19V_0 - 20}{V_0} |V_{tp}| \quad (b)$$

$$td = \frac{tdr + tdf}{2} = \frac{tr + tf}{4} \quad (c)$$

앞 부분에서는 (a), (b), (c)식을 사용하여 기본 inverter의 Cl에 따른 delay time등을 대략 계산했는데 여기서는 SPICE simulation을 하여 앞의 계산식과 비교하여 보았다. 실제 경우 그림 11의 입력 파형 Vdd는 그림 12와 그림 13과 같이 경사진 모양을 갖게 된다.

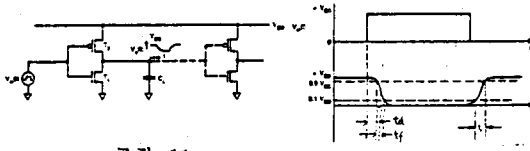


그림 11

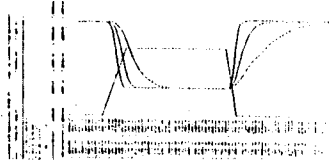


그림 12.

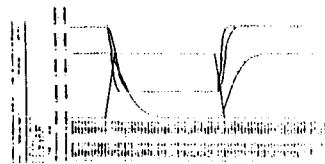


그림 13.

(2). Fanout 계산

기본 inverter가 여러개의 gate를 구동할때는 구동 Cl이 커져서 delay time이 증가하게 된다. 특히 counter의 clock을 구동하는 clock driver는 superbuffer로 구성하여야 한다. 또한 delay time이 커지는 부분은 Fanout 계산을 근거로 buffer의 크기를 결정해주어야 한다.

drain 전류는 W/L에 비례하므로

$$I_r : I_i = (W/L)_r : (W/L)_i = \frac{Cl \cdot C_g \cdot F}{Tr \cdot T_m} \quad , T_m; \text{측정치}$$

고로 Fan Out 상수 F는, $F = \frac{(W/L)_i \cdot Tr \cdot C_g}{(W/L)_r \cdot T_m \cdot Cl}$

그리고 Cg를 구하는 방법에는 여러가지가 있으나 여기서는 간단히 Cg를 구했다. $C_g = C_{ox}(WpLp + WnLn) = C_{ox}(6 \times 2 + 6 \times 2) \times 10^{-12} = 9.32 \times 10^{-12} \times 24 \times 10^{-4} = 0.224 \text{ PF}$ 즉 $C_{ox} = \frac{\epsilon_0 \epsilon_r}{t_{ox}}$ 구한 Cg값외에 기생 capacitance를 고려하여 대략 Cg를 0.04PF으로 보고자한다. 본 system에 많이 사용되는 기본 inverter(Wp/Lp=6/2, Wn/Ln=6/2)의 Fan Out 능력은 tr=4nsec, tf=2nsec, Cl=0.3PF으로 할 때 8정도이다. delay time이 상당히 큰 부분의 구동 inverter의 W/L 비는 Fan Out 능력을 고려하여 조정되어야 한다. 예를 들면, programmable counter를 구동하는 clock driver는 Cl=1.2PF 정도의 부하 capacitance를 갖는다. 이 경우 Wp/Wn의 비는 2.5로 한다. 앞의 SPICE simulation에서 inverter (Wp/Lp=15/2, Wn/Ln=6/2)는 tr=1.5nsec, tf=1.5nsec를 값을 가졌다. tr=2nsec를 원할때 F는,

$$F = \frac{15/2 \times 2 \times 0.3}{15/2 \times 1.5 \times 0.04} = 10$$

tf=2nsec를 원할때 F는,

$$F = \frac{6/2 \times 2 \times 0.3}{6/2 \times 1.5 \times 0.04} = 10$$

Fan Out 능력은 10 정도이다. 이 경우 rise time과 fall time을 2nsec 정도가 되도록 할 경우 clock driver는 Wp/Lp=60/2, Wn/Ln=24/2로 해주면 된다.

5. 힐버트 변환기의 구현

(4)의 program에서 구한 h(n)값에 2^5을 곱해서 15bit의 값을 구하고 LSB값을 0 또는 1로 변경하여 본래의 h(n)값에 가장 근사되는 값을 택하는 rounding을 해주었다.

표 1. N=31, Fl=0.05, D=0.00268

h(n)	EPROM address	h(n)(16 bit)
h(0)	61H	FF 77H
h(2)	63H	FE DOH
h(4)	65H	FD 97H
h(6)	67H	FB 99H
h(8)	69H	F8 61H
h(10)	6BH	F2 DOH
h(12)	6DH	E6 CEH
h(14)	6FH	AF 30H
h(16)	71H	50 DOH
h(18)	73H	19 31H
h(20)	75H	00 30H
h(22)	77H	07 9FH
h(24)	79H	04 67H
h(26)	7BH	02 69H
h(28)	7DH	01 30H
h(30)	7FH	00 89H

control unit, data RAM, coefficient ROM, multiplier-accumulator등을 기존의 TTL및 CMOS 소자를 사용하여 FIR 필터 시스템을 구성하고 힐버트 변환기의 동작을 확인하였다.

IV. 결론

필터 length를 N=128까지 가변할 수 있는 FIR 디지털 필터 시스템을 설계하고 data memory와 control unit를 layout 하였다. 본 시스템의 data memory와 control unit가 single chip화 되면 multiplier-accumulator와 coefficient memory(EPROM 또는 RAM)등 세부분으로 FIR filtering이 필요한 DSP분야에 사용될 수 있으리라 기대된다.

참고 문헌

1. Rabiner and Gold, Theory and Application of Digital Signal Processing, Prentice Hall, 1975.
2. L.R. Rabiner and R.W. Schafer, "On the Behavior of Minimax FIR Digital Hilbert Transformers," The Bell System Technical Journal, vol.53, No.2, Feb. 1974.
3. L.R. Rabiner, J.H. McClellan and T.W. Parks, "FIR Digital Filter Design Techniques Using Weighted Chebyshev Approximation," Proc. IEEE, vol.63, Apr. 1975
4. J.H. McClellan, T.W. Parks and L.R. Rabiner, "A Computer Program for Designing Optimum FIR Linear Phase Digital Filter," IEEE Trans. vol.AV-21, No.6, DEC. 1973.
5. Andreas Antoniou, Digital Filters Analysis and Design, McGraw-Hill, 1979.
6. 이광형, "전하 전송소자 신호처리 시스템의 고기능화에 관한 연구," 중앙대 박사학위 논문, 12, 1986.
7. Milhelm Schüssler, "On Structures for Nonrecursive Digital Filter," Arch. Elek. Übertragung, Vol.26, Jun. 1972.
8. Ulrich Heute, "Hardware Consideration for Digital FIR Filters Especially with Regard to Linear Phase," Arch.Elek. Übertragung, vol.29, Mar. 1975.