

Macro셀과 I/O pad셀을 고려한 CMOS 게이트 어레이 Global Router

이 승 호*[○] 배 영 환** 이 건 배* 정 정 화*
 한양대학교 전자공학과* 한국전자통신연구소**

A CMOS Gate Array Global Router which regards Macrocell and I/O padcell

Seung Ho Lee*, Young Hwan Bae**, Keon Bae Lee* and Jong Wha Chong*
 Department of Electronics Engineering, Hanyang University*
 Electronics & Telecommunication Research Institute**

ABSTRACT

For CMOS, this paper propose a new global routing algorithm in which macrocells and I/O pad cells can be treated.

Not only predefined feedthrough in base array, but also some polysilicon line which are not assigned as inputs are used to prevent the overflow of nets passing through the row.

The signal nets are assigned on their feedthrough by the maze router.

By treating macrocells and I/O padcell, the routing from internal to I/O cell can be done automatically and a kind of is constraints in design process can be reduced

1. 서 론

최근 집적 회로의 집적도가 증가하고 그 규모가 커짐에 따라 인간에 의한 설계가 거의 불가능하게 되었고, life cycle이 짧아짐에 따라 짧은 시간내에 소량 다품종의 집적 회로의 생산이 요구되어 설계 자동화가 필수 불가결 하게 되었다.

집적 회로의 설계 시간을 단축함으로써 설계 비용을 절감하기 위하여 규칙적인 구조를 이용하여 설계하는 semi-custom 방식이 각광을 받고 있으며, 이 중 게이트 어레이 방식은 설계 시간을 단축할 수 있는 장점으로 인해 소량 다품종의 집적 회로 설계에 널리 이용되고 있다.

이러한 게이트 어레이 설계 방식의 레이아웃은 설계의 복잡성으로 인해 크게 배치 설계[1,2]와 배선 설계로 나누어 행해진다.

배선 설계는 각 신호선이 통과할 가상 경로를 결정하여 채널에서의 핀 정보를 출력하는 global 배선 설계[3,4]와 채널내에서의 최종 배선 패턴을 결정하는 detailed 배선 설계[5,6]의 두 과정으로 구성된다.

이 중 global 배선 설계는 총 배선장의 최소화와 배선 혼잡도의 균일화등을 목적 함수로 하여 신호선의 가상 경로를 결정한다.

본 논문에서는 macro셀과 I/O pad셀을 고려한 CMOS 게이트 어레이 global 배선 알고리즘을 제안한다.

전체 칩의 배선 밀도를 균일하게 하여 특정 채널에

서의 overflow가 발생하지 않도록하기 위해 특별한 신호선 혼잡도[4]를 도입한다.

수직 배선시 overflow를 막기 위해 이미 기본 셀상에 정의된 feedthrough와 입력 단자로 사용하지 않는 polysilicon 라인도 함께 feedthrough로 사용하여 maze 알고리즘 [7]을 적용함으로써 feedthrough를 할당한다.

또한, macro셀과 I/O pad셀을 고려함으로써 실제의 칩 설계에 있어서 pad 셀로의 배선을 자동화할 수 있으며 설계상의 제약 조건을 줄일 수 있다.

2. CMOS 게이트 어레이 칩의 구조와 모델링

(1) CMOS 게이트 어레이 칩의 구조

CMOS 게이트 어레이 칩은 기본 셀들의 집합인 셀 row와 이들 간의 신호선 연결을 위한 채널 영역의 반복적인 구조로 되어있는 내부 영역과 I/O pad 셀들로 이루어진 외부 영역으로 구성된다.

각각의 기본 셀은 논리 게이트를 실현할수 있도록 p-타입과 n-타입의 확산영역으로 구성되어 있으며 그림 1.과 같이 매탈 패턴을 결정함으로써 NAND, NOR, NOT 또는 FLIP-FLOP등의 macro 셀을 형성할 수 있다[8].

또한, 그림 1.(a)와 같이 논리 게이트를 형성하지 않는 입력 단자로 사용되는 4번과 6번의 polysilicon 라인 위에 매탈을 형성하여 feedthrough로 사용할 수 있다.

I/O pad셀들을 제외한 모든 기본 셀들은 상하 양핀이 등전위를 이루는 양방향성 핀으로 구성된다.

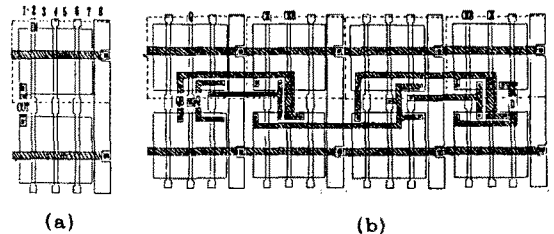


그림 1. Macro 셀의 실현 예
 (a) NOT (b) D 타입 FLIP-FLOP

Fig 1. An implementation example of macrocell
 (a) NOT (b) D type FLIP-FLOP

(2) CMOS 게이트 어레이 칩의 모델링

실제의 게이트 어레이 칩을 그림 2.과 같이 모델링함으로써 셀내에 존재하는 각 신호선이 연결되는 편들을 셀내의 한점에 집중된 것으로 간주하여 배선 문제를 단순화 시킬 수 있고, 기술 독립적(technology independent)으로 배선 문제를 해결 할수 있다.

또한, global 셀은 각 기본 셀간의 배선 영역과 배선 영역 상하의 기본 셀의 반칙을 포함하도록 모델링함으로써 maze 알고리즘 적용시 배선 문제를 용이하게 할수있다.

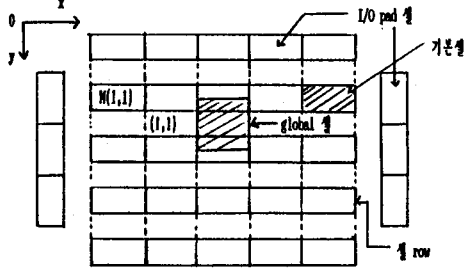


그림 2. 게이트 어레이 칩의 모델링
Fig 2. The modeling of a gate array chip

용어의 정의

1) zone

신호선 연결 요구가 있는 두 기본 셀간의 대각선을 양쪽 끝점으로 하는 사각형의 내부 영역을 말하며 zone 내에서 신호선의 경로가 결정될때 배선장이 최소가 된다.

2) 통과 가능한 최대 트래픽수 (CCM)

각 수평 채널에서 통과 가능한 최대 트래픽수에 관한 정보를 갖고 있으며 각 수평 채널에서 수평 신호선 통과 요구가 발생할때마다 그 수평 채널에 대응하는 CCM(i)(j) 값을 1씩 감소시킨다.

3) 확률적인 신호선 통과요구 (PCRM)

한 신호선이 그 신호선의 zone 내에서 경로를 찾는다 할때 zone내의 각 수평 채널을 통과할 확률은 다음과 같다.

(가) 한 셀 row 상의 연결 요구

그 셀 row의 상하 채널을 모두 사용할 수 있으므로 상하 채널에 각각 1/2 씩의 확률적인 통과 요구가 발생한다.

(나) 인접한 두 셀 row 간의 연결 요구

두 셀 row 사이의 채널을 사용하여 연결할때 배선장과 혼잡도의 증가가 최소가 되므로 두셀 row 사이에 있는 채널에 확률적 통과 요구 1 이 발생한다.

(다) feedthrough를 할당하는 연결 요구

다른 셀 row를 통과하여 연결요구가 있는 신호선들은 zone 내의 각 수평 채널에 대하여 같은 정도의 통과 확률이 존재하므로 각 수평 채널에 대하여 1/(zone내의 수평 채널의 수) 만큼의 확률적 통과 요구가 발생한다.

4) 신호선 혼잡도 (CCPM)

$$\text{신호선 혼잡도} = \frac{\text{확률적인 신호선 통과요구}}{\text{통과 가능한 최대 트래픽수}}$$

3. 신호선 그래프 구성

셀 라이브러리 상에서 정의된 모든 macro셀에 대하여 각각의 macro셀에 할당된 신호선들의 위치에 따라 macro 셀을 기본 셀단위로 분할하여 배선 문제를 단순화 시킨다.

그림 3.과 같이 macro 셀 M(Ya)(Xa)와 M(Yb)(Xb)의 좌표는 M(2,6), M(3,5)이나 M(2,8), M(3,7)에 신호선이 할당되어 있으므로 macro 셀 M(Ya)(Xa)와 M(Yb)(Xb)는 각각 기본 셀 (2,8)과 기본 셀 (3,7)로 분할된다.

다점간 신호선 N(i)에 속하는 macro 셀들의 집합을 C(i)라 할때 집합 C(i)에 속하는 임의의 두 macro 셀 M(Ya)(Xa)와 M(Yb)(Xb)에 대하여 분할된 두 기본 셀을 잇는 edge에 다음과 같은 웨이트를 부여한다.

$$W(ab) = |Xa-Xb| + d*f*|Ya-Yb| + \frac{|Ya-Yb|}{(\text{셀 row수} - 1)}$$

d : 실제 칩상에서의 x,y 방향간의 단위 거리차를 보상한다.

f : feedthrough 사용요구 조절변수.

다점간 신호선 N(i)에 속하는 macro 셀들에서 분할된 기본 셀들을 절점으로 하여 완전 그래프를 구성한 후 각 edge에 부여된 웨이트에 따라 minimum spanning tree 알고리즘을 적용하여 2 점간 신호선으로 분할한다.

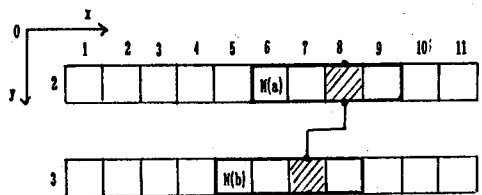


그림 3. macro 셀을 기본셀 단위로 분할
Fig 3. The partitioning macrocell into basic cell

4. 신호선 분류

분할된 2 점간 신호선들을 신호선의 연결 형태에 따라 세 그룹으로 분류한다.

- 1 그룹 : 한 셀 row상에서의 연결요구가 있는 신호선의 집합
- 2 그룹 : 인접한 두 셀 row간에 연결요구가 있는 신호선의 집합
- 3 그룹 : 그 이외의 연결요구가 있는 신호선의 집합

5. 수직 배선 가능성의 판정

3 그룹 신호선들에 대하여, 어느 한 셀 row에 feed through 할당 요구가 있는 신호선들의 수가 그 셀 row에서 공급 가능한 feedthrough수보다 많으면 수직 배선이 불가능하므로 feedthrough 사용 요구를 조절하는 f 값을 크게 증가시켜 신호선 그래프를 다시 구성한다.

6. 신호선 그룹들의 배선

(1) 신호선 ordering

- 1) 신호선 그룹들간의 ordering
2 그룹 - 3 그룹 - 1 그룹의 순으로 배선한다.
- 2) 같은 신호선 그룹내의 ordering
모든 신호선들을 zone의 크기가 증가하는 순서대로 정렬하여 zone의 크기가 작은 신호선을 먼저 배선한다.

(2) 2 그룹 신호선의 배선

연결 요구가 있는 두 셀 row 사이에 있는 채널에 배선한후 CCM, PCRM, CCFM 등을 수정한다. Overflow가 발생한 채널의 경우 maze 알고리즘을 적용하여 overflow가 발생한 채널을 우회하여 경로를 찾는다. (그림 4.)

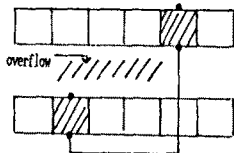


그림 4. 2 그룹 신호선의 overflow 개선
Fig 4. An improvement of overflow of 2 group net

(3) 3 그룹 신호선의 배선

두 기본 셀과의 경로를 찾기 위해 모델링된 global 셀로서 maze 알고리즘을 적용하여 feedthrough를 할당한다.

경로를 찾기 위해 처음에는 zone 밖으로 x 축으로 2 만큼 확장시켜 경계를 정한 후, 주어진 경계내에서 경로를 찾지 못하면 경계를 확장하여 다시 경로를 찾는다.(그림 5.)

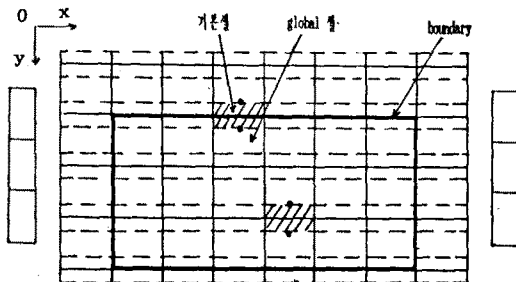


그림 5. 3 그룹 신호선의 배선
Fig 5. A routing of 3 group net

(4) 1 그룹 신호선의 배선

1 그룹의 각 신호선에 대하여 그 신호선에 속하는 기본 셀들이 위치하는 셀 row의 상하 채널중, 신호선 혼잡도(CCFM)의 최대값이 작은쪽의 채널을 선택하여 배선한다.

상하 두 채널이 모두 혼잡한 경우에는 feedthrough를 할당하여 배선한다.(그림 6.(a)) Zone 내의 모든 채널이 막혔을 때에는 maze 알고리즘에 의해 feedthrough를 할당하여 배선한다.(그림 6.(b))

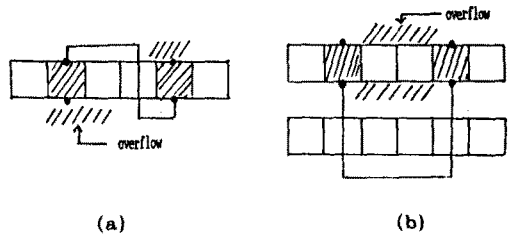


그림 6. 1 그룹 신호선의 배선

- (a) 상하 두 채널이 혼잡한 경우
- (b) 상하 두 채널의 모든 부분이 막혔을 경우

Fig 6. A routing of 1 group net

- (a) Overflow of upper and low channel
- (b) All of upper and low channel is blocked

7. 핀 할당

(1) 수직 핀 할당

각 기본 셀에 포함된 신호선의 경로가 그 기본 셀의 첫 방향으로 연결된 경우에는 p-타입 핀을, 아래쪽 방향으로 연결된 경우에는 n-타입 핀을 할당한다.

(2) 수평 핀 할당

왼쪽으로 연결 요구가 있는 핀은 -1의 웨이트를 할당하고 오른쪽으로 연결 요구가 있는 핀은 1의 웨이트를 할당하여 배선이 끝난 후 라이브러리 상에서 타입이 같은 신호선키리 웨이트가 증가하는 순으로 정렬한다.

(예) NAND2 library

```

DEFINE
out -1
IN 1
*
1
0 1 -1 1 0 101 0 102
-1 1 0 1 0 101 0 102
    
```

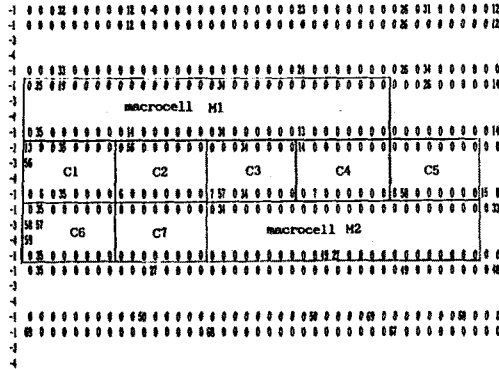
(3) I/O pad셀 핀 할당

I/O pad셀을 고려하여 왼쪽 I/O pad셀과 연결 요구가 있는 신호선들을 wpad_net 그룹으로 분류하고, 오른쪽 I/O pad셀과 연결 요구가 있는 신호선들은 epad_net 그룹으로 분류하여 I/O pad셀들에 대한 핀을 할당한다.

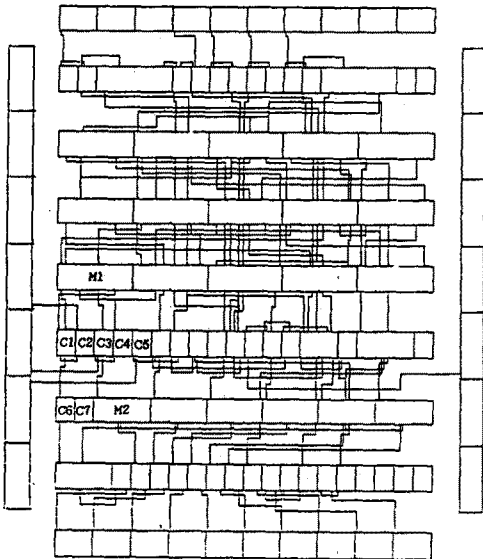
8. 실험 및 결과

그림 7.(a)는 MUX 회로를 본 논문에서 제안한 알고리즘에 의하여 모든 신호선들의 가상 경로를 구하여 각 macro 셀의 기본 셀들에 편을 할당한 결과로서 셀 row 3 - 7의 일부이다. 그림 7.(b)는 detailed 배선한 결과로서 각 채널에서의 최대 트랙수가 7 이하로 모두 배선되었다.

그림 7.(b)의 표시된 셀(M1-M2, C1-C7)들의 전경보는 그림 7.(a)에 표시된 것과 같다.



(a)



(b)

그림 7. 실험 결과

(a) Global 배선 결과 (b) Detailed 배선 결과

Fig 7. An experimental result

(a) Global routing result

(b) Detailed routing result

9. 결 론

본 논문에서는 macro셀과 I/O pad셀을 고려한 CMOS 게이트 어레이 global 배선 알고리즘을 제안하였다.

전체 칩의 배선 밀도를 균일하게 하여 특정 채널에서의 overflow가 발생하지 않도록 하기위해 확률적인 신호선 혼잡도를 도입하였다.

수직 배선시 overflow를 막기 위해 이미 기본셀 상에 정의된 feedthrough와 논리 게이트를 형성하지 않는 입력 단자로 사용되는 polysilicon 라인도 함께 feedthrough로 사용하여 maze 알고리즘을 적용함으로써 feedthrough를 할당하였다.

또한, macro셀과 I/O pad셀을 고려함으로써 실제의 칩 설계에 있어서 pad 셀로의 배선을 자동화할 수 있으며 설계상의 제약 조건을 줄일 수 있었다.

본 논문에서 제안한 알고리즘의 유용성을 보이기 위해 IBM PC/AT 의 MS-DOS O/S상에서 Micro-Soft C 언어로 프로그램화 하였다.

앞으로의 연구 과제로는 본 논문에서는 고려되지 않은 clock line 배선에 관한 연구가 보완되어야 할 것이다.

참 고 문 헌

1. M. A. Breuer, " A class of min-cut placement algorithm ", proc. 14th Design Automation Conference, pp 284-290, 1977.
2. J. H. Jung, S. Goto and H. Hirayamag, " A new approach to the two-dimensional placement with wire congestion in master slice layout design ", 일본전자통신학회 논문집, vol J.64-A, No.5, pp 438-446, 1984.
3. Jeong-Ting Li, M. M. Sadowska, "Global routing for gate array ", IEEE Trans.on CAD. vol.CAD-2, No.4 pp 298-307, 1984.
4. 배 영 환, " VLSI 설계 자동화를 위한 Gate Array Global Router에 관한 연구 ", 한양대학교 대학원 석사학위 논문, 1986.
5. T. Yoshimura, E.S.Kuh, " Efficient algorithms for channel routing " IEEE Trans.on CAD.vol.CAD -1, pp 25-35, 1982.
6. 강 인, " VLSI 설계 Detailed Router 개발에 관한 연구 " 한양대학교 대학원 석사학위 논문, 1986.
7. J. Soukup, " Fast maze router " Proc. 15th DAC, pp 100-102, 1987.
8. 한국전자통신연구소, " ETRI 표준셀 기술서 (CMOS CS1030), 1987.

* 본 연구는 한국전자통신연구소의 연구비 지원에 의해 수행되었습니다.