

RTA를 이용한 Cobalt Silicide의  
형성 및 Growth Rate 에 관한 연구

강 유 석, 김 효 완, 황 호 정  
중앙대학교 전자공학과

"A Study on the formation of  
Cobalt Silicide and its Growth Rate  
by Rapid Thermal Annealing ( RTA )"

Bu.S.Rang H.W.Kim Ho.J.Hwang  
Dept. of Electronic Engineering, Chang Ang Univ.

Abstract

The increases in the packing density and the resulting shrinkage of silicon integrated circuit dimensions led to the investigation and successful of the deposited silicide layers as the gate and interconnection and contact metallization.

In this paper evaporated Co films on n-Si have been rapid thermal annealed in N<sub>2</sub> ambient at temperature of 400°C-1000°C.

The Co silicide formation is characterized by sheet resistance ( 4PP ).

Also, silicide growth rate and its reproductivity has been examined by SEM.

I. 서론

MOS VLSI 의 집적도의 증가에 따른 ULSI 에 대처하기 위한 Scaling down 으로 인하여 Polycrystalline Silicon (Poly-Si) line 폭이 좁아지고 그로 인한 sheet resistance 증가 (RC delay time 증가) 와 shallow junction 에 기인한 junction depth 의 감소로 sheet resistance, contact resistance 의 증가 및 Al 의 interdiffusion 으로 인한 contact spiking 현상을 무시 할 수 없게 된다.

따라서 silicide (metal+silicon)는 상기의 문제점들을 해결하기 위한 gate, interconnection 및 contact 의 대체물질로 많은 연구가 되고 있다.

silicide 형성이 가능한 많은 금속재료중 VIII족의 Cobalt는 gate재료로 사용시 고온에서의 안정성 문제가 현재의 단점으로 남아 있으나 가장 낮은 비저항 (resistivity), 그리고 선택적 etching 의 용이성으로 인하여 Drain/Source 영역 뿐만 아니라 gate 영역에도 한 번의 공정으로 동시에 Silicide 를 형성 할 수 있는 SALICIDE(Self-Aligned Silicide) 공정이 가능한 금속으로 최근에 많은 관심이 되고 있으며 CoSi<sub>2</sub>와 Si 격자 사이의 mismatch 가 적으므로 (1.2%) epitaxial 성장이 가능한 것으로 알려져 있다.

SALICIDE 구조를 갖는 MOSFET 의 단면을 나타낸 예가 그림 1. 이다.

또한 Cobalt 는 쉽게 산화되는 성질이 있으므로 열처리 방식에 있어 기존의 Furnace annealing 보다는 온도 및 시간 조절이 용이하고 짧은 시간에 균일하게 열처리되는 금속 열처리 (RTA) 할 경우 High-quality, Oxide-free silicide film 을 얻을 수가 있다.

따라서 본 실험에서는 RTA 를 이용하여 Cobalt Silicide 의 형성 및 형성조건 (열처리 온도, 열처리 시간)에 따른 전기적 특성을 알아 보고 Scanning Electron Microscopy ( SEM ) 를 이용하여 shallow contact 형성시 소모되는 Si-substrate 양을 측정함으로써 Silicide 성장률 (Growth Rate)을 고찰하고 공정의 반복성 (재현성) 을 연구하려고 한다

Growth Rate 의 정확한 조절로 Contact 에서의 Junction short 방지 및 Ultrashallow junction depth (±0.1μm) 실현시 정확한 두께의 Silicide 형성이 가능 할 것으로 기대되며 이는 ULSI 시대에 필연적인 Silicide contact 의 실용화에 있어 중요한 의미가 있다고 생각된다.

II. 실험

실험절차 및 측정개요

1. Sample Preparation 및 Deposition

본 실험에서는 코발트 실리사이드 (CoSi<sub>2</sub>) 의 형성을 위해 비저항이 7-8Ω/□인 n형 (111) 실리콘 웨이퍼를 준비 하였다.

실리사이드 형성을 위해선 금속과 실리콘과의 접촉면이 아주 깨끗해야 하며, 특히 코발트는 SiO<sub>2</sub>층과 반응하지 않으므로 실리콘 표면의 native oxide 층의 존재는 실리사이드 형성 반응에 영향을 주는 것으로 알려져 있다.

따라서 준비된 웨이퍼를 진공 chamber 내로 loading 시키기 전에 다음과 같이 웨이퍼 세척을 하였다.

- 1) 초음파 세척 3 분
- 2) NH<sub>4</sub>OH : H<sub>2</sub>O (1:1) 용액에 10 분 Dipping
- 3) DI water 에 10 분 세척
- 4) H<sub>2</sub>O : HF (10:1) 용액에 30 초-1 분 담귀 웨이퍼 표면의 산화막 제거
- 5) 다시 DI water 세척 후 H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> (2:1) 용액에 10 분 Dipping
- 6) DI water 세척 후 N<sub>2</sub>gun 으로 건조

Thermal evaporation 방식으로 코발트 금속 (순도 : Purity 99.995%) 을 substrate 인 실리콘 웨이퍼로 증착시켰으며 filament 로는 두께 0.2mm, 폭 10 mm 인 Tungsten (W)-Boat 를 사용 하였다. 이 경우 필라멘트에 있는 불순물들이 증착물과의 접촉에 의해 증착물을 오염시키거나 substrate 에 직접 증착 될 수 있으므로 이를 방지 하기 위해 W-Boat 를 초음파 세척 한 후 2 시간 정도 증착에 알맞은 온도로 예비 가열을 하였다. 순수한 코발트 박막을 얻기 위해서 고진공이 요구되므로 증착 준비 후 충분한 시간 대기 하였으며 코발트 금속을 증발시키기 전에 실리콘 웨이퍼를 5 분간 130°C-150°C로 예열하여 웨이퍼 표면의 수분 제거 및 알맞은 증착을 유도 하였다.

W-Boat 를 서서히 가열하여 300 Å/min 정도의 증착률로 코발트 금속을 증착시켰으며 두께측정을 위해 cover glass 를 이용하여 substrate holder 한 쪽에 edge 를 내어 Talystep 으로 측정 한 결과 증착된 코발트 박막의 두께는 950 Å, 1500 Å 이었다.

2. Rapid Thermal Annealing ( RTA )

낮은 저항을 얻기 위해선 안정된 화합물을 만들 필요가 있다.

실리사이드 형성을 위한 열처리 방법에 있어 기존의 Furnace annealing 은 실리사이드 형성에 있어 균일하게 가열되지 않고 부분적으로 반응 될 수 있으며 장시간을 요하는 단점이 있다.

반면 RTA 를 이용 할 경우 짧은 시간 동안에 균일하게 열처리 되므로 균질의 실리사이드가 형성되며 급속의 부분적 산화로 인해 파생되는 결함을 감소 시킬 수 있고 정확한 온도와 시간 제어의 용이성으로 인하여 Ion Implantation 시 원하지 않는 Dopant 의 Redistr-ibution 을 최소화 할 수 있고 Pattern 형성시 Late-ral silicide 의 형성으로 인한 SiO<sub>2</sub> 층의 Bridging 현상을 막을 수 있으므로 실리사이드 형성에 많이 이용되고 있다.

그림 2. 가 본 실험에 사용된 자체 제작한 RTA system 및 가열 chamber 의 구조이다.

열원은 텅스텐 할로겐 램프 (220 V, 1000 W)를 사용하였으며 열의 조사는 웨이퍼 전체에 균일하게 가열되는 방법인 Isothermal ( t> 10<sup>3</sup> sec : t- 열처리 시간 ) 가열이다.

그림 3. 은 RTA 장치의 temperature profile 을 나타낸 그림이다.

각 온도에 따른 sheet resistance 를 측정하기 위해 100°C 간격으로 400°C-1000°C 범위로 열처리를 했으며 온도의 측정은 열전대 (thermocouple) 를 이용하여 700 이상에서는 Computer control 방식을, 이하의 온도에서는 Slidax control 를 하였다.

질소 분위기 (질소 공급 : 800 cc/min) 에서 10초와 30초 로 하였으며 냉각시에도 같은 분위기를 유지하였다 또한 실리사이드의 형성 온도를 측정 한 후 시간에 따른 sheet resistance 의 변화를 알아 보기 위해 형성된 온도에서 5초 간격으로 40초 까지 열처리를 하였다.

3. Etching

열처리 공정이 끝난 후 반응하지 않은 코발트 급속을 HCl : 30% H<sub>2</sub>O<sub>2</sub> (3:1) 용액에 담귀 실온 (RT) 에서 etching 을 하였다. 이 etching 용액은 형성된 실리사이드 및 substrate 인 실리콘에는 영향을 주지 않는 것으로 알려져 있다.

또한 40°C H<sub>2</sub>SO<sub>4</sub> : H<sub>3</sub>PO<sub>4</sub> : HNO<sub>3</sub> : CH<sub>3</sub>COOH (1:1:3:5) 의 etching 용액 (2500 A/min) 도 이용하였다.

4. measurements

열처리 및 etching 과정을 거친 시료의 전기적 특성을 조사하기 위해 Four-Point Probe ( 4PP ) 로 온도 및 시간에 따른 sheet resistance 를 측정했으며 아울러 시료의 균일성도 조사하였다.

그림 4. 가 측정에 사용된 4PP system 의 block diag-ram 이며 웨이퍼와 같은 thin sample 의 경우 correction factor 를 고려한 관계식은 다음과 같다.

$$\rho = 4.53 W (V/I)$$

$$\rho_s = 4.53 (V/I)$$

여기서,  $\rho$  : resistivity  
 $\rho_s$  : sheet resistance  
 W : thickness

또한 형성된 실리사이드의 단면과 시간당 실리사이드의 성장길이를 주사형 전자 현미경 ( SEM : Akashi Model DS-130 ) 으로 관찰하였다.

III. 결과 및 고찰

실리사이드의 형성과정은 Four-Point Probe 의 측정으로 온도와 및 시간에 따른 sheet resistance 의 변화로 알 수 있었다.

그림 5.와 6. 에 그 결과를 나타내었다.

코발트 1500Å 을 증착한 후 면의 균일성을 92 point 로 측정 한 결과 7.69Ω/□ 의 평균 sheet resistance 를 얻었으며 이때 추출한 비저항의 값은 115.3μΩ-cm 로 계산되었다.

그림 5. 는 질소 분위기에서 시간을 고정 한 상태 (10초) 에서 급속 열처리 한 결과로 영역을 나누어 분석하였다. 영역 (I)에서는 RTA 온도가 증가함에 따라 sheet resistance 가 증가 하였다. 즉, 7.69Ω/□ 의 코발트 박막이 500°C 에서 10초 열처리 한 결과 16.8Ω/□ (평균) 로 증가하여 최대치를 나타내었으며 이는 amorphous 상태의 코발트가 실리콘과 결합을 시작하면서 결정구조를 갖는 초기의 성장상태인 monosilicide (CoSi) 상 (phase) 은로의 변화에 따른 영향으로 고찰된다.

영역 (II)에서는 RTA 의 온도가 고온으로 증가함에 따라 sheet resistance 가 급격히 감소하는 결과를 보인다. 코발트가 고온의 영향으로 활발히 실리콘 속으로 확산되어 안정된 실리사이드 (CoSi<sub>2</sub>) 가 성장되는 과정이며 700°C 에서 2μ/□ 정도로 감소되었으며 영역 (III)에서는 온도의 변화에 거의 무관한 sheet re-sistance ( 1-2 Ω/□ ) 값이 나타났다.

따라서 700°C 이상의 온도에서 거의 안정된 실리사이드가 형성됨을 알았다.

또한 RTA 온도를 고정 시킨 상태 (750°C) 에서 RTA time 을 5초 간격으로 변화 시킨 결과 ( 그림 6. ) 처음 5초 동안은 sheet resistance 가 증가하다가 이후 급격히 감소하였으며 20초 이상 열처리 했을 경우 1Ω/□ 정도로 sheet resistance 가 거의 변하지 않는 것으로 보아 20초 정도의 열처리는 실리사이드의 형성에 적당한 것으로 분석되며 기존의 Furnace annealing 보다 상당히 빠른 열처리 효과를 나타냄을 알 수 있다.

750°C 에서 20초 열처리 한 후 형성된 실리사이드의 단면을 SEM 으로 확인한 결과가 그림 7.로써 성장 길이가 2000 Å 정도로 나타났다.

시료 (10mm×10mm)의 균일성은 거의 일정한 상태였으며 0.9A/□ 가 측정되었다. 추출된 비저항은 18μΩ-cm 정도 로 감소된 결과가 나타났다.

IV. 결 론

기존의 Furnace annealing 보다 장점이 많은 급속 열처리 (RTA) 방식으로 실리사이드를 형성 시킨 결과 박막 두께 1500 Å 코발트의 sheet resistance 7.69Ω/□ 가 실리사이드 형성 후 0.9Ω/□ 로 떨어지며 비저항은 18μΩ-cm 정도로 추출 되었다.

750°C 의 온도에서 20초 열처리 한 결과 안정된 코발트 실리사이드가 형성되었으며 이상의 열처리 시간에는 sheet resistance 가 동일한 값을 보이는 것을 알았다. 또한 Growth Rate 관찰의 일환으로 실리사이드의 단면을 SEM 으로 분석한 결과 성장길이가 2000 Å 정도로 확인 되었다.

앞으로 정확한 Growth Rate 의 연구를 위해 보다 전문적인 실험방법이 요구된다.

참 고 문 헌

[1] S.P.Murarka, "Silicides for VLSI Application", ( Academic, New York, 1983 )  
 [2] S.P.Murarka, "Self-Aligned Silicides or Metals for VLSI Applications", J.Vac.Sci.Technol.B4, p 1325, 1986  
 [3] I.Van den hove, R.Wolters, K.Maex, et al. "A Self-Aligned CoSi Interconnection and Contact Technology for VLSI Applications", IEBE Trans. Electron Devices, vol.ED-34, p.554, 1987

[4] M.J.Howes, D.V.Morgan, "Reliability and Degradation", (John Wiley Sons, 1981), Chap.2  
 [5] S.P.Murarka, D.B.Prasar, A.K.Sinha, et al. IEEE Trans. Electron Devices, vol.ED-34, p.2108, 1987  
 [6] M.Tabasky, E.S.Bulat, et al. IEEE Trans. Electron Devices, vol.ED-34, p.548, 1987  
 [7] S.P.Murarka, "Interactions in metallization systems for ICs", J.Vac.Sci.Technol.B2, p.693, 1984  
 [8] J.Chevallier and A.N.Larsen, Appl.phy.A39, p.141, 1986

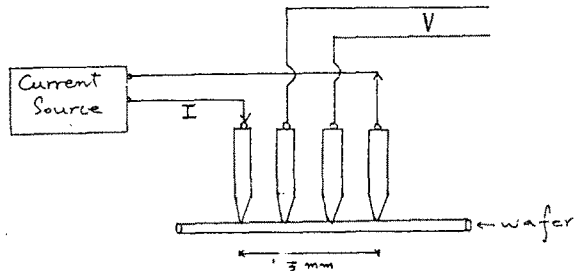


그림 4. Four-Point Probe system.

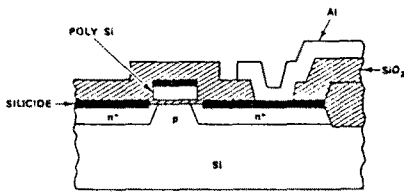


그림 1. Schematic structure of MOSFET with self-aligned silicided gate, source and drain.

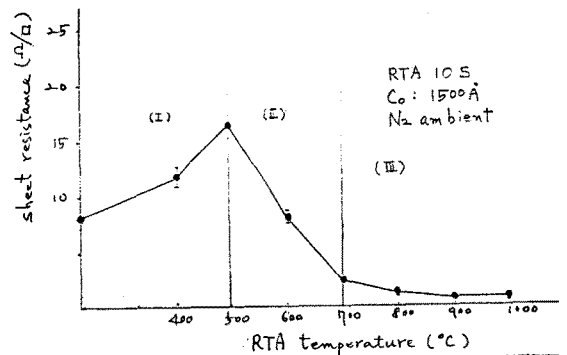


그림 5. The sheet resistance of the silicide film as a function of temperature for 10-s

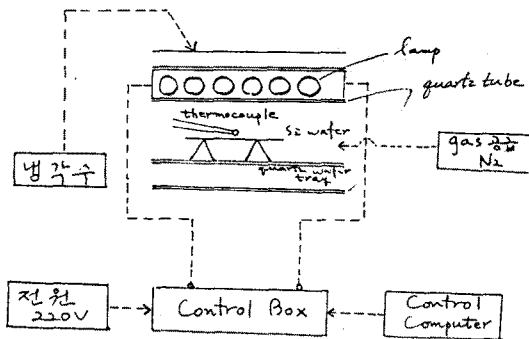


그림 2. RTA system

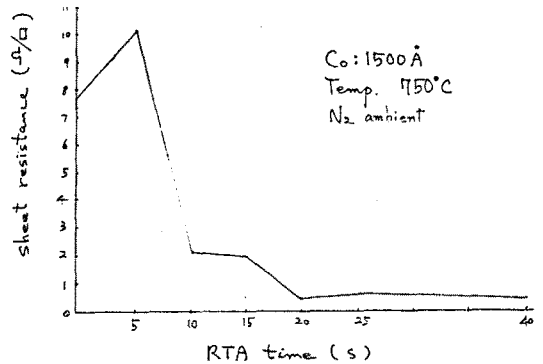


그림 6. The sheet resistance of the silicide film as a function of time at 750 C.

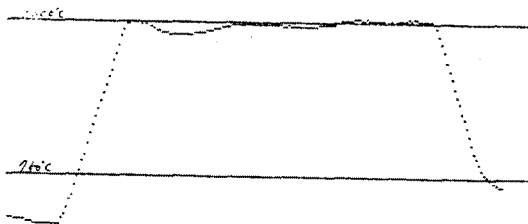


그림 3. RTA Temperature Profile, time 30s at 1000 C

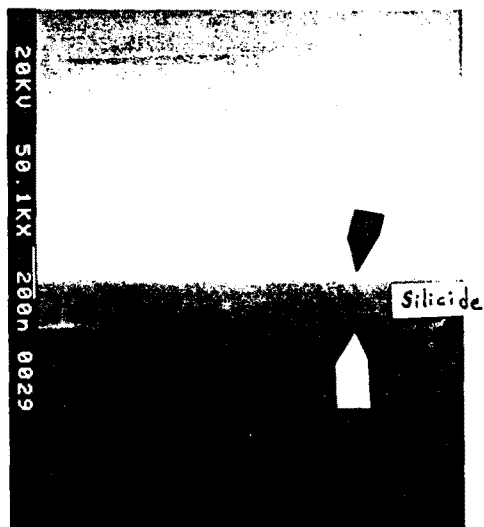


그림 8. Cross-sectional SEM of film formed by RTA, time 20s at 750°C