

실시간 처리를 위한 2치 화상의 잡음 제거 전용 하드웨어 구성

박인정, 이동찬⁰
 단국 대학교 전자 공학과

Dedicated hardware implementation for real time noise elimination of 2-valued image

IN JUNG PARK, DONG CHAN LEE
 Dept, of Electronics of Dankook Univ,

A lot of time is required in order to the process of loop repeating the preprocessing operated in the software. Specially in the preprocessing, most of the time is used for the noise elimination such a software algorithm component of a noise elimination hardware, this can operate quickly the process.

1. 서론

일반적으로 계산기가 취급하는 화상은 디지털 화상이다.

디지털 화상 신호의 인식은 로봇 공학, 컴퓨터 비전, 및 인공지능의 실현을 위한 기초 분야이다.

디지털 화상 신호를 인식하기 위해 필수적으로 필요한 과정이 전처리 (preprocessing) 이다. [1,2,3]

도형의 전처리는 그후의 처리와 밀접한 관계가 있고 어떤 처리를 어느 정도 행하면 좋은가 하는 것은 컴퓨터가 그 화상을 인식하느냐 못하느냐의 중요한 과정이 된다.

전처리 과정이 소프트웨어에 의해 행해지는데는 프로그램의 해석이나 noise 제거 과정에서 반복되는 loop 의 형성 등으로 인하여 많은 시간이 소요된다. [4] 따라서 본 논문에서는 가장 기본적인 2치 도형(숫자)의 잡음 제거 과정을 소프트웨어의 알고리즘 (Algorithm)에 준하여 잡음제거 전용 하드웨어를 구성하여 소프트웨어에 의한 잡음 제거 과정에서 소요되는 시간과 비교 고찰 하고자 한다. [5,6,7,8]

2. 2치 화상의 잡음 제거

(1) 잡음 제거의 목적

문자, 도형, 그림등의 화상 정보는 본질적으로 2차원 연속 평면상의 농도 정보 (백색, 재색 화상이면 농염도, color화상이면 복수의 원색 명암도)로서 주어지지만 이와 같은 연속 정보는

확산화하여 양자화하지 않으면 계산기로 다루는 것이 불가능하다.

화상 정보의 확산화로서는 그림 1에 나타냈듯이 2차원 평면을 횡방향(X) 및 종방향(Y)로 직각 나누어 격자상 평면으로 하고 각 격자에 있어서 평균 농도를 구하는 것이다.

양자화라는 것은 이 평균 농도를 계조(階調) 표시하는 것이고 이것에 의해 각 격자에 있어서 양자화 농도 $P(i,j)$ 가 구해진다.

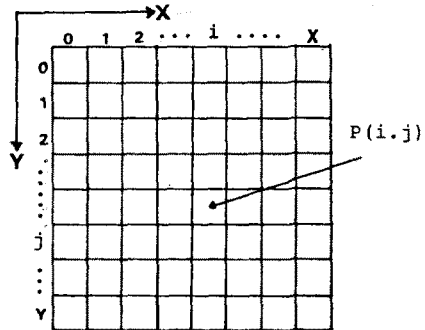


그림1 디지털 화상
 Fig 1 Digital image

이와 같은 격자의 $P(i,j)$ 를 화소(畫素 또는 點)라 하고 화소로 표현된 화상을 디지털 화상이라 한다. 특히 각 화소가 백,흑의 2계조로 표시될때 즉

$$P(i,j) = \begin{cases} 0 : \text{백} \\ 1 : \text{흑} \end{cases} \quad (1)$$

일때 이 디지털 화상은 2치 도형이라 불린다. 2치 도형에 있어서는 일반적으로 0의 화소는 배경을 나타내고 1의 화소가 도형의 영역을 나타내고 있다.

화상 입력 장치에서 계산기에 입력된 2치 도형은 디지털 화에 의해 오차나 입력 장치 자신에 의해서 발생한 잡음 (noise) 등에 의해 지저분해지고 대상이 되는 그림의 영역의 위치나 크기가 변하는 것이 보통이다. 따라서 그

후의 특징 추출이나 해석, 인식 처리를 하기 쉽도록 잡음을 제거하고 어느 정도 정형(整形)하여 두는 것이 요구된다. 특히 문자나 숫자 인식에 있어서는 문자의 정형은 그 후의 인식 처리의 설계와 밀접히 관계하고 있어 중요하다.

(2) 잡음 제거(Noise Elimination) 방법

잡음이란 소위 고립(孤立)된 1과 고립(孤立)된 0을 잡음이라 하면 디지털 화상에서는 그림 2에 나타난 것과 같이 한개의 화소 P에 관심을 가지면 그 화소를 중심으로 8개의 화소 $P_0, P_1, P_2, \dots, P_7$ 가 존재한다. 이들 8개의 화소를 P의 8근방(近傍)이라 한다.

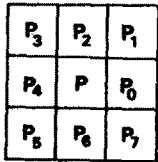


그림 2 화소 P의 8근방
Fig 2 8-neighborhood of P

또 P의 상하좌우 4개의 화소 P_0, P_2, P_4, P_6 를 P의 4근방이라 한다. 화소 P가 흑이고 그 8근방이 모두 백일때 즉

$$\begin{cases} P = 1 \\ P_i = 0 \end{cases} \quad (2)$$

일때 P를 고립된 1이라 한다. 반대의 경우 화소 P가 백이고 그 8근방이 모두 흑일때 즉

$$\begin{cases} P = 0 \\ P_i = 1 \quad (i = 0, 1, 2, 3, \dots, 7) \end{cases} \quad (3)$$

일때 P를 고립된 0이라 한다. 고립된 1은 문자의 경우 단일점으로 그림의 의미를 갖지 않는 것으로 하고 고립된 0은 배경으로서의 의미를 갖지 않는 것으로 하면 이들은 모두 잡음이라 생각할 수 있다. 그리고 잡음 제거의 처리로서는 모든 화소에 대해 각각의 8근방을 조사하여 그림 3에 나타냈듯이 고립된 1이면 그 화소를 0(백)으로 고립된 0이면 그 화소를 1(흑)으로 변환한다.

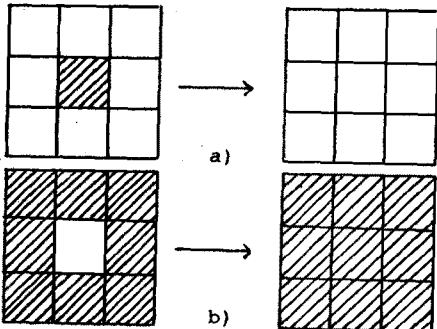


그림 3 a) 고립된 1의 제거 b) 고립된 0의 제거
Fig 3 a) elimination of isorate 1
b) elimination of isorate 0

(3) 소프트웨어에 의한 잡음 제거

참고 문헌 [1]의 프로그램의 예를 들면 (2)에서 설명한 알고리즘에 존재하여 차여진 프로그램으로써 sub 4의 Noise Elimination에서는 그림 4의 알고리즘에 의해 잡음을 제거하기 때문에 고립된 1과 고립된 0만을 잡음으로 규정하여 제거하거나 끼워 넣는다. 따라서 DATA 2의 경우 제거하거나 끼워 넣어야 할 부분이 남아 있게 된다.

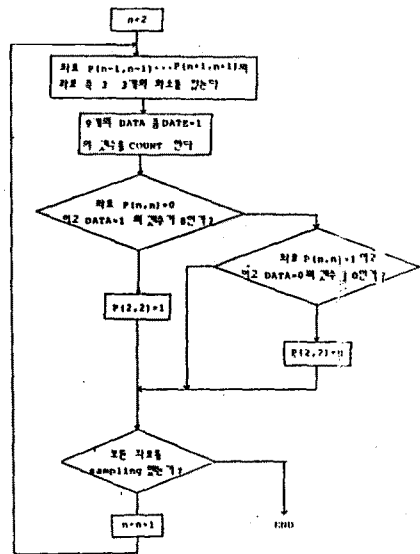


그림 4 잡음 제거 소프트웨어 알고리즘
Fig 4 Software algorithm of noise elimination

3. 잡음 제거 전용 하드웨어의 구성 및 실험

본 논문에서 구성한 잡음제거 전용 하드웨어는 그림 5에 나타낸 바와 같이 control 부, register 부, 잡음 제거 logic 부와 잡음 제거가 완료된 2차 화상 DATA를 저장하는 RAM으로 구성하였다.

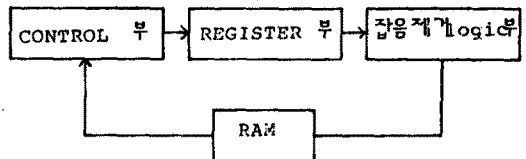


그림 5 본 논문에서 구성한 잡음제거 하드웨어의 블록도
Fig 5 Block diagram of noise elimination hardware implement in this paper

전체 system clock은 10 KHz 이고 소자는 전원 전압 +5V, 소비전력 1 gate 당 100 mV 이고 fan out 가 큰 TTL (Transistor - Transistor logic) standard type 을 사용하였으며 모든 소자는 active high mode 이다.

(1) control 부

control부는 counter, Multiplexer 및 Flip Flop 으로 구성하여 화상 DATA의 입력 및 출력과 잡음 제거 logic에서 필요한 register 내에서 data의 이동을 control 한다.

counter는 전체 DATA수 (본 논문에서는 5x12 bit)로 set시켜 initial data의 입력이 종료 되면 reset되고 이때 MUX의 select(s)가 initial data input mode (s=0)에서 잡음 제거 실행 mode (s=1)로 전환되어 window의 이동을 행한다. control부의 block diagram은 그림 6와 같다.

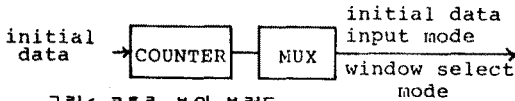


그림 6 콘트롤 부의 블록도

Fig 6 Block diagram of control part

잡음 제거가 끝나면 counter는 잡음 제거 logic부의 counter 3으로 부터 동기 신호를 받아 MUX가 initial data input mode로 전환되어 RAM에 있는 data를 다시 60 counter에 의해 register로 입력시키는 동작을 행한다.

각 부분의 timing diagram은 그림 7과 같다.

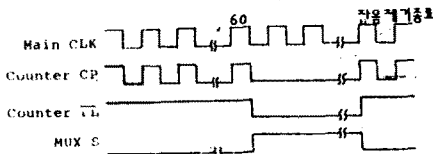


그림 7 콘트롤 부의 타이밍 다이어그램

Fig 7 Timing diagram of control part

Clock수에 따른 Multiplexer의 select(s)에 의한 동작 mode는 표 1과 같다.

표 1 클럭에 따른 멀티플렉서의 선택에 의한 동작 모드
Table 1 Operating mode by select of multiplexer

| CLK | S | OUTPUT (Z) |
|---------|---|--|
| 1-60 | L | 1. (initial data input mode) |
| 61-720 | H | 1. (window select mode) |
| 121-780 | L | 1. (noise elimination data input mode) |

(2) Register 부

Register 부는 74LS194 4 bit Bidirectional universal shift register와 74LS153 dual 4-input multiplexer 2개로 1x4 bit를 구성하여 전체 5x12 bit의 데이터를 표시할 수 있으며 initial data serial input과 parallel shift right, left, parallel up, down을 전처리 실행부의 clock mode에 따라 행할 수 있도록 설계하였다. shift right, left 동작은 register의 select(s)에 의해 선택되고 parallel up, down 동작은 MUX의 S₀, S₁이 parallel load 신호 (1,1)일 때 실행된다. 2차 화상 표시부의 block diagram은 그림 8과 같고 그 function은 표 2에 나타냈다.

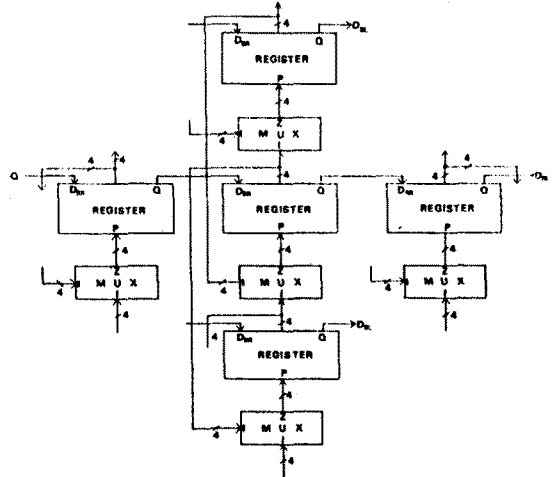


그림 8 레지스터 부의 블록도

Fig 8 Block diagram of register part

표 2 멀티플렉서와 레지스터의 선택에 따른 동작
Table 2 Operating follow select of MUX & Register

| 동작 \ 선택 | MUX | | REGISTER | |
|---------------|----------------|----------------|----------------|----------------|
| | S ₀ | S ₁ | S ₀ | S ₁ |
| SHIFT LEFT | X | X | L | H |
| SHIFT RIGHT | X | X | H | L |
| PARALLEL UP | L | H | H | H |
| PARALLEL DOWN | H | H | H | H |

(3) 잡음 제거 logic 부

전처리 과정은 2-(2)에서 설명된 잡음제거와 위치의 정규화, 크기의 정규화 등으로써 인식의 전단계로서 가장 중요한 부분의 하나이다.

잡음제거 과정은 디지털화에 의한 오차나 입력장치 자신의 잡음으로써 발생한 원래 화상 이외의 데이터로 취급하여 제거하거나 끼워 넣어야 한다.

잡음 제거 방법은 하나의 데이터 P를 중심으로 8근방 (P₀~P₇)의 9개의 데이터를 조사하여 1의 화소의 갯수 (d=1)가 5/9 이상이면 P의 데이터를 1로 만들고 그 이외의 경우에는 0으로 만들어 주는 방법으로 설계하였다. 그 하드웨어의 block diagram은 그림 9와 같다.

register는 window에서 P를 중심으로한 8근방 (P₀~P₇)의 9개 데이터를 받아 shift right에 의해 카운터 1에 입력되면 카운터 1은 1의 데이터만을 카운트하여 comparater에 보낸다. comparater는 1의 갯수를 판정 (5>, 5<)하여 0 또는 1의 데이터를 RAM으로 보내 저장시키게 된다. 이때 카운터 3은 window 하나에 대해 1번씩 카운트하여 (총 60 count) RAM에 입력되는 데이터의 번지를 지정하며 모든 DATA들에 대한 window

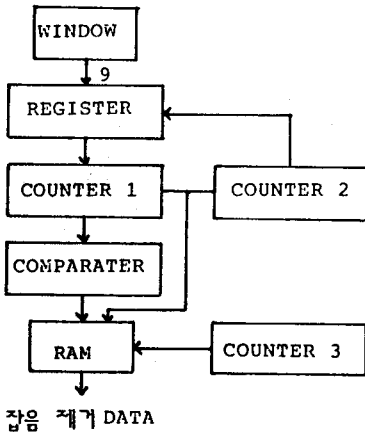


그림 9 잡음 제거 논리부의 블록도

Fig 9 Block diagram of noise elimination logic part

지정으로 잡음 제거가 끝난후 마지막 clock 에 control 부에 initial data input mode 의 동기 신호를 발생시켜 RAM에 저장된 새로운 데이터를 다시 Register 에 입력시키게 된다. system clock 이 100 kHz 일때 각 부분의 time diagram 은 다음과 같다.

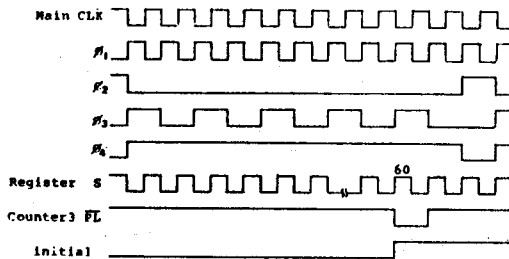


그림 10 잡음제거 논리부의 타이밍 다이어그램
Fig 10 Timing diagram of noise elimination logic part

4. 결 론

2차 화상의 전처리에 있어서 소프트웨어에 의해 처리하는대는 전처리 시간의 80%가 잡음 제거 과정에서 걸리므로 잡음 제거 전용 하드웨어를 구성하여 소프트웨어와 결합시켜 전처리를 실행하게 되면 짧은 시간내에 전처리를 실행하여 고속화를 요구하는 시스템에 적용할 수 있다.

참 고 문 헌

1. 상판길숙, 태원옥부 "패턴 인식과 도형 처리" P 184-196. 문일 종합출판(1984)
2. "화상 처리의 기본 기법(기술 입문편)" P 41-64. 기술 평론사(1986)

3. 이상인 이현주 외 "숫자 인식을 위한 특징 추출에 관한 연구" 대한 전자 공학회 학계 종합 학술대회 논문집 Vol 1 & P 264-266 (1985)
4. 박 인정 "인식된 숫자로 부터 자릿값을 갖는 한글 숫자음의 합성에 관한 연구" 산학 협동 재단 학술 연구 과제 최종 보고서 P 1-7 (1987)
5. 정 기억 "화상 처리 시스템의 기초와 설계 제작" (1986)
6. Ching Y, Suen, Pb D, Renato De Mori D. Eng "Computer analysis and Perception" Vol 1 P 18-39, CRC Press(1981)
7. Rafael C, Gonzalez Michael g. thomson "Syntactic Pattern Recognition an introduction" APMCC 14
8. Motorola Schttky TTL Data Book,