(88, 64) SBEC-DBED부호의 고속병렬 CODEC설계

우 형철 김 재문 이 만영
한 양 대 학 교

The Parallel High Speed CODEC Design of (88, 64) SBEC-DBED code

Hyeong Cheol Woo Jae Moon Kim Man Young Rhee
Hanyang University

ABSTRACT

In this paper, techniques of constructing parity check matrix of SBEC-DBED codes will be presented to improve reliability of muliti-bit-per-chip type memory systems. And the high speed parallel CODEC of (88, 64) SBEC-DBED code which is applicable to real system will be designed.

1. 서론

컴퓨터 주 기억장치를 구성하는 칩의 수를 줄여 조각화(granularity)를 방지할 필요가 생겨 비트형칩 보다는 바이트형칩이 일반화 되게 되었다. 바이트형칩으로 구성된 기억장치에서는 단일 칩오류가 한 단어 중 바이트오류까지 발생시키게 된다. 이에따라 기존의 SEC-DED부호로는 정정 불가능한 오류비율(uncorrectable-error rate)이 높아질 뿐아니라, 다중오류는 잘못 정정되게 되어 정보파손의 심각한 문제가 야기된다.

따라서 바이트형칩으로 구성된 기억장치의 신뢰도를 보장하기 위해서 단일바이트오류정정 및 2중바이트오류검출 부호인 SBEC-DBED(Single-Byte-Error-Correcting and Double-Byte-Error-Detecting)부호가 필수불가결하게 되었다. SBEC-DBED부호는 단일 칩오류를 완전하게 정정할 수 있고, 2중 칩오류를 완전하게 검출할 수 있다. 그 결과 정정 불가능한 오류비율이 현저히 줄어들고, 정보유실의 문제가 높은 수준으로 해결된다.

본 논문에서는 SBEC-DBED부호의 구성방법을 기술하고 실제로 컴퓨터 주 기억장치에 적용 가능한 (88, 64) SBEC-DBED 부호의 고속병렬 CODEC(enCOder plus DECoder)을 설계한다.

2. 확장된 Reed-Solomon SBEC-DBED부호

2-1. Reed-Solomon SBEC-DBED부호

부호장(code length)이 n이고, 정보장(information length or data length)이 k이며, t개의 오류를 정정할 수 있는 (n, k) Reed-Solomon부호는 다음과 같은 생성다항식(generator polynomial) g(x)에 의해 생성된다.

$$g(x) = \prod_{i=0}^{2t-1} (x-\beta^{i+1}) \tag{1}$$

여기서 l 는 임의의 정수이며, β는 유한체 GF(q)의 임의의 원소이다. 또, q는 2이상의 자연수이다.

GF(q)상의 임의의 선형부호의 최소거리 d_{min}이 4보다 크거나 같으면, 그 부호는 SBEC-DBED부호이다. 최소거리를 4로 하기 위하여 식(1)에 1차다항식을 추가로 곱하고, $q=2^b$, $t=1$, $l=1$, 및 β는 $GF(2^b)$의 원시원(primitive element) α를 택하여 생성다항식을 구성해 보면 다음과 같다.

$$g(x) = (x-1) \prod_{i=0}^{1} (x-\alpha^{i+1}) = \prod_{i=0}^{2} (x-\alpha^{i}) \tag{2}$$

식(2)에 의해 생성되는 Reed-Solomon부호는 다음과 같은 제원을 갖게 된다.

부호장 : $n = 2^b-1$ (바이트)

정보장 : $k = 2^b-4$ (바이트)

최소거리 : $d_{min} = 4$

b값에 따라 n과 k의 값이 결정되며, 이 부호는 최소거리가 4이므로 SBEC-DBED부호이다. 또한, 이 부호의 검사행렬은 식(2)에 의해 다음과 같다.

$$H = \begin{bmatrix} (\alpha^0)^0 & (\alpha^0)^1 & (\alpha^0)^2 & \cdots & (\alpha^0)^{n-1} \\ (\alpha^1)^0 & (\alpha^1)^1 & (\alpha^1)^2 & \cdots & (\alpha^1)^{n-1} \\ (\alpha^2)^0 & (\alpha^2)^1 & (\alpha^2)^2 & \cdots & (\alpha^2)^{n-1} \end{bmatrix}$$

$$= \begin{bmatrix} 1 & 1 & 1 & \cdots & 1 \\ 1 & \alpha & \alpha^2 & \cdots & \alpha^{n-1} \\ 1 & \alpha^{2(1)} & \alpha^{2(2)} & \cdots & \alpha^{2(n-1)} \end{bmatrix} \quad (3)$$

2-2. Reed-Solomon SBEC-DBED부호의 확장

식(3)에 새 검사바이트를 첨가하여 다음과 같은 확장된 Reed-Solomon부호의 검사행렬을 구할 수 있다. [2]

$$H = \begin{bmatrix} 1 & 1 & \cdots & 1 & 1 & 0 & 0 \\ 1 & \alpha & \cdots & \alpha^{n-1} & 0 & 1 & 0 \\ 1 & \alpha^{2(1)} & \cdots & \alpha^{2(n-1)} & 0 & 0 & 1 \end{bmatrix} \quad (4)$$

확장된 Reed-Solomon SBEC-DBED부호의 제원은 다음과 같다.

부호장 : $n = 2^b+2$ (바이트)

정보장 : $k = 2^b-1$ (바이트)

최소거리 : $d_{min} = 4$

3. 유한체 GF(2^b)원소의 행렬표현

식(4)의 검사행렬로 구성되는 확장된 Reed-Solomon SBEC-DBED부호의 고속병렬 부호화 및 복호를 실현하기 위해서는 GF(2^b)의 원소들을 2원(binary)형태로 변형하는 것이 필요하다.

b차의 기약다항식(irreducible polynomial) p(x)를 다음과 같이 표현할 수 있다.

$$p(x) = \sum_{i=0}^{b} a_i x^i \quad (5)$$

여기서 Σ은 2원덧셈(modulo-2 addition)을 나타낸다. 이때 p(x)의 짝행렬(companion matrix)은 다음과 같은 bxb인 2원행렬로 정의 되어진다.

$$T = \begin{bmatrix} 0 & 0 & 0 & \cdots & 0 & a_0 \\ 1 & 0 & 0 & \cdots & 0 & a_1 \\ 0 & 1 & 0 & \cdots & 0 & a_2 \\ 0 & 0 & 1 & \cdots & 0 & a_3 \\ \cdot & \cdot & \cdot & \cdots & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdots & \cdot & \cdot \\ 0 & 0 & 0 & \cdots & 1 & a_{b-1} \end{bmatrix}_{b\times b} \quad (6)$$

이때, 집합{$0, T^1, T^2, T^3, \ldots, T^{2^b-2}, T^{2^b-1}=I$}는 유한체GF($2^b$)를 형성한다. 여기서 0은 bxb인 영행렬을 나타내고, I는 bxb인 단위행렬을 나타낸다.

식(4)의 확장된 Reed-Solomon부호의 검사행렬을 식(6)의 짝행렬 T로 표현하면 다음과 같다.

$$H = \begin{bmatrix} I & I & \cdots & I & I & 0 & 0 \\ I & T & \cdots & T^{n-1} & 0 & I & 0 \\ I & T^{2(1)} & \cdots & T^{2(n-1)} & 0 & 0 & I \end{bmatrix} \quad (7)$$

식(7)의 검사행렬에 의해 비트로 표시한 제원은 다음과 같음을 알수 있다.

부호장 : $N = b(2^b+2)$ (비트)

정보장 : $K = b(2^b-1)$ (비트)

4. (88,64)SBEC-DBED부호의 고속병렬 CODEC설계

8차 원시다항식 $p(x) = x^8+x^4+x^3+x^2+1$을 이용하여 0 이외의 GF(2^b)의 원소들을 짝행렬로 나타내면 다음과 같다.

$$T = \begin{bmatrix} 00000001 \\ 10000000 \\ 01000001 \\ 00100001 \\ 00010001 \\ 00001000 \\ 00000100 \\ 00000010 \end{bmatrix} \quad T^2 = \begin{bmatrix} 00000010 \\ 00000001 \\ 10000010 \\ 01000011 \\ 00100011 \\ 00010001 \\ 00001000 \\ 00000100 \end{bmatrix} \quad \cdots \quad T^{255} = \begin{bmatrix} 10000000 \\ 01000000 \\ 00100000 \\ 00010000 \\ 00001000 \\ 00000100 \\ 00000010 \\ 00000001 \end{bmatrix}$$

또한, 식(7)에 의해 (2064,2040)확장된 Reed-Solomon SBEC-DBED부호의 검사행렬은 다음과 같다.

$$H = \begin{bmatrix} I & I & I & \cdots & I & I & I & 0 & 0 \\ I & T & T^2 & \cdots & T^{253} & T^{254} & 0 & I & 0 \\ I & T^2 & T^4 & \cdots & T^{251} & T^{253} & 0 & 0 & I \end{bmatrix} \quad (8)$$

식(8)의 검사행렬을 단축하여 최소 Hamming중을 갖는 (88, 64), (152,128)SBEC-DBED부호의 검사행렬을 구하면 식(9), (10)과 같다.

$$H = \begin{bmatrix} I & I & I & I & I & I & I & I & I & 0 & 0 \\ I & T & T^2 & T^{24} & T^{25} & T^{49} & T^{253} & T^{254} & 0 & I & 0 \\ I & T^2 & T^4 & T^{48} & T^{50} & T^{98} & T^{251} & T^{253} & 0 & 0 & I \end{bmatrix} \quad (9)$$

$$H = \left[\begin{matrix} I & I & I & I & I & I & I & I & I & I \\ I & T & T^2 & T^3 & T^{23} & T^{24} & T^{25} & T^{48} & T^{49} & T^{50} \\ I & T^2 & T^4 & T^6 & T^{46} & T^{48} & T^{50} & T^{96} & T^{98} & T^{100} \end{matrix}\right.$$

$$\begin{bmatrix} I & I & I & I & I & I & I & 0 & 0 \\ T^{127}T^{128} & T^{139}T^{140} & T^{253}T^{254} & 0 & & & & I & 0 \\ T^{254}T & T^{23}T^{25} & T^{251}T^{253} & 0 & & & & 0 & I \end{bmatrix} \quad (10)$$

(9)식을 이용하여 (88,64)SBEC-DBED부호의 고속병렬 CODEC을 설계하면 그림과 같다. 또한, 입력이 3인 AND, NAND, OR, NOR게이트를 하나의 게이트로 간주하여 (72,64)SEC-DED부호 CODEC과 총게이트수와 지연시간을 비교하여 표에 나타내었다.

표. 게이트수와 지연시간 비교

부호	CODEC 총게이트수	지연시간(게이트)	
		부호화	복호
(72, 64)SEC-DED	1220	5	10
(88, 64)SBEC-DBED	1421	5	12

총게이트수는 201게이트, 복호지연시간은 2게이트 증가함을 알 수 있다.

5. 결론

본 논문에서는 SEC-DED부호로는 신뢰도를 보장할 수 없는 바이트 형태로써 구성된 컴퓨터 주기억장치의 신뢰도를 보장하기 위하여 사용될 SBEC-DBED부호의 구성방법을 기술하고, 실제 시스템에 적용 가능한 (88,64)SBEC-DBED부호의 고속병렬 CODEC을 설계하였다.

참고문헌

[1] 이 만영, 부호이론, 희중당, 서울, 1984.

[2] J.K.Wolf, "Adding Two Information Symbols to Certain Non-binary BCH Codes and Applications." Bell Syst. Tech.J.48, 2405-2424 (1969).

[3] S.Kaneda and E.Fujiwara, "Single Byte Error Correcting-Double Byte Error Detecting Codes for Memory Systems." IEEE Trans. Computers C-31 596-602 (July 1982).

[4] C.L.Chen and M.Y.Hsiao, "Error Correcting Codes for Semiconductor Memory Applications: A State-of-the-Art Review." IBM J. Res. Develop.2, 124-134 (March 1984).

[5] C.L.Chen, "Error Correcting Codes for Byte-Organized Memory Systems." IEEE Trans. Information Theory IT-32 181-185 (March 1986).

[6] C.L.Chen, "Byte-Oriented Error-Correcting Codes for Semiconductor Memory Systems." IEEE Trans.Computers C-35 646-648 (July 1986).

[7] 우 형철, 이 만영, "최적의 Minimum Odd-Weight-Column SEC-DED부호의 구성기법." 대한 전자공학회 추계종합 학술대회 논문집. Vol.10, No.1 73-75 (November 1987).

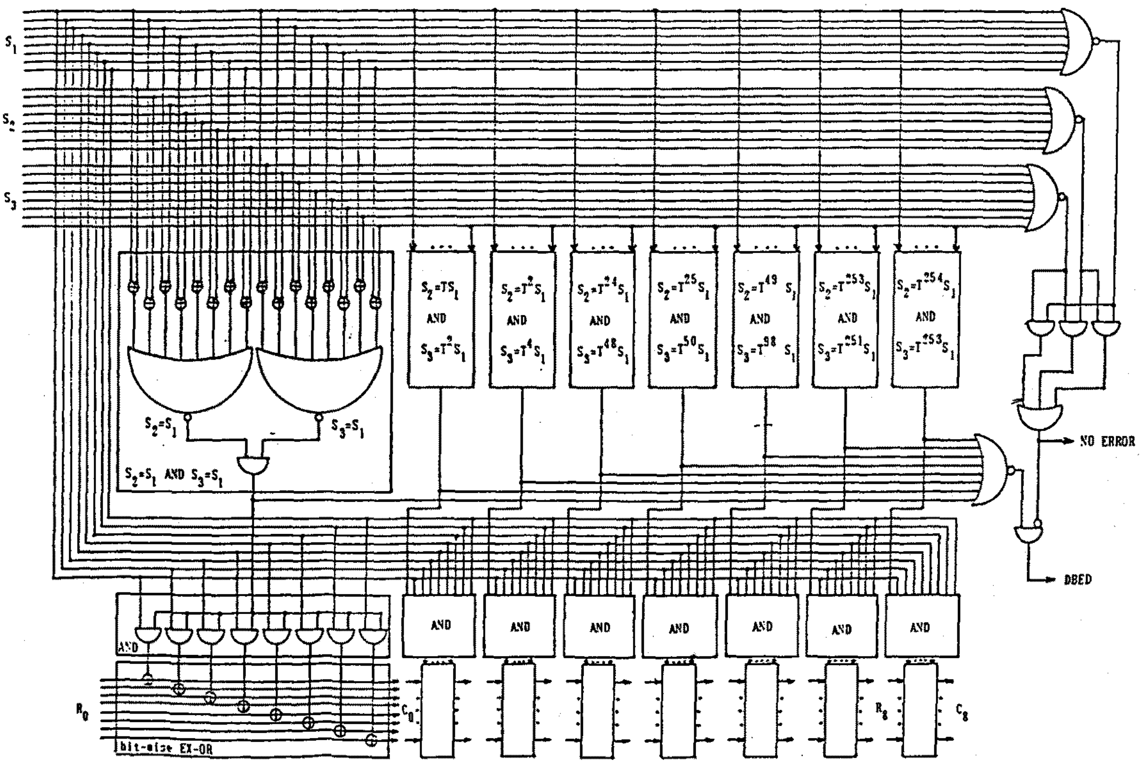

그림. (88,64)SBEC-DBED부호의 고속병렬 CODEC