

입력속 고조파 저감을 고려한 새로운 직류전동기 속도제어

유 철 로* 이 공 희** 이 성 풍*** 강 석 구[†]
전 북 대* 전 북 대** 충남전산대*** 전 북 대

A Study on the DC Motor Speed Control with Reduced Harmonics

Chul-Ro Yu* Gong-Hee Lee** Seong-Ryong Lee*** Seock-Koo Kang[†]

ABSTRACT

This paper is studied the new speed control system of the DC motor which can drive constant speed at variable load as well as reduce the harmonics.

System is used thyristor-Leonard circuit with 2-tap in order to reduce the harmonics problems due to chopping dc input voltage in chopper system and semiconductor devices in thyristor-Leonard system.

There is added to the PLL system to drive the constant speed in variable Load, which has controlled of variable speed in DC motor. Thereby, we have proved its through experiment.

1. 서론

최근 전력용 반도체의 급속한 발전으로 전력변환장치 및 제어장치가 개발되어 전동기의 속도제어 및 고조파 저감에 관한 연구가 매우 활발히 진행되고 있다.

직류전동기는 교류 전동기에 비하여 가격이 비싸다는 단점을 지니고 있으나 속도 및 토크 제어가 간단하고 정밀하여 일정한 속도가 요구되는 데에 많이 이용되고 있으며, 제이용 전력 변환 장치도 교류를 직류로 변환시키는 다이리스터 페오나드(Thyristor-Leonard)방식이나 직류를 직류로 변환시키는 초퍼(Chopper)방식이 최근 널리 사용되어 왔다. 그러나 이러한 장치들은 전압, 전류가 비선형 특성이기 때문에 변형파형의 전류가 흘러 전원측에서 발생하는 고조파 전류에 의한 유효장해 및 전동기 전류에 의한 절류작용의 문제를 발생시켜 이를 고려한 새로운 직류전동기 속도제어에 관한 연구가 있어야 할 것으로 생각된다.

이러한 고조파 영향을 줄이기 위해서는 필터와 다상화 방법이 있으나 필터에 의한 방법은 비용의 증대 문제가 있고, 다상화 방법은 12상 이상의 정류파형을 인용 경우 상용 변환용 변압기를 필요로 하여 장치의 대형화와 비용의 증대가 요구되어 경제상의 문제가 따른다. 따라서, 본 연구에서는 이러한 입력속 전류의 고조파를 경제적으로 간단하게 저감시키기 위하여 2중 절속 12필스 정류회로의 상간리액터에 보조 정류회로를 부가

한 멀티란형 다이리스터 페오나드회로를 구성하고, 부하의 변화에도 가변속 정속도 운전이 가능하도록 PLL시스템을 사용하여 직류전동기를 피아드백 속도제어 하고자 한다.

2. 멀티란형 다이리스터 페오나드 회로

그림1은 교류 입력 전류를 제어각에 따라 24필스로 하기 위한 멀티란형 다이리스터 페오나드 회로로, 전원 속 변압기의 1차측은 Δ , 2차측은 Y와 Δ 의 2권선으로 접속되어 있고, 본바이터의 직류출력 전압을 e_{α} , e_{β} 라고 하면 전압의 크기는 같지만 입력전류는 30°의 위상 차이가 있다.

본 회로에서 멀티란 회로용 다이리스터 T1과 T2의 자연전류(natural commutation)가 가능하면서 전원전류의 고조파를 저감시키도록 운전하면, $\alpha \geq 15^\circ$ 일때 상간리액터 전압 $V_m(e_{\alpha} - e_{\beta}) > 0$ 이면 T1으로 $V_m < 0$ 이면 T2로 제어해야 하고, $\alpha < 15^\circ$ 일때 $V_m > 0$ 이면 T1으로 $V_m < 0$ 이면 T2로 제어해야만 제어 전범위에서 고조파 저감 효과가 있다. 여기서, 해향율(U)을 최소로 하는 회로 멀티란 제어각과 전수비는 컴퓨터 시뮬레이션을 통해 결정하였다.

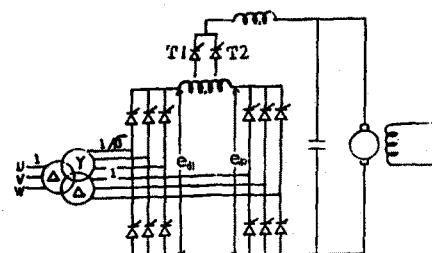


그림1. 멀티란형 다이리스터 페오나드 회로.

그림2는 그레의 SCR을 구동시키기 위한 블록선도와 Timing Chart이다. ZCD(Zero Crossing Detector)에 의하여 입력 정현파 (그림3(a))와 동기된 구형파((b))를 출력시키고 이 구형파를 8bit 프로그램이 불 카운터의 Load 단자에 입력하므로써 입력 정현파형이 high 상태 일 때만 "00_h"에서 "FF_h"까지 두번 counting 하도록 설정한다. 여기서 counting cycle은 clock에 의하여 설정되며, 카운터의 8bit 출력은 A/D변환기를 통해 나온 8bit 채어각의 값과 비교된다. 이 비교기 출력 팬스((c))는 단안정 멀티바이브레이터에 의하여 입력전압과 같은 주기로 트리거((d)(e))되고 Edge detector에 의하여 채어각 α 에 따른 트리거 팬스((f)(g))를 출력하며, 이 팬스는 본바이터 채어에 적합하도록 double 팬스 조합회로에 의하여 조합된다.

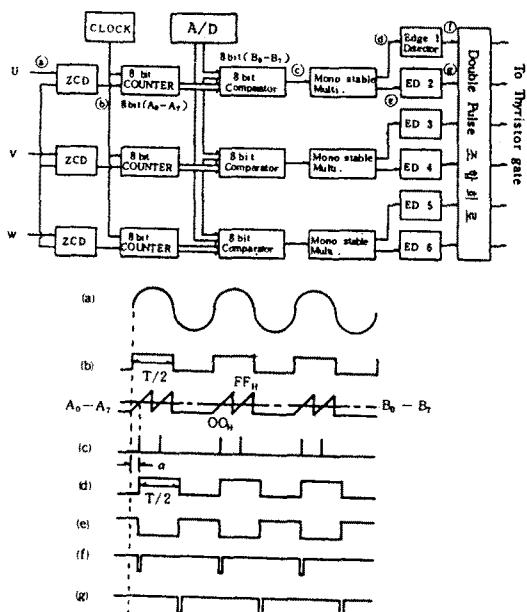


그림2. SCR 구동회로와 Timing Chart.

3. PLL 시스템

그림3은 종래의 PLL 채어방식에 PFD 보조회로 및 A/D 변환회로를 첨가하여 분권 지류진동기가 부하의 변동에 영향을 받지 않고 정속도 운전을 하도록 시스템을 구성하였다.

이는 EDGE TRIGGER 회로가 ENCODER 출력 주파수의 하강시에 팬스를 발생시켜, 이 팬스를 COUNTER의 RESET 팬스로 사용하므로써 COUNTER된 기준주파수 Fr과 ENCODER 출력주파수 Fp를 하강시에 일치시켜 주고, 팬스상승시의 위상차에 해당하는 파형만을 PFD에서 검출하여 위상 오차 전압을 저역통과 필터(LPF)에 가해 줌으로써 어떠한 조건(부하의 변동)에서도 Locked 시킬 수 있도록 하였다. 또한, A/D 변환회로를 사용하여 Analog Filter(LPF)를 Digital Filter로 교환하지 않고서도 이

느정도 필터의 정상오차를 줄일 수 있어 보다 정확한 속도제어를 할 수 있다.

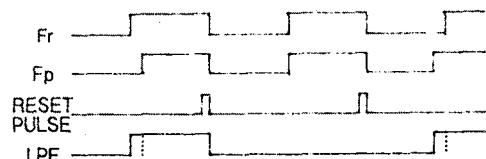
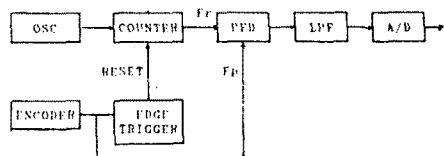


그림3. 정속도 운전을 위한 PLL 시스템과 각 파형.

4. 실험 결과 및 고찰

그림4는 본 연구에서 제시한 속도제어 시스템의 블록선도로 입력측 전류의 고조파를 저감시키기 위한 본바이터부와 지류진동기의 정속도 운전을 위한 PLL 시스템으로 구성되어 있다.

본 연구에 사용한 3상 24팬스 정류회로는 다음과 같다.

본바이터 : 3상 전파 다이리스터 브릿지 정류회로
변압기 용량 : 3[KVA]
변압기 권수비 : $\Delta - Y - \Delta$ (1 : 1_{1/3} : 1)
상간리액터 용량 : 1 [KVA]
지류평활용 리액터 : 300 [mH]
지류진동기 : 0.25 [HP] 3상 220V 1A

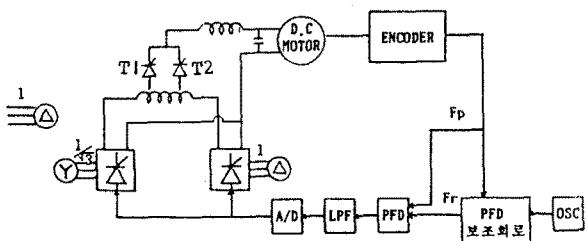


그림4. 회로구성.

그림5는 본 시스템에 사용된 본바이터의 입력전류파형으로 12팬스에 비해 24팬스가 더욱 정현파에 가까워짐을 보여 줌으로써 고조파 저감 효과가 있음을 알 수 있다. 이론적으로도 입력전류의 왜형율이 15.2%에서 6.89%로, 지류전압의 백분율이 0.94%에서 0.31%로 감소

된다. 그림6은 PLL시스템의 기준주파수 f_r 과 전동기 회전주파수 f_p 가 잘 일치 함을 알 수 있다. 그림7은 부하를 무부하 상태에서 30% 증가 시켰을 때의 전동기 속도 및 LPF의 응답파형으로 부하상태에 관계없이 전동기 속도가 일정하게 유지됨을 보여준다.



그림5. 입력측 전류 파형.

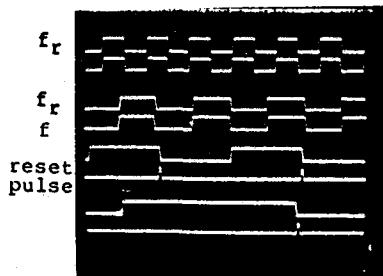


그림6. 시스템 lock시의 파형.

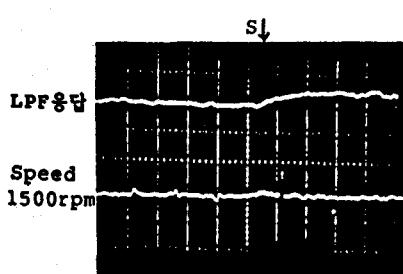


그림7. 부하 변동시 정속도 운전파형.

5. 결론

본 연구에서는 편변환 방식과 개선된 PLL 제어방식을 디이리스터 레오나드회로에 이용하여 제어각 α 의 가변에 따라 전동기를 속도제어하는 새로운 직류전동기 속도제어 시스템을 구성, 제작하고 실험한 결과 다음과 같은 결론을 얻었다.

1. 디이리스터 레오나드회로의 제어각 α 의 가변에 따라 속도를 제어 함으로써 광범위한 속도제어가 가능하다.
2. 편변환 방식의 부가로 인해 경제적으로 입력전류의 고조파를 저감시킬 수 있다.
3. PLL 제어 방식에 의하여 부하의 변동에도 관계없이 직류전동기의 정속도 운전이 가능하다.

참고문헌

1. S.MIYAIRI et al, "A New Method for Reducing Harmonics of Rectifier Circuit by Switching Taps of Interphase Reactor", IJEE 60-B26, pp.39-46, Mar. 1985.
2. S.R.Lee, "A Microprocessor-based Converter System with Reduced Harmonics", Jeonbuk National Univ., Ph.D.thesis, pp.32-37, Feb. 1988.
3. S.N. Singh, D.R.Kohi, "Analysis and Performance of a Chopper controlled separately Excited D.C Motor," IEEE. Trans, Ind. Electronics, vol. IE-29, No-29, No.1, pp.1-6, Feb. 1982.
4. S.R.Lee, "A Study on the Improvement of PLL System for Three Phase Induction Motor Speed Control," Myeng Ji Univ., M.D. thesis, pp.6-9, Feb 1981.
5. A.W.Moore, "Phase Locked Loops for Motor Speed Control," IEEE Spectrum, vol. 10, pp.61, April. 1973.