

**창립**  
**40주년 학술대회**  
**논문 87-B-20-6**

PLL 을 이용한 HF 대역 합성기의 주파수 조절에 관한 연구

송원용, 김경기  
한양대학교 전자공학과

A study on the Frequency control of HF Synthesizer  
using a Phase-Locked Loop

Heon-Yong Song, Kyung-Bi Kim  
Dept. of Electrical Eng. of Hanyang Univ.

Abstract

This paper treats with the design and fabrication of a frequency synthesizer for the generation of intermediate frequency of a HF band transceiver.

The synthesizer is designed to control frequencies using a phase-locked loop and it is shown that this method improved the performance of frequency accuracy and locking time than that of the crystal-reference system.

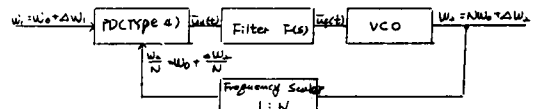
1. 서론

일반적으로 송수신기의 주요 부분은 크게 송신부, 수신부 및 주파수 합성부로 나눌 수 있다. 이 중 주파수 합성부는 송신부의 본안거에 정확한 VCO (Voltage Controlled Oscillator) 주파수 인가하여 정확한 중간 주파수가 만들어지게 함으로써, 무전기의 주파수 안정도에 가장 중요한 역할을 하는 부분이다. [1] 원래 HF대 송수신기에는 주로 Crystal-reference system 을 이용한 주파수 합성기를 사용함으로써, 다수의 크리스탈이 주파수 기준으로 사용되어 주파수의 변위 변화시 주파수 가변요인으로 작용되며, 응답속도가 느린 단점이 있다. PLL 은 최근 tracking filter, AM-FM 변복조, 모터속도 제어 및 주파수 합성 등에 쓰이기 시작하고 있으며, 단일 칩상에 완전한 기능을 갖추고 있는 PLL IC 가 등장하고 있는 실정이다. 이런 IC 는 내부에서 각각의 기능 블록들이 서로 연결되었으므로 주변회로 구성은 간단해지나 용도가 제한되었으므로, 본 연구에서는 내부에서 서로 연결이 안한 기능 블록들이 내장된 IC 를 이용하여 설계하였다. 이에 따라, 본 연구에서 설계, 제작된 PLL 주파수 합성기는 HF 대역의 송수신기에 쓰일 수 있으며, 내부 회로 구성은 위상분기 고정 회로부 (Phase detector, Low-pass filter, VCO, Divider-by-N Counter 로 구성됨), Loop controller, Sequence generator 및 Reference frequency oscillator 들로 되어 있다.

2. 시스템의 구성

PLL 의 block diagram 은 그림 2-1 과 같다.

PLL 주파수 합성기는 기준 주파수  $N$  배인 출력 주파수를 만드는 역할로 하며, PD 는 (phase detector) 기준신호  $U(t)$  와 분주된 출력신호를 비교한다. 즉, locked state 에서 기준과 출력신호는  $N$  factor 만큼 차이가 있게 된다. 여기서,  $N$  은 주파수 분주기의 scaling factor 이다. [2]



(그림 2-1) PLL 블록 구성도

(Fig 2-1) PLL Block Diagram

여기서,  $\omega_1 = \omega_0 + \Delta\omega_1 =$  기준 주파수 ( $\omega_0$  : 입력 중심 주파수)  
 $\omega_2 = N\omega_0 + \Delta\omega_2 =$  출력 주파수 ( $N\omega_0$  : 출력 중심 주파수)  
 $\omega_e = \omega_1 - \omega_2 =$  주파수 error

Laplace 변환을 하면,

$$\Omega_1(s) = \mathcal{L}\{\Delta\omega_1(t)\}$$

$$\Omega_2(s) = \mathcal{L}\{\Delta\omega_2(t)\}$$

$$\Omega_e(s) = \mathcal{L}\{\omega_e(t)\}$$

locked state ( $\omega_1 = \omega_2$ ) 에서 PD의 평균 출력 신호  $\bar{U}_e(t)$  는 식 (2-1) 과 같이 위상 error  $\theta_e$  에 따라 변한다.

$$\bar{U}_e = K_d \theta_e, \quad -\pi < \theta_e < \pi \quad (2-1)$$

여기서,  $K_d$  : locked state 에서의 PD gain. [3]

unlocked state ( $\omega_1 \neq \omega_2$ ) 에서  $\bar{U}_e(t)$  는 주파수 error  $\omega_e$  에 따라 변한다.  $\bar{U}_e$  는 주파수 error  $\omega_e$  에 근사적으로 비례한다.

관계식은 식 (2-2) 와 같다.

$$\bar{U}_e = K_d' \omega_e = K_d' (\omega_1 - \frac{\omega_2}{N}) \quad (2-2)$$

여기서,  $K_d'$  : unlocked state 에서의 PD gain [V/Rad]

(1)

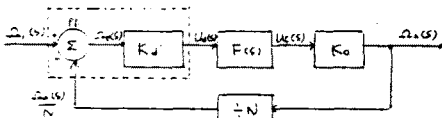
각 블록의 dynamic 특성을 보면

PD  $U_d(s) = K_d' \Omega_e(s)$   
 Filter  $U_f(s) = U_d(s) \cdot F(s)$   
 VCO  $\Omega_o(s) = K_o \cdot U_f(s)$

$U_d(s)$  와  $U_f(s)$  를 연립하고 계산하면 식 (2-3)과 같아진다.

$$\Omega_e(s) = \frac{N}{N + K_d K_o' F(s)} \Omega_i(s) \quad (2-3)$$

식 (2-3) 의 수학적 모델을 그림 2-2 와 같다.



(그림 2-2) PLL 의 수학적 모델  
 (Fig. 2-2) Mathematical Model of PLL

Loop filter 를는 일차원계통인 Charge Pules 를 적용하기  
 위한 용에 filter 를 쓰며 전달 함수는 식 (2-4)와 같다.

$$F(s) = \frac{1 + sT_z}{sT_i} \quad (2-4)$$

기준 신호 주파수  $\omega_0$  이 중심 주파수  $\omega_c$  부터  $\pm \omega$  만큼 편이되어  
 있고, VCO 의 순간 각 주파수가  $t = 0$  에서  $\omega_0$  이면  $\omega_1(t)$  이  
 대한 식은 식 (2-5) 와 같다.

$$\omega_1(t) = \omega_0 + \Delta \omega_1 \quad (2-5)$$

Laplace 변환을 하면 식 (2-5) 는 식 (2-6)과 같아진다.

$$\Omega_1(s) = \frac{\Delta \omega_1}{s} \quad (2-6)$$

(2-3), (2-4) 및 (2-6) 식으로부터

$$\Omega_e(s) = \frac{NT_i / K_o K_d'}{1 + s(T_z + NT_i / K_o K_d')} \cdot \frac{\Delta \omega_1}{s} \quad (2-7)$$

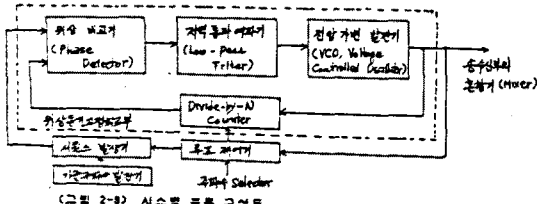
따라서, PLL 의 응답  $\omega_e(t)$  는 식 (2-8)과 같아 된다.

$$\omega_e(t) = \frac{\Delta \omega_1 NT_i}{K_o K_d'} e^{-t/T_p} \quad (2-8)$$

여기서,  $T_p = T_z + \frac{NT_i}{K_o K_d'}$

Phase / frequency detector 의 평균출력신호  $\bar{\omega}_d$  는  $(\omega_1 > \omega_0 / N)$  일때  
 ac 신호가 아니며,  $\omega_1 > \omega_0 / N$  일때 positive,  $\omega_1 < \omega_0 / N$  일때  
 negative 값을 가지므로 VCO 주파수는 중심주파수에서 벗어  
 났지않고 항상 한 방향 즉 기준 주파수 방향으로 끌려가게되어  
 locked condition 이 유지하게 된다.

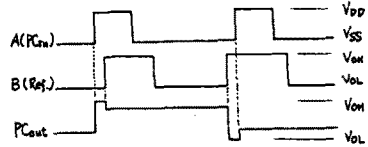
실제된 PLL 주파수 합성기의 block diagram 은 그림 2-3과 같다.



(그림 2-3) 시스템 블록 구성도  
 (Fig. 2-3) System block diagram

2-1 위상 동기 고정 회로부

VCO 발전 주파수는 Divide-by-N Counter 로 입력되어 루프  
 제어기 및 주파수 selector 로부터 선택된 분주비로 분주된다.  
 위상비교기 (PD, Phase Detector) 는 기준 주파수와 비교 주파수를  
 받아 위상차에 해당하는 best 신호를 발생한다. 즉 그림 2-4 의  
 파형도와 같이 PD 에 입력되는 두 신호의 주파수가 같고 위상이  
 동일할우면사 신호 A 가 신호 B (기준) 보다 앞서면 PD 의 출력은  
 위상차에 해당하는 시간동안 High 상태이며, 신호 A 가 신호 B 보다  
 위상이 뒤지면 Low 상태이다. 위상이 일치할 경우에는 출력은  
 tri-state 상태 (High impedance) 가되어 출력에 open 되므로  
 Low-pass filter 로부터 나오는 기준 전압이 VCO 로 인가된다.  
 따라서 VCO 의 주파수를 기준시키 기준 주파수와 비교 주파수의  
 위상차를 zero 로 만든다. 만약 입력신호의 주파수가 틀려져서  
 신호 A 가 신호 B 보다 낮은 주파수인 경우 출력은 High 상태이고,  
 신호 A 가 신호 B 보다 높은 주파수인 경우 Low 상태이며, 두 신호의  
 주파수와 위상차가 zero 로 될때까지 출력은 안 종간사이며  
 여기서 전환되어 Locked condition 이 유지하게 된다. (3)



(그림 2-4) PD 의 입출력 파형  
 (Fig. 2-4) Input-output waveform of PD

PD 의 출력 신호는 저역통과 여파기로 입력되어 DC 신호로  
 바뀌어 VCO 의 bias 전압으로 인가된다.

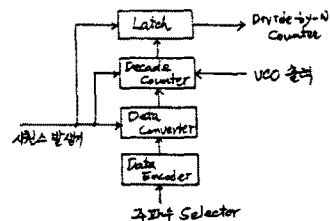
VCO 는 인가된 오차 전압만큼 주파수가 변화되어 오차 전압이  
 없게된다. 여기서 나오는 정확한 주파수는 출수신부의 혼합기  
 로 인가되어 중간 주파수를 만든다.

2-2 루프 제어기

Block diagram 은 그림 2-5 와 같으며, 시퀀스 발생기로부터  
 발생한 제어신호에따라 decade counter, latch, data converter  
 의 순서로 동작이 진행된다.

decade counter 는 VCO 신호를받아 latch에 일단 저장시켰다가  
 시퀀스 발생기의 제어신호에따라 divide-by-N counter 로 보내어  
 이곳에 입력되는 신호를 분주하기한다.

data converter 의 역할은 vco 신호가 요구하는 주파수간보다  $\pm$   
 450 KHZ 정도 벗어나도 PLL 에서 처리가능하도록 하기위해  
 입력신호를 변환하여 decade counter 로 입력시킨다.



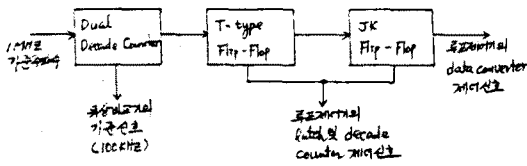
# PLL을 이용한 HF 대 합성기의 주파수 조정에 관한 연구

(그림 2-5) 루프제어기의 블록 구성도

(Fig. 2-5) Loop controller block diagram

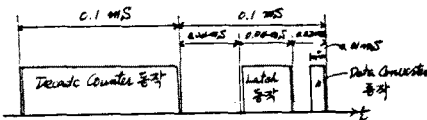
## 2-3 시퀀스 발생기

Block diagram 및 제어동작의 timing diagram 은 각각 그림 2-6 및 그림 2-7 과 같다. 시퀀스발생기는 1MHz 크리스탈 발진 주파수를 dual decade counter 에서 1/10 및 1/100 로 분주하여 각각 위상 비교기의 기준 주파수 및 루프제어기의 제어신호를 공급한다.



(그림 2-6) Sequence generator의 블록구성도

(Fig. 2-6) Sequence generator block diagram



(그림 2-7) 제어동작의 timing diagram

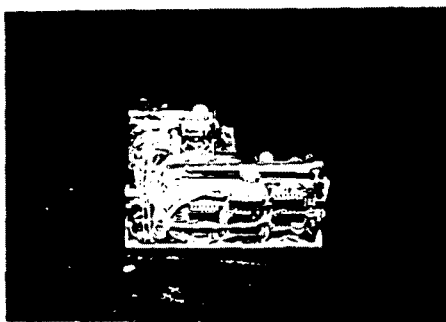
(Fig. 2-7) Timing diagram of control operation

## 2-4 기준 주파수 발전기

1 MHz 크리스탈 및 NAND gate 를 이용한 발전기로서, 위상 비교기에 기준 주파수를 공급한다. 분주발전기 및 변형회로를 삽입하여, 주 발전기 이상시 변형 회로에 의해 자동으로 분주 발전기는 전원이 끊어졌다.

## 3. 특장 및 결론

상기 제작된 PLL 주파수 합성기는 그림 3-1 과 같다. 사용된 부품중 IC 는 고주파 (5 MHz 이상의) 를 처리해야 하는 counter 및 JK Flip-Flop 은 TTL 을 사용하고, 그 외에는 CMOS 를 사용하였다. 동작 상태를 특징한 그림은 표 1 및 그림 3-2 에 나타내었다. 여기서 그림 3-2 의 (a) 는 입력신호가 divide-by-N counter 에서 분주되어 출력된 파형을 나타내었고, (b) 는 phase comparator 의 출력 파형이고, (c) 는 시퀀스 발생기에서 출력되는 제어신호를 나타낸다.



(그림 3-1) PLL 주파수 합성기

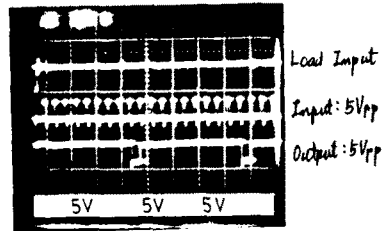
(Fig. 3-1) PLL Frequency Synthesizer

<표 1> 전기적 특성

<Table 1> Electrical characteristics

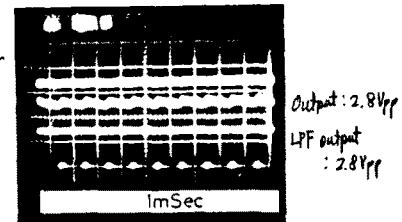
합성법 방식별	CR9 주파수 합성기	PLL 주파수 합성기
주파수 정확도 (10 MHz 기준)	150 PPM	50 PPM
합성기 고착시간	0.5 sec	0.05 sec

Divide-by-N Counter



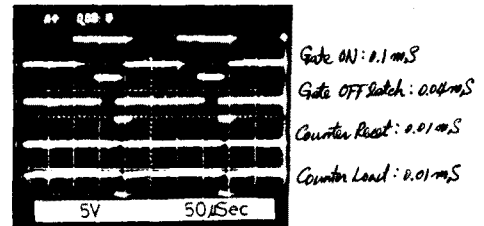
(a)

Phase Comparator



(b)

Sequence Generator



(c)

(그림 3-2) 출력 파형

(Fig. 3-2) Output waveform

## 4. 결론

종래 HF대 송수신기에 사용되던 CR9 주파수 합성기를 대체할 수 있는 PLL 주파수 합성기를 설계, 제작하였다. 주파수 합성기의 가장 중요한 특성인 주파수 정확도와 합성기 고착시간 (locking time) 을 측정할 결과 각각 3 배, 10 배 정도 향상되었으며, 환경요인 (온도, 진동) 에 대한 성능 특성도 양호함을 알 수 있었다. 향후과제로, 전 주파수 대역에 광범위 사용할 수 있는 원본 및 지소모 전류용 counter IC 의 설계가 이루어지면 좀 더 유용성이 있는 주파수 합성기가 될 것이다.

참고 문헌

1. Dennis Roddy, "Electronic Communications", P209-212, 1981
2. Roland E. Best, "Phase-locked loops", 217-229, 1984
3. Motorola, "CMOS Data Book"
4. Herbert Teub, "Digital Integrated Electronics", P544-550, 1985
5. Venceslav F. Kroupa, "Frequency Synthesis: Theory, Design, and Applications", P159-198, 1973
6. B.H. Hutchinson, "Frequency synthesis : Techniques and Applications" IEEE, Press. P25-45, 1975
7. Chek M. Chia, "Phase-locked loops : analytical results", IEEE Press, P3-14.
8. David M. Smithgall, "A phase-locked loop motor control system", IEEE Trans. Ind. Elect. and control Instrum. vol. IECI-22, No.4, Nov. 1975, P487-490
9. Nareesh K. Sinha, "Speed control of a DC Servomotor using phase-locked loop", IEEE Trans. Ind. Elect. and Cont. Instrum. Vol. IECI-23, No. 1, Feb. 1976, P22-26