

2um CMOS 연산증폭기 설계

김길상, 강희조, 전주성, 조순철, 최승철
 숭실대학교 전자공학과

A Study On The Design Of Operational Amplifier By Using 2um-CMOS

Kil Sang KIM, Heau Jo KANG, Joo Sung JEON, Soon Chul JO, Seung Chul CHOI
 Dept. Of Electronics Eng., Soong Sil University

ABSTRACT

In this paper, the SPICE(Simulation Program With Integrated Circuit Emphasis)MOSFET subroutine and other result subroutines are modified to be used for circuit simulation of Operational Amplifier. In circuits, C-MOS has lower static power, higher speed, and higher driver capability: while wider input and output voltage swing. The result of modification is useful for OP-AMP circuit simulator in comparison of experimental results, and DC transfer of this paper is better than 3um OP-AMP. This paper is applied for both 2um C-MOS P-TYPE parameter, and N-TYPE parameter.

1. 서론

본 논문에서는 최근 몇년 동안에 C-MOS 연산증폭기를 이용한 설계방식의 급속한 발전으로 인해 C-MOS 연산증폭기에 대해서 보다 큰 관심을 가지게 되었다. 그래서 본 논문에서 C-MOS 에 의한 기본적인 것과 DC 전달특성곡선과 여러가지 중요한 특성을 설명하고 C-MOS 연산증폭기로 되어있는 보상기를 설명하겠으며 끝으로 연산증폭기를 COMPUTER SIMULATION 하는 방법과 SIMULATION PROGRAM 들을 SPICE(Simulation Program with Integrated Circuit Emphasis) 를 이용하기 위한 W/L 과 SPICE 를 수행하기 위한 SPECIFICATION 들에 대해서 보여주겠다.

2. 본론

A. C-MOS 2단 연산증폭기 DC 전압이득식

그림1 은 능동부하를 갖는 증폭기와 단순한 INVERTER로 구성된 2단 연산증폭기 회로이다. 소신호 등가 회로에서 첫번째 DC 전압이득에 의한 식은 다음과 같다.

$$A_{v1} = \frac{g_{m1}}{g_{o2} + g_{s2}} \tag{2-1}$$

여기서 g_{m1} 은 입력 MOSFET TR 의 상호컨덕턴스이다. 또한 두번째 단의 전압이득은 보통 1000 - 20000 정도가 된다.

두번째 단 전압 이득 식은

$$A_{v2} = \frac{-g_{m6}}{g_{o6} + g_{s7}} \tag{2-2}$$

B. 잡음 특성

그림1 에서 보여준 C-MOS 연산증폭기의 등가입력잡음을 계산하는데 고려해야하는 것은 주파수 영역은 음성 주파수대역이며 이 영역에서는 주된잡음원은 1/f 잡음이며 그러나 잡음을 해석할때 채널에서 열적잡음은 무시하자. 그러나 열적잡음이 높은 주파수와 낮은 전류로 바이어스된 연산증폭기에서는 무시할수 없다.

그림2 에서 C-MOS 연산증폭기 입력단을 보여주고 있다. 여기서 전압이득이 상당히 크며 다음단의 잡음은 2단과 비교할때 중요치 않다고 가정하면 출력은 단락되었다고 가정할때 입력단에 나타나는 출력측에서의 전체 잡음전류를 계산하면

$$i_{TOT}^2 = g_{a1}^2 v_{eq1}^2 + g_{a2}^2 v_{eq2}^2 + g_{a3}^2 v_{eq3}^2 + g_{a4}^2 v_{eq4}^2 \tag{2-3}$$

$$g_{a1} = g_{a2} = g_{a1-2}, g_{a3} = g_{a4} = g_{a3-4} \tag{2-4}$$

$$v_{o2}^2 = (g_{a1-2})^2 v_{eqTOT}^2 \tag{2-5}$$

$$v_{eqTOT}^2 = v_{eq1}^2 + v_{eq2}^2 + \left(\frac{g_{a3-4}}{g_{a1-2}}\right)^2 (v_{eq3}^2 + v_{eq4}^2) \tag{2-6}$$

된다.

입력TR에 의한 입력잡음은 출력잡음에 직접적으로 관계되고 그리고 CURRENT MIRROR TR 들에 의한 잡음은 입력TR와 MIRROR TR 의 상호컨덕턴스를 결정한다.

M3, M4 의 상호컨덕턴스는 회로에 영향을 주지 않으면서 작게할수 있다. 또다른 특징은 PMOS가 NMOS 보다 1/f 잡음이 적음을 알수 있다. 보다 좋은 잡음특성을 얻기 위해서는 입력TR 를 PMOS 로 사용하고 CURRENT MIRROR 회로에는 NMOS 를 사용하는 것이 바람직하다.

C. 주파수 보상

그림1 에 보인 2단 연산증폭기의 소신호 회로는 그림3 과 같다. 여기서 C_c 는 주파수 보상을 위한 Pole Splitting 캐패시터이다.

$$g_{a1}v_1 + \frac{v_2}{R_1} + v_2C_1s + (v_2 - v_0)C_c s = 0 \tag{2-7}$$

$$g_{a2}v_2 + \frac{v_0}{R_2} + v_0C_2s + (v_0 - v_2)C_c s = 0 \tag{2-8}$$

위식으로부터 전달함수는 다음식이 된다.

$$A_{v1} = \frac{g_{a1} \left(1 - \frac{C_c s}{g_{a2} R_2}\right)}{1 + b_1 s + c_1 s^2} \tag{2-9}$$

식(2-10)

$$a = R_{s1} R_{s2} R_1 R_2$$

식(2-11)

$$b = (C_2 + C_c) R_2 + (C_1 + C_c) R_1 + R_{s2} R_2 C_1 C_c$$

식(2-12)

$$c = R_1 R_2 (C_1 C_2 + C_c C_2 + C_c C_1)$$

만일 극점들이 서로 떨어져 있다고 가정하면 극점과 영점은 다음과 같은 식이 된다.

$$P_1 = \frac{-1}{(1 + R_{s2} R_2) C_1 R_1} \quad z = -\frac{R_{s2}}{C_c}$$

식(2-13)

$$P_2 = \frac{-R_{s2} C_c}{C_2 C_1 + C_2 C_c + C_c C_1}$$

여기서 보상캐패시터 Cc로 인해 극점들은 서로 멀어지므로 이 보상 방법을 극점분리방법이라 한다.

MOS 연산증폭기에서 극점분리방법을 사용하는 경우 두 번재 상호콘덕턴스 값으로 인해 높은 주파수에서 신호가 출력으로 Cc를 통해 직접 전송하는 문제가 생긴다.

따라서 C-MOS 연산증폭기 설계시 두가지 조건이 따른다. 첫째는 증폭기 최대이득과 넓은 대역폭을 얻기 위해서 첫째단과 둘째단의 바이어스 전류의 크기를 비슷하게 해주어야 한다.

둘째는 MOS TR의 상호콘덕턴스는 바이어스 전류의 제곱에 비례하게 하여야 한다. 만일 극점분리 캐패시터만으로 증폭기를 안정시키지 못할 경우 영점을 제거하는 방법으로 그림3과 연결하면 된다.

D. Slew Rate

선형영역 동작에서 입력 Differential 단과 단위당 Gain - Bandwidth에 의해서 결정된다. MOS 연산증폭기의 경우에는 입력단의 선형영역에서의 동작이 일반적으로 MOS 소자에서 드레인 전류의 Transconductance의 비가 원래 낮기 때문에 Bipolar 증폭기보다는 매우 크다.

E. 출력 단

연산증폭기의 부하로는 저항이나 캐패시터를 연결할 수 있는데 증폭기는 이들 부하의 영향을 받지 않도록 기본 연산증폭기 회로에 완충기를 연결하여야 하며 그리고 설계시 출력단에서 고려해야 할점은 완충기의 대역폭이 충분히 커야 연산증폭기의 안정성이 완충기의 위상변이에 영향을 받지 않아야 한다. 그림5는 간단한 완충기 회로이다.

F. C-MOS 연산 증폭기 설계에

C-MOS 공정을 이용한 연산증폭기 회로의 구성한 2단 증폭기 회로 구조로 되어 있다. MOSFET M1, M2, M3, M4 및 M5는 차동 증폭단을 구성하며 M6와 M7은 출력단을 구성하고 M8, M9, M10은 M5, M7 및 M12에 바이어스 전압을 걸어주기 위한 회로이며 M1, M2는 입력 TRIOD NMOS로 구성되어 있으며 P-WELL C-MOS 공정을 이용한 경우 NMOS는 WELL 속에 있으므로 입력 TR를 발도 WELL 속에 만들어서 BODY EFFECT를 제거시킬 수 있다. M3와 M4는 CURRENT MIRROR를 구성하며 능동 부하로 동작하고 M5는 전류원으로 CMRR을 증가시키기 위해서 사용된다. M8, M9, M10은 드레인 게이트를 묶어서 전압분배기로서 사용하였다. 안정도를 높이기 위하여 보상캐패시터가 완충기로서 M11, M12를 연결하여 오픈루프 영점을 제거한다. 그리고 M11과 M12는 Transmission Gate로서 저항 역할을 한다. (그림6)

3. 결 론

본 논문에서는 C-MOS 연산증폭기를 COMPUTER로 SIMULATION하여 종전의 채널길이가 3um에서 2um로 하여 C-MOS 연산증폭기를 SIMULATION하였다.

그리고 채널길이가 작아지므로 인하여 W(Width)가 줄고 DC 전달에 대해 영향을 보았다.

그리고 집적화에서 SIZE가 작아져서 집적화에 많은 향상 가져 왔다.

끝으로 채널길이가 SHORT 채널화 하므로써 보다 좋은 Slew Rate와 Gain - Bandwidth에 대하여 심층 연구를 해야 할 것이다.

4. 참 고 문 헌

- [1] Analog MOS Integrated Circuit, BASIC MOS OPERATIONAL AMPLIFIER DESIGN -AN OVERVIEW, PAUL R. GRAY
- [2] INTRODUCTION TO MOS LSI DESIGN, J. MAVOR, M. A. JACK & P. B. DENYER
- [3] MODERN MOS Technology, processes, Devices, & Design, Dewittg. Ong
- [4] L. W. Nagel SPICE: Computer Program To Simulate Semiconductor Circuit ERL Memo, No. ERL-M520, Univ of Calif. Berkley.
- [5] The Design & Analysis of VLSI Circuits Lance A. Glasser & Daniel W. Dobberpuhl, pp451-463
- [6] A. B. Grebene, Bipolar & MOS Analog Integrated Circuit Design, Wiley, N.Y. 1984
- [7] Carver Mead, Lynn Conway, Introduction to VLSI System, Wealey, 1980
- [8] De WITT ONG, MEMBER, "An All-Implanted CCD/CMOS Process," IEEE Trans. Electron Devices, Vol. ED-28, No. 1, pp. 6-12, Jan. 1981

표1. C-MOS OP AMP의 TR Size

TR	Type	L(um)	W(um)	AD(pm ²)	AS(pm ²)
M1	N MOS	2	16	32	32
M2	N MOS	2	16	32	32
M3	P MOS	2	11	22	22
M4	P MOS	2	11	22	22
M5	N MOS	2	6	12	12
M6	P MOS	2	26	52	52
M7	N MOS	2	12	24	24
M8	N MOS	2	11	22	22
M9	P MOS	2	8	16	16
M10	P MOS	2	6	12	12
M11	N MOS	2	14	28	28
M12	N MOS	2	3	6	6

(Buffered Compensation)

표 2. C-MOS OP AMP 의 Specification

SUPPLY VOLTAGE	$\pm 5V$
SUPPLY CURRENT	0.45mA
SLW RATE +/-	0.4/80V/ μs
A_v OPEN LOOP	51dB
UNITY GAIN BANDWIDTH	2.0MHz
PHASE MARGIN	46°
CMRR	44dB
COMMON MODE RANGE	$\pm 5V$
INPUT OFFSET	-53mV
RISE & FALL TIME	200NS

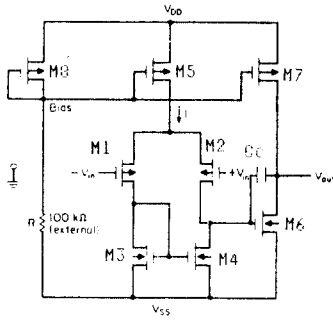


그림 1. 일반적인 2단 C-MOS 연산증폭기

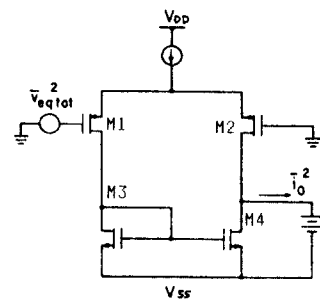
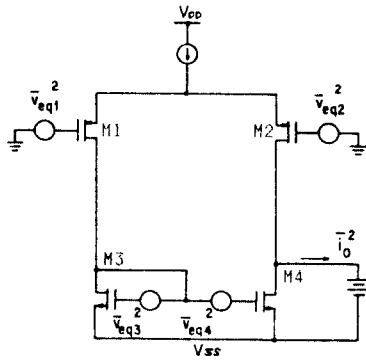


그림 2. C-MOS 연산증폭기의 등가 입력장음

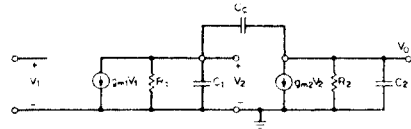


그림 3. 2단 증폭기 Pole Splitting 보상 소신호 등가회로

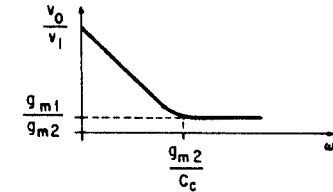
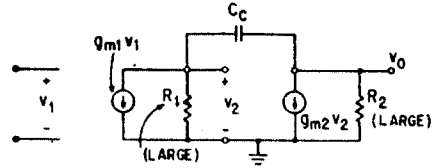


그림 4. 간략화한 소신호 등가회로

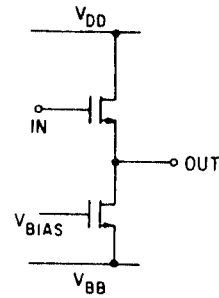


그림 5. 출력단 Buffer

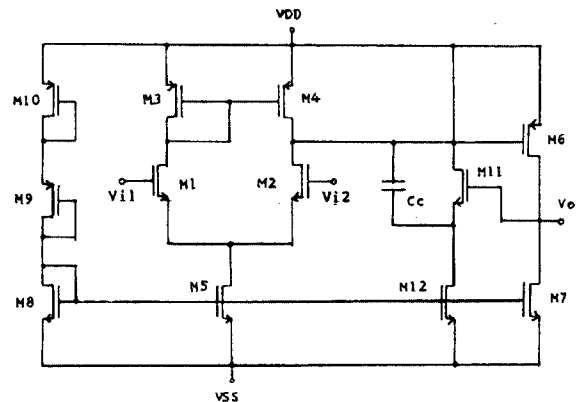


그림 6. C-MOS 연산증폭기(Buffered Compensation)